

高等职业教育规划教材

集成电路

JICHENG DIANLU
BANTU SHEJI

版图设计

主编 / 刘睿强 林涛



电子科技大学出版社

高等职业教育规划教材

集成电路

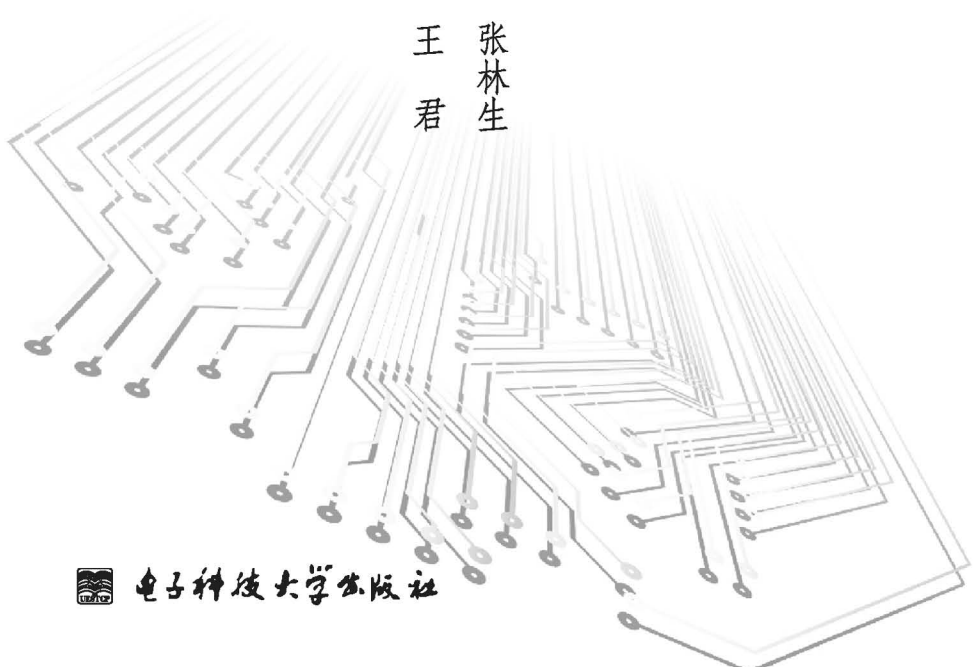
JICHENG DIANLU
BANTU SHEJI

版图设计

主编 刘睿强 林涛

编委 徐雪刚 尹洪剑 邵有为 张林生

刘梅华 汪小华 童瑞君 王君



电子科技大学出版社

图书在版编目 (CIP) 数据

集成电路版图设计 / 刘睿强, 林涛主编. —成都:

电子科技大学出版社, 2011. 3

ISBN 978 - 7 - 5647 - 0765 - 1

I. ①集… II. ①刘… ②林… III. ①集成电路—设计—高等学校: 技术学校—教材 IV. ①TN402

中国版本图书馆 CIP 数据核字 (2011) 第 024884 号

内 容 提 要

本书以提高实际工程应用能力为目的, 深入浅出地介绍了集成电路设计概论、Linux 操作系统与 EAD 软件、IC 版图设计主要流程的相关知识。全书共八章, 涵盖了集成电路版图设计的主要内容。

本书注重理论与工程实践的结合, 选材合理, 书中提供了一些实例来帮助读者正确理解版图设计的基本概念和关键设计理念, 文字叙述清楚, 生动形象, 简明易懂。本书适合作为高职高专微电子及电子信息类专业的教材, 也可用作微电子行业中高级技术工的培训教材, 对版图设计工程师, 电路设计工程师等也有一定参考价值。

高等职业教育规划教材

集成电路版图设计

主 编 刘睿强 林 涛

出 版: 电子科技大学出版社 (成都市一环路东一段 159 号电子信息产业大厦 邮编: 610051)

策划编辑: 徐守铭

责任编辑: 杜 倩 徐守铭

主 页: www.uestcp.com.cn

电子邮箱: uestcp@uestcp.com.cn

发 行: 新华书店经销

印 刷: 四川嘉华印业有限公司

成品尺寸: 185mm×260mm 印张 11.25 字数 288 千字

版 次: 2011 年 3 月第一版

印 次: 2011 年 3 月第一次印刷

书 号: ISBN 978-7-5647-0765-1

定 价: 29.80 元

■ 版权所有 侵权必究 ■

- ◆ 本社发行部电话: 028-83202463; 本社邮购电话: 028-83208003。
- ◆ 本书如有缺页、破损、装订错误, 请寄回印刷厂调换。

序

刘睿强先生是我的朋友，其新书出版在即，他要我为该书写序。我接到刘先生的电话，心里喜忧交集，一则为刘先生不断呈现的成果感到高兴，二则唯恐我言不能及。


1947 年世界第一只晶体管的发明以及 1958 年世界第一块集成电路的诞生为微电子技术奠定了重要的里程碑，使人类社会进入一个以微电子技术为基础、以集成电路为根本的信息时代。60 年来，集成电路已经广泛应用于军事、民用各行各业、各个领域的各种电子设备中，如计算机、手机、电视、汽车、医疗设备、办公设备、武器装备等等。如今，集成电路技术得到了迅猛发展，以集成电路为核心的电子信息产业已超过了以汽车、石油、钢铁为代表的传统工业，成为第一大产业，也成为改造和拉动传统产业迈向数字时代的强大引擎和雄厚基石。集成电路的设计、制造水平成为衡量一个国家现代化水平和综合实力的重要标志。

版图设计是集成电路设计的重要环节，特别是集成电路已进入纳米工艺和 SoC 时代，版图作为集成电路设计和制造的桥梁，其设计的良莠直接决定集成电路的成败与否。

集成电路产业是一个对专业技能要求非常高的产业。近 20 年来，我国集成电路产业飞跃发展，急需大量本专业技术人员。不仅需要硕士、博士这类以研究、开发设计为主的高层次人才，同时也需要大量从事版图设计、工艺操作、设备维护等方面工作，同样具有极高专业素养的技术人员。尽管这些年高等院校向企业界源源不断地输送了很多集成电路专业的新生力量，但由于高等院校人才培养定位和目标的不同，国内专业版图设计工程人员依然匮乏。

该教材根据国家高等职业教育发展方向以及人才培养的目标与定位，立足工程实践和技能培养，以集成电路版图设计流程为主线，串联版图设计所需了解的集成电路设计流程、制造工艺流程以及版图设计 EDA 工具使用方法，重点突出如何基于 EDA 工具完成电路到版图的转移设计、布局布线、规则检查、版图验证。教材通过诸多形象的图例，由浅入深，循序渐进，突出工程性和实用性，是一本特色突出、编排合理、定位准确的实用性教材。

衷心希望该书的学习者能从中吸取精髓，学以致用，为我国集成电路产业的发展，乃至国家的繁荣昌盛添砖加瓦！



微电子与固体电子学院 教授、博导
2011 年 1 月
于电子科技大学

前 言

微电子技术是信息科学技术的核心技术之一，微电子产业是当代高新技术产业群的核心和维护国家主权、保障国家安全的战略性产业。在中国电子信息产业振兴规划里确定了电子信息产业的三大重点任务之一就是立足自主创新，突破关键技术，着重建立自主可控的集成电路产业体系；突破新型显示产业发展瓶颈，提高软件产业自主发展能力；加大投入，集中力量实施集成电路升级，加大鼓励软件和集成电路产业发展政策实施力度。发展集成电路技术的关键之一是培养具有国际竞争力的专业人才。

我国 IC 产业中集成电路版图设计技术人才短缺。IC 设计业作为集成电路产业的重中之重，一直以来就是我国的重点扶持产业。数据统计表明，到 2011 年中国将成为全球第二大半导体市场，仅次于美国，届时将需要集成电路设计师数万人。而目前我国只有部分高校开设微电子专业，每年毕业的集成电路设计和微电子专业学生仅数千人，远不能满足产业需求。

在集成电路设计业中，版图设计 (layout design) 或者称物理设计 (physical design) 是集成电路设计流程中重要的一环。集成电路版图设计就是通过 EDA 设计工具，进行集成电路后端的版图设计和验证，最终产生送交供集成电路制造用的 GDSII 数据。换句话说也就是根据集成电路设计工程师设计好的电路，对构成电路的元件的版图进行布局、布图及布线，从而实现电路的功能。

全书共八章，涵盖了集成电路版图设计的主要内容。第 1 章集成电路设计概论，主要讲集成电路的发展概况，工艺指标，设计流程。第 2 章集成电路制造工艺，主要讲晶体管原理，特别是 MOS 管的工作原理，集成电路制造工艺，CMOS 工艺流程。第 3 章 Linux 操作系统与 EAD 软件介绍，主要讲 Linux 操作系统，基本操作，IC 设计 EDA 软件及芯片反向设计流程。第 4 章 Virtuoso Schematic 使用基础，主要讲 Virtuoso 库的管理，电路图的输入方法与 symbol 的创建，电路图设计流程。第 5 章版图编辑器 Virtuoso 使用基础，主要讲 Virtuoso 技术库的配置，定制 Virtuoso 的编辑环境，显示层的作用。第 6 章设计规则检查与版图验证，主要讲版图设计规则，版图物理验证的作用，版图物理验证工具的使用。第 7 章集成电路常用器件版图，主要讲常用器件的版图形式，dummy 器件的作用，电源与地的版图设计。第 8 章 Virtuoso-XL 与版图设计实例，主要讲 Virtuoso-XL 的基本操作方法，数字电路的版图设计方法，模拟电路的版图设计方法，版图设计技巧。

本书以高职院校培养高素质、技能型人才为目标，以实用、够用为原则，精选教学内容，注重实践环节。当然现代集成电路设计技术是快速发展的，相应的教学内容和教学方法也应不断改进，其中一定还有许多问题值得深入探讨。由于编者水平有限，书中难免有缺点和不足之处，恳请读者批评指正。

我要感谢所有参与编写这本书的人，特别是我的导师、电子科技大学的罗萍教授，感谢她用自己的宝贵时间来指导和审阅本书，并提出了许多的宝贵建议，在此致以深深的谢意和敬意。

目 录

第 1 章 集成电路设计概论.....	1
1.1 集成电路发展概况.....	1
1.2 集成电路发展特点及规律.....	3
1.2.1 集成电路工艺指标.....	3
1.2.2 摩尔定律.....	4
1.3 集成电路分类.....	4
1.3.1 什么是 EDA.....	5
1.3.2 集成电路设计概念.....	6
1.3.3 集成电路设计要素.....	6
1.3.4 集成电路设计流程.....	6
本章小结.....	9
思考与练习.....	9
第 2 章 集成电路制造工艺.....	11
2.1 半导体基础知识.....	11
2.1.1 半导体能带带隙.....	12
2.1.2 半导体载流子.....	12
2.1.3 半导体分类.....	13
2.1.4 PN 结.....	15
2.1.5 MOS 场效应管.....	17
2.2 工艺流程概述.....	21
2.2.1 制造工艺介绍.....	21
2.2.2 材料的作用.....	22
2.2.3 工艺流程.....	22
2.2.4 外延 (Epitaxy) 生长.....	23
2.2.5 光刻 (Photolithography).....	24
2.2.6 掺杂 (Doping).....	28
2.2.7 薄膜制备.....	31
2.3 CMOS 工艺主要流程.....	35
本章小结.....	40
思考与练习.....	40

第 3 章 Linux 操作系统与 EAD 软件介绍	42
3.1 Linux 操作系统基础	43
3.1.1 命令终端启动与用户目录	43
3.1.2 文件的操作	44
3.1.3 vi 编辑器的使用	46
3.2 IC 设计 EAD 软件介绍	48
3.2.1 CADENCE 公司	48
3.2.2 SYNOPSYS 公司	49
3.2.3 MENTOR 公司	49
3.2.4 芯片反向设计介绍	49
本章小结	55
思考与练习	55
第 4 章 Virtuoso Schematic 使用基础	56
4.1 初步认识 Virtuoso Schematic 编辑器	56
4.1.1 启动 Virtuoso Schematic 编辑器	56
4.1.2 启动电路图编辑器	58
4.2 电路编辑窗口常用命令	60
本章小结	70
思考与练习	70
第 5 章 版图编辑器 Virtuoso 使用基础	72
5.1 Virtuoso 界面介绍	72
5.1.1 Virtuoso 工艺文件配置与关联	73
5.1.2 Virtuoso 编辑窗口的布局	76
5.1.3 Virtuoso 编辑窗口的设置	79
5.2 版图层的介绍	82
5.2.1 LSW 介绍	82
5.2.2 层的颜色和图案设置	84
5.3 版图的输入	85
5.3.1 当前层的设置	85
5.3.2 各种几何图形的画法	85
5.3.3 其他操作和命令	89
5.4 版图输出	93
本章小结	94
思考与练习	94
第 6 章 设计规则检查与版图验证	96
6.1 设计规则	96

6.1.1 设计规则概述.....	96
6.1.2 实际设计规则解读.....	99
6.1.3 设计规则应用实例.....	101
6.2 规则验证工具使用介绍.....	106
6.2.1 Dracula DRC 工具使用介绍.....	106
6.2.2 Calibre DRC 工具使用介绍.....	107
6.3 电路与版图一致性检查 (LVS).....	110
6.3.1 LVS 的规则文件.....	110
6.3.2 Dracula 下的 LVS.....	110
6.3.3 Calibre 下的 LVS.....	110
6.4 实例演示.....	116
6.4.1 Dracula DRC 验证示例.....	117
6.4.2 Dracula LVS 验证示例.....	121
本章小结.....	126
思考与练习.....	126
第 7 章 集成电路常用器件版图.....	127
7.1 MOS 器件常见版图画法.....	127
7.1.1 大尺寸 MOS 版图布局.....	127
7.1.2 倒比管版图布局.....	128
7.1.3 MOS 器件的对称性.....	129
7.2 电阻常见版图画法.....	131
7.2.1 电阻的分类.....	131
7.2.2 电阻的版图设计.....	132
7.3 电容版图设计.....	136
7.3.1 电容分类.....	137
7.3.2 电容版图设计.....	138
7.4 二极管版图.....	138
7.5 保护环版图.....	140
7.5.1 隔离噪声.....	140
7.5.2 闩锁效应 (Latch up).....	140
7.6 焊盘版图.....	142
7.7 电源和地线版图.....	143
7.8 连线.....	143
7.8.1 金属线宽度.....	143
7.8.2 金属布线.....	144
7.8.3 片内电源和地线.....	144
7.9 静电保护.....	145
本章小结.....	146

思考与练习.....	146
第 8 章 Virtuoso-XL 与版图设计实例.....	148
8.1 Virtuoso-XL 介绍.....	148
8.1.1 Virtuoso-XL 启动.....	149
8.1.2 确定工艺文件的层规则.....	150
8.1.3 从原理图生成版图.....	151
8.1.4 连接关系 (Connectivity).....	153
8.1.5 引脚交换 (Permuting Pins).....	153
8.1.6 器件源/漏共享 (Abutment).....	154
8.1.7 VXL 其他操作.....	154
8.2 钟控 D 触发器设计实例.....	156
8.2.1 钟控 D 触发器布局布线考虑.....	156
8.2.2 钟控 D 触发器版图生成.....	157
8.2.3 合并源/漏.....	158
8.2.4 连线.....	159
8.2.5 阱电位和电源地线.....	160
8.2.6 添加输入、输出引脚.....	162
8.2.7 验证.....	162
8.3 运算放大器设计实例.....	163
8.3.1 运算放大器版图分析.....	163
8.3.2 差分对管的版图.....	164
8.3.3 偏置与镜像版图.....	165
8.3.4 整体版图.....	166
8.4 版图设计的一些小经验.....	167
本章小结.....	167
思考与练习.....	167
参考文献.....	169

第 1 章 集成电路设计概论

【知识目标】

- (1) 了解集成电路的发展概况;
- (2) 了解集成电路的工艺指标;
- (3) 了解集成电路设计流程。

【重点难点】

- (1) 数字集成电路设计流程;
- (2) 模拟集成电路设计流程。

【参考学时】

参考学时为 1 学时。

集成电路 (Integrated Circuit) 也称 IC, 是一种微型电子器件。人们采用一定的工艺, 把一个电路中所需要的晶体管、二极管、电阻、电容、电感等元件及互连布线制作在一小块或几小块晶片或陶瓷基片上, 完成某种特定功能的微型电路结构。集成电路大大缩小了整个电路的体积, 并且通过特定的封装增加了电路的可靠性与安全性。目前已在民用与军用等领域得到了突飞猛进的发展, 从某种意义上说, 集成电路设计水平已经成为一个国家高新科技发展的标志。

本章主要讲述集成电路的发展历史与趋势以及集成电路的设计流程, 以便对集成电路有整体的认识。

1.1 集成电路发展概况

集成电路的发展历程:

◆ 集成电路的出现首先归功于晶体管的发明, 1946 年美国贝尔实验室开始了半导体的研究, 并于第二年研制出了世界上第一只点接触型晶体管。晶体管的发明者肖克莱、巴丁、布拉顿由此获得了 1956 年度的诺贝尔物理学奖。

◆ 1950 年, 肖克莱研制出一种新的晶体管, 其结构有点像三明治, n 型半导体夹在两层 P 型半导体之间, 这就是结型晶体管, 结型晶体管实际应用比接触式广泛得多, 从此开辟了电子技术的新纪元。1955 年 IBM 利用晶体管推出的 608 计算机, 是世界上第一个投入商

用的晶体管计算机，它使用了 3000 多个锗晶体管，重量达到 1090 kg，如图 1.1 所示。

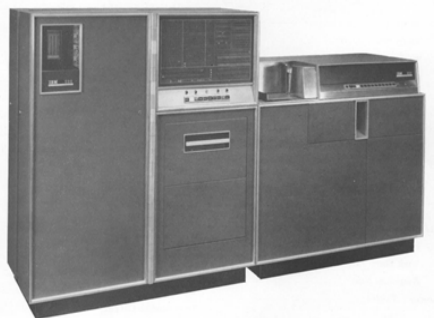


图 1.1 IBM 生产的 608 计算机

◆ 1952 年，英国科学家提出了把电子线路中的分立元件集中制作在一块半导体晶片上，形成一块完整电路，这样一来，电子线路的体积就可大大减小，可靠性大幅提高，这就是最初集成电路的构想。

◆ 1956 年，美国材料科学家富勒和赖斯发明了半导体生产工艺的扩散工艺，这样就为发明集成电路提供了工艺基础。

◆ 1958 年，美国德州仪器公司成功地将包括锗晶体管在内的五个元器件集成在一起，制作了一个叫做相移振荡器的简易集成电路，这就是世界上第一块锗集成电路，如图 1.2 所示。

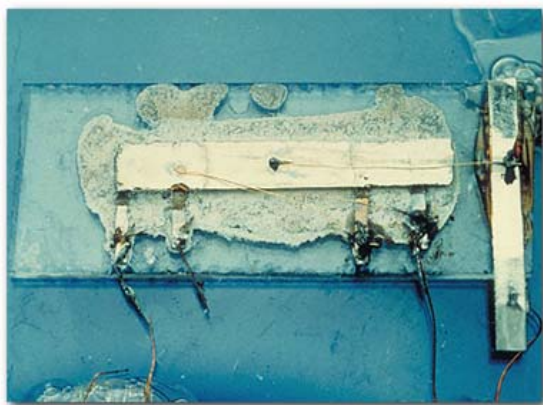


图 1.2 1958 年发明的第一块锗集成电路

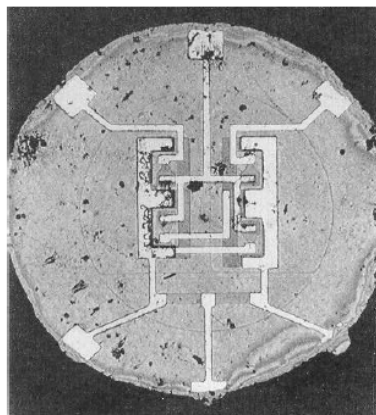


图 1.3 1961 年发明的第一块锗集成电路

◆ 1961 年，美国仙童半导体公司开发出世界上第一块硅集成电路，如图 1.3 所示。

◆ 1962 年，成功制造 MOS 集成电路。

◆ 1971 年，全球第一个微处理器 4004 由 Intel 公司推出，采用的是 MOS 工艺，这是一个里程碑式的发明。

◆ 1988 年，16MB DRAM 问世，1 cm² 大小的硅片上集成有 3500 万个晶体管，标志着集成电路发展进入超大规模集成电路（VLSI）阶段。

从此以后，随着半导体工艺水平的不断提高，晶体管的尺寸越来越小，电路的集成度越来越高，从而使得集成电路由最初的板上系统 SoB（System-on-Board）逐步转变成为片上系统 SoC（System-on-Chip）。

1.2 集成电路发展特点及规律

1.2.1 集成电路工艺指标

集成电路飞速发展的一个重要原因就是制造工艺一直以惊人的速度在发展,而衡量集成电路工艺的主要指标就是:特征尺寸、集成度和晶圆尺寸。

1. 特征尺寸

特征尺寸通常指工厂可以加工的晶体管的最小尺寸,通常是 MOS 晶体管的最小沟道长度,特征尺寸是衡量集成电路制造和设计水平的重要尺度。比如工程中工程师经常提到使用某某工厂的 $0.5\mu\text{m}$ 工艺或 $0.35\mu\text{m}$ 工艺,就是指的此工艺下晶体管的最小沟道长度。

晶体管特征尺寸的减小有两个明显的优点:

电路速度加快: 因为 MOS 管的最高工作频率与 MOS 晶体管的沟道长度的平方成反比,所以特征尺寸的减小(MOS 晶体管沟道长度的减小),会使工作频率得以提高,工作频率的提高也就意味着速度的提高,目前集成电路的速度已达到 1GHz 以上。

晶体管密度增加: 因为特征尺寸的减小使组成芯片的基本元器件的尺寸减小,从而单个芯片上集成的晶体管数量得以增加,芯片的面积得以减小,因此在同一个晶圆上可以做更多的芯片,最终导致芯片的成本迅速下降。

2. 集成度

集成度指芯片中包含的晶体管数目,通常等效成用门来表示,即一个门等于 4 个晶体管。在 40 多年时间内,集成电路的集成度迅速提高,经历了小规模(SSI)、中规模(MSI)、大规模(LSI)、超大规模(VLSI)及特大规模(ULSI)阶段之后,目前已进入巨大规模(GSI)阶段。

集成度的提高得益于晶体管特征尺寸的减小。

早在 1971 年 Intel 推出第一款 CPU 4004 时,采用的是 $10\mu\text{m}$ 工艺,集成了 2300 个晶体管;在 1993 年 Intel 66MHz 奔腾处理器推出时,采用的是 $0.8\mu\text{m}$ 工艺,集成了 310 万个晶体管;而如今 Intel 酷睿 2 推出后,采用了领先的 45nm 工艺,并且下一代 32 纳米工艺正在研发。

3. 晶圆尺寸

所有芯片都是在一块圆形的所谓的晶圆(wafer)上制作出来的,集成电路制造过程中基本上每道工艺都是对整个晶圆进行加工,而不是对单个的芯片。因此增大晶圆的直径,就可以在一片晶圆上容纳更多的芯片,也就意味着在同一时间可以对更多的芯片进行加工,这样就可以有效地降低单个芯片的生产成本,提高利润率。1972 年 Intel 采用的是直径为 3 英寸(1 英寸约等于 25mm)的晶圆片,1983 年开始采用直径为 6 英寸晶圆片,2002 年 Intel 采用的是 12 英寸晶圆。Intel 的 12 英寸(直径约 300mm)的晶圆如图 1.4 所示,所有的芯片都整整齐齐地排列在上面。根据单个芯片的面积不同,一片晶圆上可以生产的芯片数量也不同。

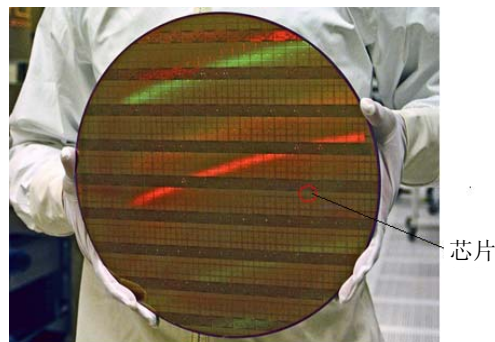


图 1.4 12 英寸晶圆

1.2.2 摩尔定律

摩尔是 Intel 公司的创始人之一，他通过总结集成电路的发展情况，于 1965 提出了摩尔定律，即：芯片的集成度大约 18 个月翻一番，器件尺寸则每 3 年以 0.7 的比例缩小。那时集成电路问世才 6 年，所以摩尔的预测听起来像是科幻小说。但从那时起的 40 年间，集成电路的发展历史完全证明了摩尔定律与实际趋势惊人的接近，使之成为 IC 界的黄金定律。Intel 版本的摩尔定律如图 1.5 所示。

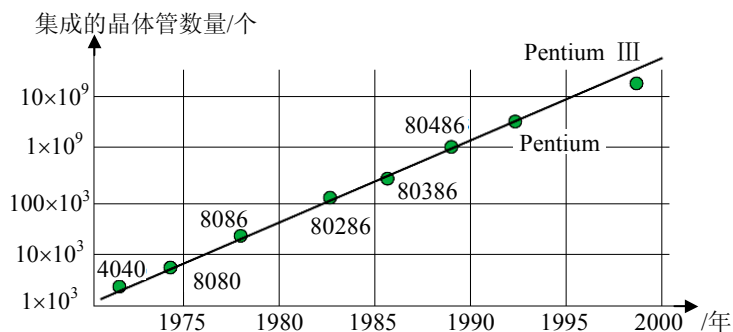


图 1.5 Intel 版本的摩尔定律

摩尔定律反映了集成电路的发展趋势，它的发展速度是相当快的，如果其他科技发展也遵循摩尔定律的话，那么现在一架波音 747 就只卖 5 元钱了。

1.3 集成电路分类

集成电路的种类可谓是琳琅满目，分类方法也多种多样，其中最常用的分类方法有以下几种。

(1) 按集成度分

按照集成度分，集成电路可分为小规模集成电路、中规模集成电路、大规模集成电路、超大规模集成电路、甚大规模集成电路及巨大规模集成电路。表 1.1 列出了各规模下集成的数字门数。

表 1.1 按集成度分类

名 称	集成度 (数字 MOS 集成电路门数)
小规模集成电路	<100
中规模集成电路	$10^2 \sim 10^3$
大规模集成电路	$10^3 \sim 10^5$
超大规模集成电路	$10^5 \sim 10^7$
甚大规模集成电路	$10^7 \sim 10^9$
巨大规模集成电路	$>10^9$

(2) 按电路功能分

按电路要实现的功能分, 集成电路可分为数字集成电路、模拟集成电路以及数模混合集成电路。

数字集成电路: 是对数字信号进行运算和处理的集成电路, 目前大多数集成电路都是数字集成电路, 如 CPU、存储器、DSP (数字信号处理器) 等。

模拟集成电路: 处理的是连续变化的模拟信号, 如运算放大器 (用于放大信号)、模拟滤波器等。

数模混合集成电路: 既包含数字电路又包含模拟电路, 典型的有 ADC (模数转换器, 用于将模拟信号转换为数字信号) 以及 DAC (数模转换器, 用于将数字信号转换成模拟信号)。

(3) 按晶体管类型分

按晶体管类型分, 集成电路主要分为 MOS 集成电路和双极型集成电路。

MOS 集成电路是以 NMOS 晶体管和 PMOS 晶体管为基本元器件构建的集成电路, **CMOS 集成电路**是以 NMOS 和 PMOS 互补配对的形式作为基本元器件构建的集成电路, 由于它具有低功耗、高集成度、低成本等优良特性, 目前已成为应用最广泛的集成电路。

双极型集成电路是以 NPN 晶体管和 PNP 晶体管为基本元器件构建的集成电路。这种集成电路具有速度快、负载驱动能力强等特点, 在模拟集成电路以及高速集成电路中有着广泛应用。但是因为其耗散功率比较大, 限制了它在其他方面的应用。最常用的双极型集成电路是 TTL (晶体管-晶体管逻辑 Transistor-Transistor Logic) 集成电路。

【小提示】

以 NPN 晶体管和 PNP 晶体管为基本元器件构建的集成电路之所以称之为双极型集成电路, 是因为 NPN 晶体管或 PNP 晶体管的导电机构是电子和空穴两种。与之相对应的是单极型集成电路, 也就是晶体管的导电机构只有一种, 不是电子就是空穴。即是说, NMOS 晶体管的导电机构是电子, 而 PMOS 晶体管的导电机构是空穴。

1.3.1 什么是 EDA

EDA (Electronic Design Automation) 即电子设计自动化, 是指以计算机为工作平台, 进行电子产品的自动设计。而利用计算机设计, 就离不开设计软件支持, 这些专用的设计软件就是 EDA 工具。在集成电路设计的每一步骤和环节中, 设计工程师都需要用相应的工具

来进行设计。毫不夸张地说，随着集成电路设计规模和设计复杂度不断地提高，以及设计周期不断地缩短，如果没有 EDA 工具的介入和支持，我们将无法完成大规模的设计。

利用 EDA 技术，设计工程师们可以从功能、算法、结构、协议等开始设计电子系统，而把繁重的计算以及复杂的实现过程交给计算机来执行。EDA 技术的出现，极大地提高了工作效率，缩短了开发周期，降低了设计成本，减轻了设计师的劳动强度。

1.3.2 集成电路设计概念

什么是集成电路设计呢？当我们购买一款电子产品时，我们首先要了解该产品的功能以及它的性能。同样的道理，我们要设计一款集成电路，就要规定它可以实现什么样的功能，具体有什么样的特性，而集成电路的设计是一个将这样的产品设计要求转化成特定元器件的组合，并最终在硅片上实现的过程。

就像人们用“砖瓦”建造各种不同结构的房屋一样，集成电路的设计是对芯片功能进行描述，通过专用的 EDA 工具转化成特定的“砖瓦”，然后用“砖瓦”构建起来的过程。只不过在集成电路的设计中，这些“砖瓦”指的是各种各样的晶体管和电路逻辑。当然，房子是建在地基上的，而集成电路是建在硅片上的。

1.3.3 集成电路设计要素

了解了集成电路设计的概念后，在设计时我们还需要考虑如下的要素。

面积：因为一块集成电路（在封装之前的芯片）的面积越小，那么在一块晶圆上可以获得的芯片数就越多，以同样的流片成本获得的芯片数就越多（半导体的生产费用是以每片晶圆多少钱来计算的），就意味着芯片的成本得以降低。

速度：集成电路的速度通常是用它能够达到的最高频率来进行衡量的，一块集成电路的运行频率越高，那么它在一定时间内完成任务就更多。

功耗：指单位时间内芯片消耗掉的电量大小。设计者总是希望集成电路的功耗越低越好，因为这对于使用集成电路的电子设备（例如手机）而言，功耗越低就意味着其电池的使用时间越长。

设计的折中原则：如上所述，我们总是希望设计出来的集成电路能够具有最小的面积、最高的速度和最低的功耗，但在实际的设计过程中，工程师很难同时实现这三个目标。这是因为，面积、速度和功耗这三种因素通常会相互制约：为了实现更低的功耗，常常会导致速度不得不变慢；而当我们想要提高速度的时候，却会引起面积的不断增大等等。因此工程师们只能采取一种“折中”的设计原则。也就是说，针对芯片的具体应用来选择和优化三个因素中的某一个或两个，而牺牲其他因素。比如说手机更侧重于电池和体积，希望电池使用时间长、体积小，那么设计手机里的芯片时，工程师需要重点考虑如何实现更小的面积和更低的功耗这两个目标，而将速度放在次要的位置。而对于电脑的 CPU 来说，芯片需要处理大量的数据，因此速度是其最重要的性能要求，但速度提高会带来功耗的增加，工程师设计时则需要重点考虑速度，其次才是功耗。

1.3.4 集成电路设计流程

集成电路的设计拥有自己独特的设计流程，它是一种完全基于电子设计自动化的设计流程，也就是说集成设计的各个步骤都是由工程师们在计算机上使用各种 EDA 工具来完成的。

当然，工程师所使用的计算机并不是普通的家用电脑，还需要一种拥有更强大计算能力的计算机，称之为工作站（Work Station）。那么集成电路的设计是怎么进行的呢，下面以数字和模拟集成电路的主要设计流程为例进行简单的介绍。

（1）数字集成电路设计流程

整个设计流程分为三大步骤，分别是系统级设计、前端设计以及后端设计。有时前端设计包括了系统级设计，具体包括系统级设计、RTL（Register Transfer Level，寄存器传输级）设计、RTL 仿真、电路综合等步骤；而后端设计则包括版图设计、物理验证以及后仿真等，具体流程如图 1.6 所示。

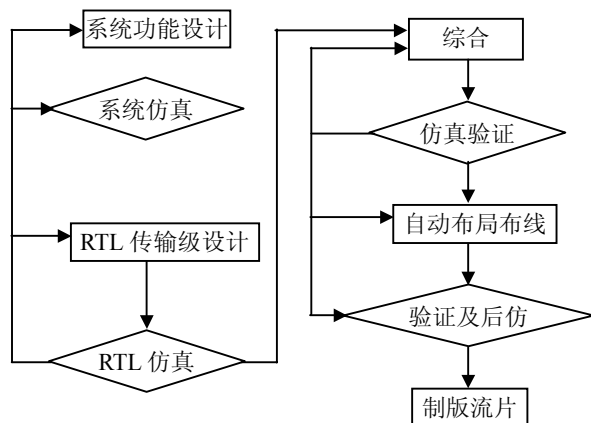


图 1.6 数字集成电路设计流程

系统级设计：按照预定的要求进行芯片规划、模块划分，确定每个部分需要完成的功能。系统级设计时通常会采用高级语言（例如 System C）对整个系统进行建模，此时只考虑对各个模块的功能进行描述，我们称这种模型为行为级模型。

RTL 级：系统级设计完成后，划分出的各个模块将交给前端设计工程师进行 RTL（寄存器传输级）设计。什么是 RTL 设计？数字集成电路是由两类基本器件组成的，一类是输出信号只受输入信号当前状态影响（称之为组合逻辑），这类器件没有记忆功能，只要输入信号变化，输出随之变化；另一类是输出信号不仅与输入信号有关，还和其前一时刻状态有关的逻辑器件（称之为时序逻辑器件），这类器件具有记忆功能，输出信号的变化与否由输入信号和输出信号前一时刻的状态决定。RTL 设计就是利用硬件描述语言（一种能够描述逻辑器件功能的语言，如 Verilog HDL 语言）对包含这两类器件的电路进行描述，由于这种描述是以寄存器之间的传输为基础的，因此称为 RTL 设计。

综合：RTL 只是对电路行为进行描述，是以寄存器为基础的，而我们的最终目标是要在晶圆上形成实际的电路，电路是以实际的元器件比如说晶体管为基础的。这就需要“综合”来对 RTL 描述进行翻译，将它翻译成对应的元器件以及它们之间的连接关系，形成最终的一张列表，称之为“门级网表”。也就是说综合就是把一个高层次的与工艺无关的描述转换成一个低层次的与特定工艺相关的逻辑电路的过程。

“综合”需要工艺厂商提供“综合库”（包含各种元器件以及它们的参数定义），它会依据 RTL 设计来优化所需要的元器件，并自动将所有的器件按要求连接起来。到这一步，我们终于开始接近真正的电路级设计了。

自动布局布线：综合完成后就可以开始版图设计，对于大规模数字集成电路而言，通常使用“自动布局布线”工具来完成版图设计，该工具可以根据选定的工艺库（库中的每个元器件都有相应的版图）将综合出的网表自动转换为芯片版图。其中布局的作用是完成芯片面积、形状等的规划，并将所有的元器件放置好。而布线工具则是完成各个元器件之间的连接。

流片（tape out）：版图设计完成后，经过物理验证无误后可以交付给芯片制造商流片生产了。表 1.2 给出了数字集成电路设计常用的工具。

表 1.2 数字集成电路设计常用的工具

公司 工具	Cadence	Synopsys	Mentor Graphics
逻辑仿真	NC-Sim		ModelSim
逻辑综合		Design-compiler	
布局布线	SE, Encounter		
时序验证	Pearl		

(2) 模拟集成电路设计流程

模拟集成电路版图设计上通常采用全定制的设计方法。这是由于模拟电路性能要求较高，对信号敏感度要远高于数字集成电路，所以对版图布局布线要求较高。全定制就是设计人员不像数字集成电路设计时那样调用标准库单元来自动布局布线，而是需要对所有的元器件进行精工细作，以实现最小面积、最佳布局布线、最优功耗，得到最好的电路特性。虽然全定制方法非常适合于模拟电路设计，但它需要版图设计人员充分了解工艺规则，设计 requirements 比较高、周期长、设计成本昂贵。图 1.7 列出了模拟集成电路的设计流程。

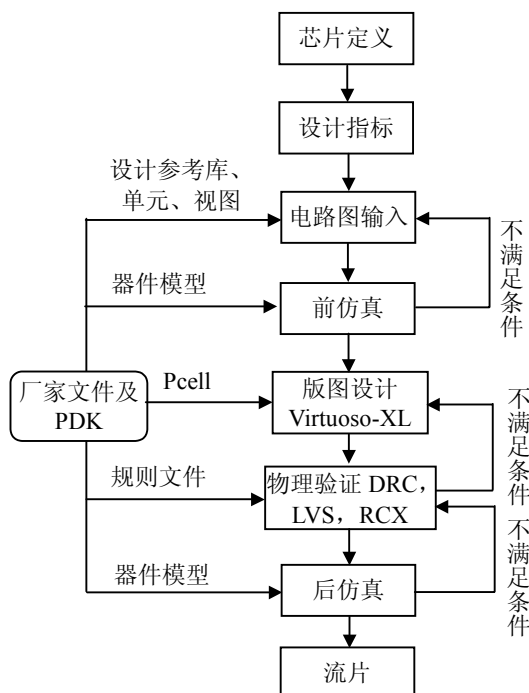


图 1.7 模拟集成电路设计流程