

电子与计算机工程领域获奖作品  
IEEE微电子系统经典图书

WILEY



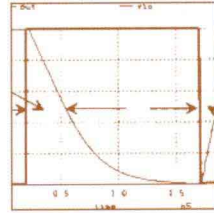
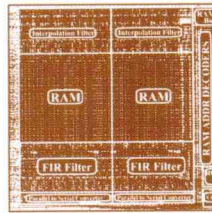
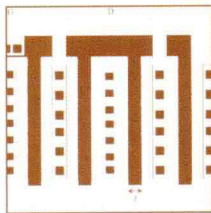
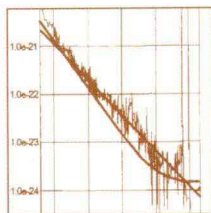
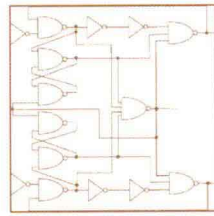
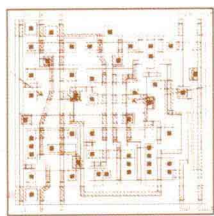
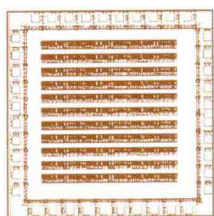
# CMOS

## 集成电路设计手册

(第3版·数字电路篇)

CMOS Circuit Design, Layout, and Simulation  
3rd Edition

[美]R. JACOB BAKER 著 朱万经 张徐亮 张雅丽 译



人民邮电出版社  
POSTS & TELECOM PRESS

# CMOS

## 集成电路设计手册

(第3版·数字电路篇)

CMOS Circuit Design, Layout, and Simulation  
3rd Edition

[美]R. JACOB BAKER 著 朱万经 张徐亮 张雅丽 译

人民邮电出版社  
北京

## 图书在版编目 (C I P) 数据

CMOS集成电路设计手册：第3版. 数字电路篇 /  
(美) 贝克 (Baker, R. J.) 著；朱万经, 张徐亮, 张雅丽  
译. — 北京：人民邮电出版社, 2014. 2  
ISBN 978-7-115-33773-3

I. ①C… II. ①贝… ②朱… ③张… ④张… III. ①  
CMOS电路—数字电路—电路设计—手册 IV.  
①TN432. 02-62

中国版本图书馆CIP数据核字(2013)第278047号

## 版权声明

Title: CMOS Circuit Design, Layout, and Simulation, 3rd Edition

by R. Jacob Baker, ISBN: 978-0470881323

Copyright ©2010 by the Institute of Electrical and Electronics Engineers, Inc.

All Rights Reserved. This translation published under license. Authorized translation from the English Language edition, Published by John Wiley & Sons. No part of this book may be reproduced in any form without the written permission of the original copyrights holder.

本书简体中文版由 **John Wiley & Sons** 授权人民邮电出版社出版发行。未经出版者书面许可，不得以任何方式复制或抄袭本书的任何部分。

版权所有，侵权必究

- 
- ◆ 著 [美] R. Jacob Baker
  - 译 朱万经 张徐亮 张雅丽
  - 责任编辑 紫 镜
  - 执行编辑 魏勇俊
  - 责任印制 彭志环 焦志炜
  
  - ◆ 人民邮电出版社出版发行 北京市丰台区成寿寺路 11 号  
邮编 100164 电子邮件 315@ptpress.com.cn  
网址 <http://www.ptpress.com.cn>  
北京鑫正大印刷有限公司印刷
  
  - ◆ 开本: 800×1000 1/16  
印张: 18.5  
字数: 342 千字 2014 年 2 月第 1 版  
印数: 1-3 000 册 2014 年 2 月北京第 1 次印刷  
著作权合同登记号 图字: 01-2012-8273 号
- 

定价: 59.00 元

读者服务热线: (010)81055411 印装质量热线: (010)81055316

反盗版热线: (010)81055315

广告经营许可证: 京崇工商广字第 0021 号

**谨以此书献给我的妻子 Julie**

## 作者简介

R. Jacob (Jake) Baker 是一位工程师、教育家以及发明家。他有超过20年的工程经验并在集成电路设计领域拥有超过200项的专利（包括正在申请中的）。Jake也是多本电路设计图书的作者。他的具体简历可以参见<http://cmosedu.com/jbaker/jbaker.htm>。

# 内容提要

《CMOS集成电路设计手册》讨论了CMOS电路设计的工艺、设计流程、EDA工具手段以及数字、模拟集成电路设计，并给出了一些相关设计实例，内容介绍由浅入深。该著作涵盖了从模型到器件，从电路到系统的全面内容，是一本权威、综合的CMOS电路设计的工具书及参考书。

《CMOS集成电路设计手册》英文原版书是作者近30年教学、科研经验的结晶，是CMOS集成电路设计领域的一本力作。《CMOS集成电路设计手册》已经过两次修订，目前为第3版，内容较第2版有了改进，补充了CMOS电路设计领域的一些新知识，使得本书较前一版内容更加详实。

为了方便读者有选择性地学习，此次将《CMOS集成电路设计手册》分成3册出版，分别为基础篇、数字电路篇和模拟电路篇。此册为数字电路篇，主要涵盖了数字电路设计以及高级数字电路设计的内容。本书作为一个单独的分册出版，有利于读者更集中地学习CMOS数字集成电路设计的相关内容，与本书的其他两册（基础篇与模拟电路篇）相辅相成，可以作为CMOS电路设计基础知识的延伸，不仅有组合逻辑电路、时序电路等基本数字集成电路知识，也涵盖了大规模集成电路、存储器电路、传感器电路、数字锁相环等高级数字集成电路设计的相关内容。无论从知识的深度、广度上都能满足CMOS数字设计工程师、相关科研人员以及学生学习这方面知识的需要。

# 前 言

CMOS (Complementary Metal Oxide Semiconductor, 互补金属-氧化物-半导体) 技术是集成电路制备的主流工艺。在未来25年里, 这一技术仍将占据主导地位。为什么会出现这种情况呢? 因为CMOS技术可靠性高、可制造型强、功耗低、成本低, 还有, 也许是最重要的一点: CMOS电路的可延展性。早在1965年, Intel公司的创始人Gordon Moore就已经观察并描述了硅集成电路工艺的可延展性。他的结论现在被描述为摩尔定律 (Moore's Law), 其表述为: 芯片上器件的数目每过18个月到24个月翻一番。虽然最初并非特指CMOS工艺, 但随着不断减小的CMOS工艺的特征尺寸, 摩尔定律多年来始终有效。早期CMOS晶体管的栅长在微米量级 (长沟道器件), 如今CMOS器件的特征尺寸已经进入纳米量级 (短沟道器件)。

为了同时涵盖长沟道和短沟道CMOS工艺, 《CMOS集成电路设计手册》采用两种方式介绍CMOS集成电路设计, 同时还讨论并比较了这两种工艺的设计技巧。这样进行比较将会使读者对集成电路设计的过程有更深刻的认识。读者在微电子概述等课程中学到的描述CMOS器件特性的平方律公式可用在长沟道CMOS工艺的模拟设计中, 不过在短沟道CMOS工艺或纳米级CMOS工艺的设计中不再有效。纳米CMOS工艺器件的特性十分复杂, 简单的公式无法完整地描述其特性, 此时应通过电学特性曲线估算偏置点和工作特性。不过, 读者在电路分析和设计中已掌握和使用的严格数学推导方法仍然有效。这就是为什么采用两种方式介绍的原因。可以采用长沟道CMOS工艺进行手工计算, 并将结果应用于描述纳米CMOS工艺设计。

第3版的《CMOS集成电路设计手册》有什么新的地方呢? 首先,

计算机辅助设计（CAD）工具（如Cadence、Electric、HSPICE、LASI、LTspice及WinSpice）的相关讨论已经移至本书的网站：<http://CMOSedu.com>。此外，加入了数据转换器实现和反馈放大器的相关章节。新增内容实用性强，使其更适合作为教材，或者设计工程师的参考手册。《CMOS集成电路设计手册》有着很多的实例、讨论及习题，而每个章节最后的习题（用于自学）和电路仿真中所使用的网表都可以到CMOSedu.com中下载，也可以在该网站上找到附加习题。有志于深入理解CMOS模拟和数字设计的读者，将从网站提供的可下载资源修改并仿真本书中给出的设计实例中大大受益。

《CMOS集成电路设计手册》的读者应该具有线性电路（例如，RC电路和RLC电路、波特图、拉普拉斯变换、交流分析等）、微电子（例如，二极管、晶体管、小信号分析、放大器、开关特性等）和数字逻辑设计的背景知识。可用于教授下列课程：VLSI（超大规模集成电路）或者CMOS数字集成电路设计、CMOS模拟集成电路设计和高级模拟集成电路设计。

（附注：本书正斜体与下角标等规范均参照英文原版书，不以国内标准规范为参照。）



# 学生、研究人员和工程师如何有效地使用 《CMOS集成电路设计手册》

作者致力于让各类读者都受益。对于学生，《CMOS集成电路设计手册》包含上百个实例、习题和实践讨论（按照一个学生的说法，教材中的实例再多也不为过）。CMOS版图的深入分析和详细讨论，是排除故障以及进行高速数字设计的重要基础。通过一步步的学习，掌握包括电路设计细节、工艺步骤和仿真考量（寄生效应）等版图设计技术。这样避免了仅在一个章节中介绍版图从而导致设计和仿真讨论的不连续性。数字设计的章节强调实际工艺参数（如 $I_{off}$ 、 $I_{on}$ 、 $t_{ox}$ 和 $VDD$ 等）。模拟章节进行了关于器件尺寸选择和设计考量的连贯性讨论。相似地用于选择MOSFET器件宽长及短沟道工艺中设计采用的长沟道公式等类似“手册”的设计流程在这里并没有给出。《CMOS集成电路设计手册》能为培养学生成为CMOS集成电路设计人员和制造工程师打下了坚实的基础。

对于研究人员，电路设计中的相关议题，如噪声考量和采用 $\Delta\Sigma$ 调制（DSM）感测等，对于纳米CMOS设计相当重要。例如，数字电路篇中应用 $\Delta\Sigma$ 调制的CMOS图像传感器、闪存（Flash）和采用薄氧化层的存储器（直接隧穿）。 $\Delta\Sigma$ 调制感测很重要，这是由于以下的事实：CMOS不断提高的时钟速率，晶体管的增益和匹配正在恶化。此外，该著作还讨论了受噪声限制的设计问题，如“为什么无法提高成像芯片的信噪比？”或者“为什么热噪声或闪烁噪声的积分是有害的？”。

对于工程师，该著作提供了可以直接用于产品的设计和版图实例。

很多设计理念大家都非常熟悉，但我们仍需要强调匹配、功耗、速度、工艺偏移、供电电压变化和温度特性等在实际设计中极为重要。大量详细的实例都集中于上述内容。锁相环、电荷泵、低电压基准源、单差分运算放大器和全差分放大器设计、连续时间比较器和钟控比较器、存储器电路等。为确保绝大部分设计可以通过计算机验证，纳米级设计（50nm工艺）的仿真采用bSIM4 SPICE模型。再次说明，该著作中的所有仿真实例都可以从CMOSedu.com下载。

# 致 谢

我要感谢审稿人、学生、同事及朋友，他们的帮助让《CMOS集成电路设计手册》成为了可能，他们是：Jenn Ambrose, Jeanne Audino, Rupa Balan, Sakkarapani Balagopal, Mahesh Balasubramanian, David Binkley, Jan Bissey, Bill Black, Lincoln Bollschweiler, Eric Booth, Dave Boyce, Elizabeth Brauer, John Brews, Ben Brown, J. W. Bruce, Prashanth Busa, Kris Campbell, John Chiasson, Kloy Debban, Ahmad Dowlatabadi, Robert Drost, Kevin Duesman, Krishna Duvvada, Mike Engelhardt, Surendranath Eruvuru, Cathy Faduska, Paul Furth, Chris Gagliano, Gilda Garretón, Neil Goldsman, Tyler Gomm, Shantanu Gupta, Kory Hall, Wes Hansford, David Harris, Qawi Harvard, Robert Hay, Jeff Jessing (编著了基础篇第7章), Adam Johnson, Brent Keeth, Howard Kirsch, Bill Knowlton, Bhavana Kollimarla, Harry Li (编著了模拟电路篇第9章和第10章, 并且共同编著了模拟电路篇第12章), Matthew Leslie, Song Liu, Mary Mann, Mary Miller, Amy Moll, Dennis Montierth, Dean Moriarty (数字电路篇5.2节), Sugato Mukherjee, Michael Newman, Ward Parkinson, Winway Pang, Priyanka Mukeshbhai Parikh, Andrew Prince, Mahyar Arjmand Rad, Avinash Rajagiri, Harikrishna Rapole, Steven Rubin, Vishal Saxena, Terry Sculley (在模拟电路篇第10章中推导出了INL和DNL方程式), Brian Shirley, Harish Singidi, Joseph Skudlarek, Mike Smith, Avani Falgun Trivedi, Mark Tuttle, Vance Tyree, Gary VanAckern, Lisa VanHorn, Indira Vemula, Tony VenGraitis, Joseph J. Walsh, Justin Wood, Kuangming Yap and Geng Zheng。

R. Jacob (Jack) Baker

# 目 录

<b>第1章 反相器</b> .....	<b>1</b>
1.1 直流特性.....	1
1.2 开关特性.....	5
1.3 反相器的版图.....	10
1.4 驱动大容量负载的反相器尺寸.....	12
1.5 其他类型反相器.....	17
<b>第2章 静态逻辑门</b> .....	<b>21</b>
2.1 与非门及或非门的直流特性.....	21
2.1.1 与非门的直流特性.....	21
2.1.2 或非门的直流特性.....	24
2.2 或非门和与非门的版图设计.....	25
2.3 开关特性.....	26
2.3.1 与非门.....	28
2.3.2 输入的数目.....	31
2.4 复杂的CMOS逻辑门.....	32
<b>第3章 钟控电路</b> .....	<b>43</b>
3.1 CMOS传输门.....	43
3.2 传输门的应用.....	46
3.3 锁存器和触发器.....	48
3.4 实例.....	56
<b>第4章 动态逻辑门</b> .....	<b>63</b>
4.1 动态逻辑基础.....	63
4.1.1 电荷泄漏.....	63

## CMOS集成电路设计手册 (第3版·数字电路篇)

4.1.2	动态电路仿真	66
4.1.3	不交迭时钟的产生	67
4.1.4	动态电路中的CMOS TG	68
4.2	钟控CMOS逻辑	69
<b>第5章</b>	<b>VLSI版图设计实例</b>	<b>77</b>
5.1	芯片版图	77
5.2	版图设计流程	87
<b>第6章</b>	<b>存储器电路</b>	<b>97</b>
6.1	阵列结构	98
6.1.1	存储单元存取基础	98
6.1.2	折叠阵列	105
6.1.3	芯片组织结构	110
6.2	外围电路	111
6.2.1	读出放大器设计	111
6.2.2	行/列解码器	120
6.2.3	行驱动器	125
6.3	存储单元	126
6.3.1	SRAM单元	127
6.3.2	只读存储器	128
6.3.3	浮栅存储器	129
<b>第7章</b>	<b><math>\Delta\Sigma</math>调制感测</b>	<b>147</b>
7.1	定性讨论	147
7.1.1	$\Delta\Sigma$ 调制实例	148
7.1.2	在闪存中采用 $\Delta\Sigma$ 调制进行感测	151
7.2	感测阻性存储器	161
7.3	感测CMOS成像器	168
<b>第8章</b>	<b>专用CMOS电路</b>	<b>187</b>
8.1	施密特触发器	187
8.1.1	施密特触发器的设计	188
8.1.2	施密特触发器的应用	190
8.2	多谐振荡器	192

8.2.1	单稳态多谐振荡器 .....	193
8.2.2	非稳态多谐振荡器 .....	194
8.3	输入缓冲器 .....	195
8.3.1	基本电路 .....	195
8.3.2	差分电路 .....	198
8.3.3	直流参考源 .....	202
8.3.4	降低缓冲器的输入阻抗 .....	204
8.4	电荷泵（电压产生电路） .....	206
8.4.1	提高输出电压 .....	208
8.4.2	产生更高的电压：迪克森电荷泵 .....	208
8.4.3	实例 .....	211
<b>第9章</b>	<b>数字锁相环 .....</b>	<b>215</b>
9.1	鉴相器 .....	216
9.1.1	异或鉴相器 .....	216
9.1.2	鉴频鉴相器 .....	221
9.2	压控振荡器 .....	224
9.2.1	电流匮乏型压控振荡器 .....	225
9.2.2	源耦合压控振荡器 .....	229
9.3	环路滤波器 .....	231
9.3.1	异或数字锁相环 .....	231
9.3.2	鉴频鉴相器数字锁相环 .....	238
9.4	系统考量 .....	246
9.5	延迟锁定环路 .....	256
9.6	实例 .....	260
9.6.1	一个2 GHz的延迟锁定环路 .....	260
9.6.2	1 Gbit/s的时钟恢复电路 .....	266
<b>附 录</b>	<b>.....</b>	<b>277</b>

# 第1章 反相器

CMOS反相器是数字电路设计中的基本模块。如图1.1所示，反相器将逻辑信号A反相为逻辑信号 $\bar{A}$ 。当反相器的输入端接地时，通过PMOS器件M2（M1处于截止状态）将输出端上拉到VDD。而当输入端接到VDD时，通过NMOS器件M1（M2处于截止状态）将输出端下拉至地电位。本章将介绍CMOS反相器的几个重要特性：例如，反相器的输出电压的范围为VDD到地，而不像其他逻辑电路输出电压不能达到电源电压。而且CMOS反相器的静态功耗几乎为零，可以合理设计器件的尺寸，使得反向器的输出能力与灌入能力相同，而且也可以通过改变器件的尺寸来设置反相器逻辑翻转的阈值电压。

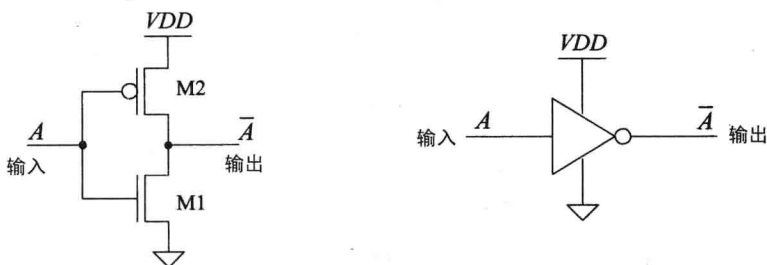


图 1.1 CMOS反相器的电路图和逻辑符号

## 1.1 直流特性

考虑图1.2所示的反相器及其转移特性曲线。在转移特性曲线的区域1，输入电压足够低（通常低于M1的阈值电压），所以M1截止而M2导通（ $V_{SG}$ 远大于 $V_{THP}$ ）。当输入电压 $V_{in}$ 增大时，M2与M1均导通（区域2）。 $V_{in}$ 继续增大将使得M2截止而M1导通，如区域3所示。

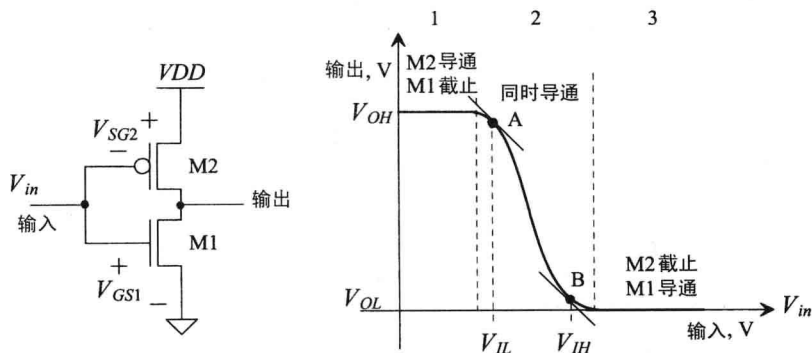


图1.2 CMOS反相器转移特性曲线

将最大的输出“高”电平记为 $V_{OH}$ ，最小的输出“低”电平记为 $V_{OL}$ 。点A、B为转移曲线上斜率为-1的点。当输入电压小于或者等于A点的输入电压 $V_{IL}$ 时，反相器的输入信号将被视为逻辑“低”电平；当输入电压大于或者等于B点的输入电压 $V_{IH}$ 时，反相器的输入信号将被视为逻辑“高”电平。当输入电压介于 $V_{IL} \sim V_{IH}$ 之间时，将被视为一个无效的逻辑电平。理想情况下， $V_{IL}$ 与 $V_{IH}$ 的差值应该为0，但在实际的逻辑电路中，该情况并不存在。

**例1.1** 利用SPICE模型，绘制本书中采用的长沟道以及短沟道CMOS工艺反相器（如图1.3所示）的转移特性曲线。通过该曲线，确定 $V_{IH}$ 、 $V_{IL}$ 、 $V_{OH}$ 以及 $V_{OL}$ 的值。

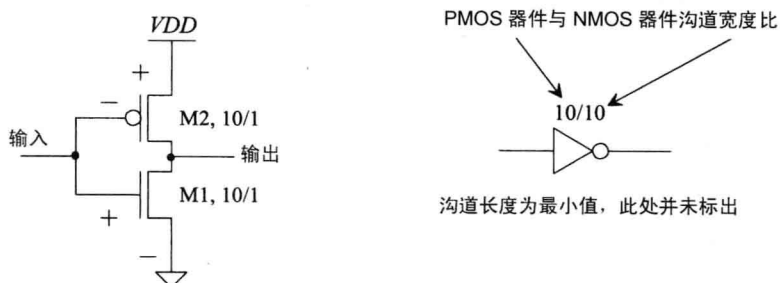


图1.3 例1.1中所用的反相器

反相器的电压转移曲线（VTC）如图1.4所示。注意在长沟道工艺中 $V_{DD}$ 的值为5 V，而在短沟道工艺中 $V_{DD}$ 为1 V。输出高电平 $V_{OH}$ 为 $V_{DD}$ ，输出低电平为地电平（两种工艺的反相器均为该情况）。采用长沟道工艺反相器的 $V_{IL}$ 为1.8 V左右，采用短沟道工艺反相器的 $V_{IL}$ 约为400 mV。而长沟道工艺和短沟道工艺反相器的 $V_{IH}$ 则分别为2.1 V和500 mV。

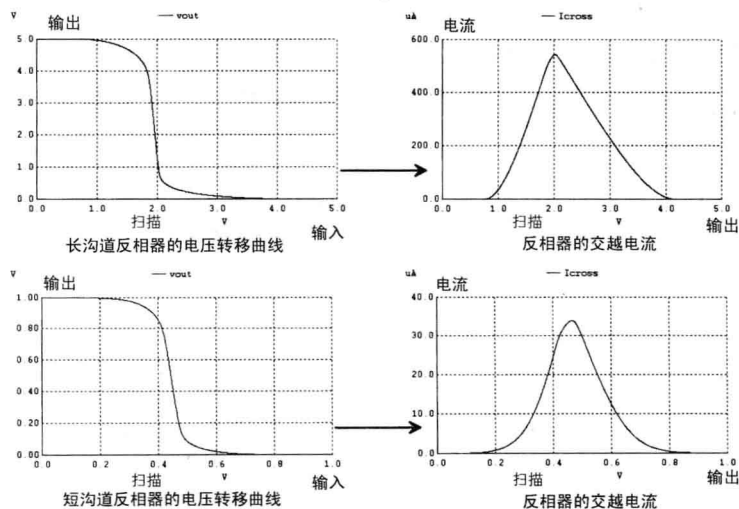


图1.4 长沟道和短沟道反相器的电压转移曲线



注意图1.4中还绘制了交越（反相器输出电压在逻辑1与逻辑0之间交越时）电流曲线。这是反相器工作在图1.2所示的区域2时的电流值（反相器的输入从高变低或者从低变高）。如果反相器输入信号转换速度很快，那么该时间段内（反相器工作在区域2的时间）从电源 $V_{DD}$ 处获得的电荷量就很小。但是，如果反相器输入逻辑信号转换速度较慢或者逻辑电平并未达到供电电压轨（与基础篇中图10.19讨论的单管传输门电路相似），那么反相器将有可能有一个较大的电流流过（很重要！）。

### 噪声容限

数字逻辑门或者电路的噪声容限反映了门电路在噪声条件下工作的性能。逻辑高电平时的噪声容限为：

$$NM_H = V_{OH} - V_{IH} \quad (1.1)$$

逻辑低电平时的噪声容限为：

$$NM_L = V_{IL} - V_{OL} \quad (1.2)$$

在电源电压 $V_{DD}$ 为1V时，理想情况下的噪声容限为500mV，即 $NM_L = NM_H = V_{DD}/2$ 。

### 反相器的转换点

考虑图1.5所示的基本反相器的转移特性曲线。C点对应该曲线上输入电压等于输出电压时的点。把该点处对应的输入(或输出)电压成为反相器的转换点电压 $V_{SP}$ ，此时反相器中的两个MOSFET均工作在饱和区。由于两个MOSFET的漏极电流必须相等，因此有：

$$\frac{\beta_n}{2}(V_{SP} - V_{THN})^2 = \frac{\beta_p}{2}(V_{DD} - V_{SP} - V_{THP})^2 \quad (1.3)$$

从上式中解得 $V_{SP}$ 为：

$$V_{SP} = \frac{\sqrt{\frac{\beta_n}{\beta_p}} \cdot V_{THN} + (V_{DD} - V_{THP})}{1 + \sqrt{\frac{\beta_n}{\beta_p}}} \quad (1.4)$$

### 理想反相器的电压转移曲线与噪声容限

反相器的理想电压转移曲线如图1.6所示。理想转换点电压 $V_{SP}$ 为 $V_{DD}/2$ 。与式(1.1)

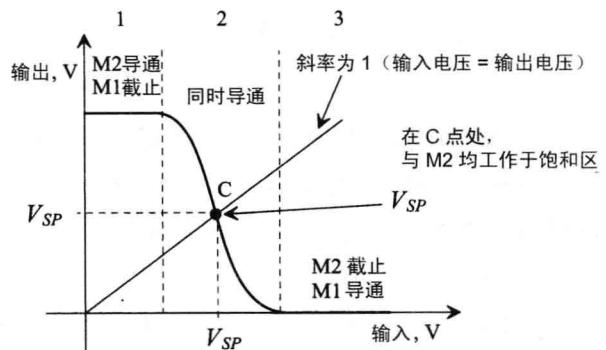


图1.5 标示了转换点的反相器转移特性曲线