



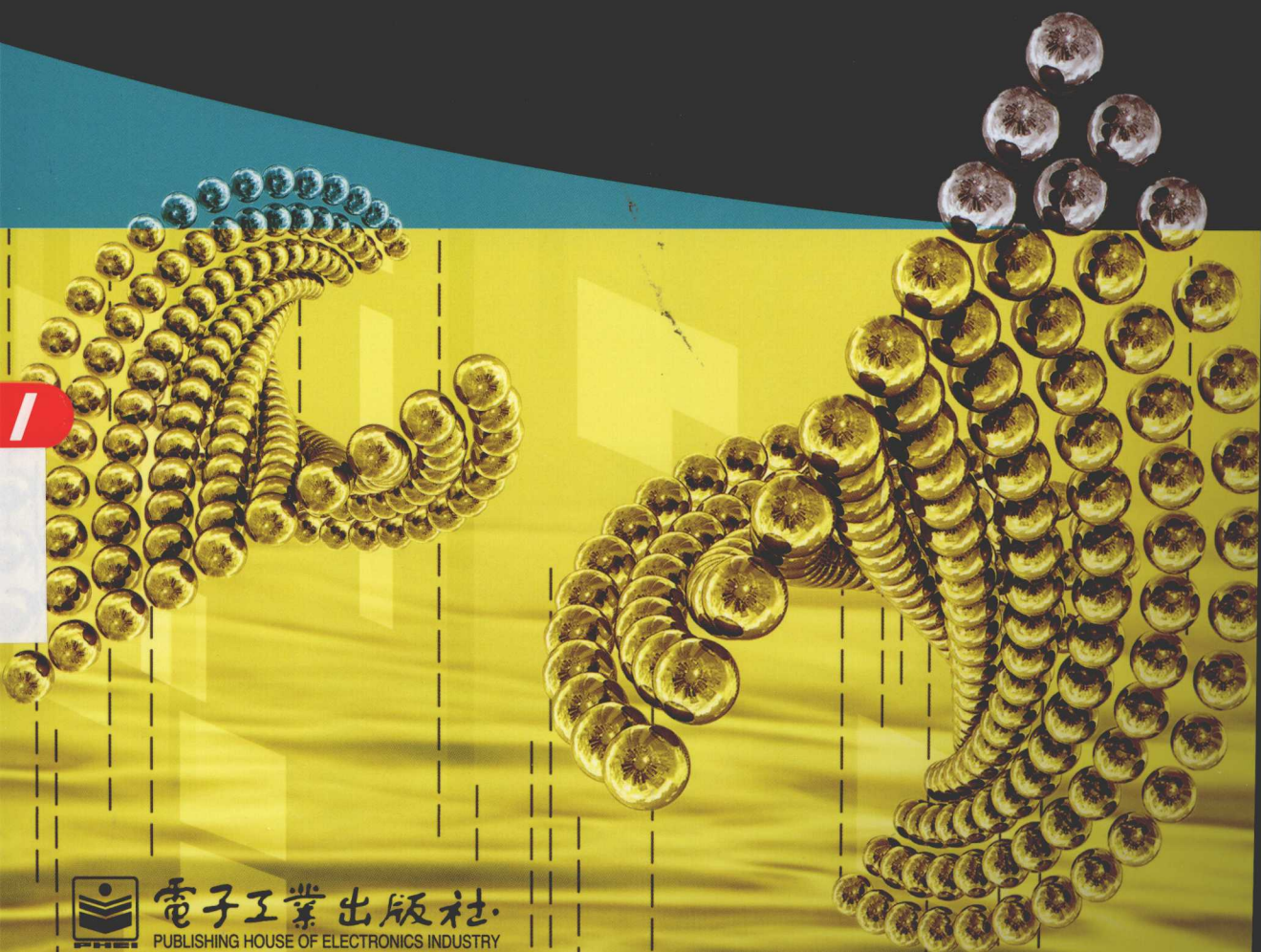
EDA 应用技术

<http://www.phei.com.cn>

CMOS

模拟集成电路设计与仿真实例 ——基于Hspice

陈钺颖 尹飞飞 范 军 编著



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

014032959

内容简介

EDA 应用技术

CMOS 模拟集成电路设计与仿真实例

——基于 Hspice

陈铖颖 尹飞飞 范 军 编著



电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING



北航

C1721236

TN432

56

内 容 简 介

本书主要介绍利用 Hspice 软件进行 CMOS 模拟集成电路设计的相关知识和仿真方法。内容包括 CMOS 模拟集成电路基础、Hspice 概况介绍及 Hspice 的各种仿真功能和实例。本书通过大量实例,由浅入深、系统地介绍了各类常用 CMOS 模拟集成电路的理论知识和设计仿真方法,包括标准单元库、运算放大器、带隙基准源、低压差线性稳压器、滤波器、比较器、可变增益放大器和逐次逼近模数转换器等仿真实例,涵盖范围广,工程实用性强。

本书对初学 CMOS 模拟集成电路设计与仿真的读者,特别是高等院校电路系统、微电子专业学生及进行混合信号电路设计的工程师,都会起到有益的帮助。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

CMOS 模拟集成电路设计与仿真实例:基于 Hspice/陈铖颖,尹飞飞,范军编著.

北京:电子工业出版社,2014.4

(EDA 应用技术)

ISBN 978-7-121-22598-7

I. ①C… II. ①陈… ②尹… ③范… III. ①CMOS 电路—模拟集成电路—电路设计—计算机仿真
IV. ①TN432

中国版本图书馆 CIP 数据核字(2014)第 041051 号

策划编辑:王敬栋

责任编辑:张 京

印 刷:北京市京科印刷有限公司

装 订:三河市皇庄路通装订厂

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编:100036

开 本:787×1092 1/16 印张:20.75 字数:531.2 千字

印 次:2014 年 4 月第 1 次印刷

印 数:3000 册 定价:59.80 元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010)88254888。

质量投诉请发邮件至 zltz@phei.com.cn,盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010)88258888。

前 言

在当今社会,以信息技术为代表的高新技术迅猛发展,信息产业发展水平已成为衡量一个国家综合国力的重要标志。集成电路(Integrated Circuit, IC)作为当今信息时代的核心技术产品,其在国民经济建设、国防建设及人们日常生活中的重要性不言而喻。

随着 CMOS 集成电路技术的日益进步,计算机辅助设计工具也日趋成熟。各类 SPICE 仿真工具的推出,有效提高了电路设计效率,缩短了产品设计周期。Hspice 是原 Meta-Software(现属于 Synopsys 公司)研发的模拟、射频及混合信号集成电路设计自动化仿真软件,功能强大,仿真功能多样,包含直流分析、交流小信号分析、瞬态分析、傅里叶分析、噪声分析、零极点分析和蒙特卡罗分析等仿真功能。针对 Hspice 软件的学习应用需求,编者以工程实例为基础编纂了本书,以供学习 CMOS 模拟集成电路设计与仿真的读者参考讨论之用。

本书主要分为两大部分内容,共 11 章。

第 1~4 章主要介绍 CMOS 模拟集成电路的基本理论及 Hspice 软件的基础知识和仿真功能。第 1 章主要介绍 CMOS 模拟集成电路中所需要掌握的基础理论和相关知识,作为进行 CMOS 集成电路仿真设计的知识储备。第 2 章对 Hspice 的窗口、基本操作进行详细介绍,并简述利用 Hspice 进行仿真设计的基本流程。第 3 章介绍 Hspice 中的电路描述语句,包括基本元件、激励源、子电路、库文件、电路输出控制语句及电路控制语句等。第 4 章主要介绍 Hspice 的基础仿真功能,主要包括直流仿真、瞬态仿真、交流小信号仿真及它们所涵盖的子仿真功能,如零极点仿真、噪声仿真等,并结合实例进行讨论分析。

第 5~11 章通过工程实例介绍利用 Hspice 进行 CMOS 模拟集成电路设计的仿真方法。第 5 章首先介绍了标准单元库的基本知识和建库流程,并通过三类标准单元讨论了利用 Hspice 进行上升时间、下降时间和延迟时间仿真的基本方法和技巧。第 6 章主要对运算放大器的理论知识和公式推导进行分析,并通过全差分运算放大器的设计实例讨论了利用 Hspice 进行运算放大器仿真设计的基本方法和详细流程。第 7 章详细讲述了模拟滤波器的设计方法和技巧,对一类特殊的滤波器电路——复数滤波器电路进行了详细讨论。第 8 章介绍了带隙基准源和低压差线性稳压器的相关知识和设计过程。第 9 章讨论了比较器的基本理论和性能参数,并通过动态比较器电路和施密特触发器电路对 Hspice 的仿真方法和技巧进行了探讨。第 10 章详细讨论了 Hspice 在可变增益放大器中的仿真应用。第 11 章首先分析了逐次逼近模数转换器的基本理论和电路结构,之后利用 Hspice 对逐次逼近模数转换器中三个主要的电路模块进行仿真设计。

本书设计实例丰富,具有很强的实用性。本书由陈铖颖、尹飞飞和范军一同编纂完成。陈铖颖主要完成了第 1、2、9、10 和 11 章的编写,并参与了第 3 章初稿的准备及全书初稿的审定工作,尹飞飞主要完成了第 3、4、6 和 8 章的编写,范军主要完成了第 5 章和 第 7

章的编写。参加本书编写的还有胡晓宇、邓佩佩、张文娟、叶春聪、洪雷、陈素萍、罗志成、吴书凯、张洁、杨丽琼、杨亚光、马文龙。感谢胡晓宇副研究员在电路理论基础撰写和文稿审校方面做出的大量工作，此外，北方工业大学戴澜副教授在章节架构和语言组织方面提供了许多有益的建议。同时感谢张文娟、叶春聪、洪雷、陈素萍、罗志成、吴书凯、刘泉、郑小璇、张洁、杨丽琼、吴增强、郝立强、易江涛、李晓明、孙小平、杨亚光、马文龙等同事、同学在查找资料和文档整理方面付出的辛勤劳动。正是有了大家的共同努力，才得以使本书顺利完成。

由于本书涉及知识面较广，时间和编者水平有限，书中难免存在不足和局限，肯请读者批评指正。

编著者

目 录

第1章	CMOS 模拟集成电路基础	1
1.1	CMOS 工艺基础及流程	1
1.2	CMOS 模拟集成电路设计	6
1.3	MOS 管理论基础	8
1.3.1	MOS 管概述	8
1.3.2	MOS 管的工作原理	10
1.3.3	MOS 管 I/V 特性	12
1.3.4	MOS 管二阶效应	13
1.3.5	MOS 管的短沟道效应	14
1.4	CMOS 器件模型	16
1.4.1	MOS 管大信号模型	17
1.4.2	MOS 管小信号模型	17
1.4.3	MOS 管噪声模型	19
1.4.4	MOS 管计算机仿真模型	20
1.5	小结	21
第2章	Hspice 设计软件概述与基本操作基础	22
2.1	Hspice 简介	22
2.1.1	Hspice 的特点	22
2.1.2	Hspice 的仿真方法	23
2.1.3	Hspice 的安装	24
2.2	Hspice 仿真窗口简介	26
2.2.1	主窗口	26
2.2.2	AwanWaves 波形显示窗口	28
2.2.3	Result Brower 窗口	30
2.3	Hspice 的基本设计流程	31
2.3.1	理想器件仿真实例	31
2.3.2	工艺库模型仿真实例	36
2.4	小结	38

第3章	Hspice 电路描述	39
3.1	Hspice 仿真网表描述	39
3.2	元件语句描述	41
3.2.1	无源元件语句描述	41
3.2.2	有源元件语句描述	45
3.2.3	激励源元件语句描述	48
3.3	元件模型语句描述	55
3.4	子电路语句描述	57
3.5	库文件语句描述	58
3.6	电路分析结果输出语句	59
3.7	常用仿真控制语句	62
3.8	小结	65
第4章	Hspice 基础仿真分析与电路控制描述	66
4.1	Hspice 仿真功能概述	66
4.2	直流仿真	67
4.2.1	直流仿真原理与仿真控制语句	67
4.2.2	直流仿真范例	70
4.3	瞬态仿真	76
4.3.1	瞬态仿真原理与仿真控制语句	76
4.3.2	瞬态仿真范例	78
4.4	交流仿真	79
4.4.1	交流仿真原理与仿真控制语句	79
4.4.2	交流仿真范例	83
4.5	小结	87
第5章	标准单元库简介与仿真	88
5.1	标准单元库概述	88
5.2	专用集成电路设计方法学	89
5.3	标准单元库的基本组成	90
5.4	标准单元库的基本内容	92
5.5	标准单元库建库流程	92
5.6	标准单元主要特性讨论	95
5.7	标准单元特性仿真范例	97
5.8	小结	108

第6章	运算放大器的设计与仿真	109
6.1	运算放大器基础	109
6.1.1	理想运算放大器特性	110
6.1.2	非理想运算放大器特性	110
6.1.3	运算放大器的分类	111
6.1.4	负反馈	115
6.1.5	运算放大器的参数指标	118
6.2	两级运算放大器的设计与仿真	119
6.3	小结	150
第7章	模拟滤波器的设计与仿真	151
7.1	模拟滤波器基础	151
7.1.1	模拟滤波器的分类	151
7.1.2	模拟滤波器的幅频特性	156
7.1.3	模拟滤波器的传递函数	156
7.1.4	模拟滤波器电路实现	161
7.1.5	模拟滤波器的实现方法	165
7.1.6	复数滤波器	167
7.1.7	滤波器指标参数	170
7.2	模拟滤波器的设计与仿真	172
7.3	小结	193
第8章	带隙基准源与低压差线性稳压器的设计与仿真	194
8.1	带隙基准源的设计与仿真	194
8.1.1	带隙基准源的基本原理	194
8.1.2	带隙基准源的设计与仿真	201
8.2	低压差线性稳压器的设计与仿真	220
8.2.1	低压差线性稳压器的基本原理	220
8.2.2	低压差线性稳压器的设计与仿真	229
8.3	小结	245
第9章	比较器电路的设计与仿真	246
9.1	比较器电路基础	246
9.1.1	比较器性能参数	247
9.1.2	比较器特性分析	248
9.1.3	比较器电路结构	249

9.2	比较器电路的设计与仿真	252
9.3	施密特触发器基础	262
9.4	施密特触发器的设计与仿真	266
9.5	小结	272
第10章	可变增益放大器的设计与仿真	273
10.1	可变增益放大器基础	273
10.2	可变增益放大器仿真与设计	277
10.3	小结	292
第11章	逐次逼近模数转换器的设计与仿真	293
11.1	逐次逼近模数转换器基础	293
11.2	逐次逼近模数转换器电路仿真	302
11.3	小结	324

第1章 CMOS 模拟集成电路基础

在当今社会中,集成电路(IC, Integrated Circuit)作为信息产业的重要支柱,在国民经济和社会发展中发挥着越来越重要的作用,已经成为一个国家综合国力的重要标志之一。集成电路芯片和软件是信息产业的基础和核心。原始硅材料经过设计和工艺加工创造,将信息采集、加工、运算、传输、存储和随动执行等功能系统地集成并固化在硅芯片上,成为人类社会信息化的基础。

集成电路技术的发展经历了若干发展阶段。20 世纪 50 年代末发展起来的属于小规模集成电路(SSI, Small Scale Integrated Circuits),集成度仅 100 个元件;20 世纪 60 年代发展的是中规模集成电路(MSI, Medium Scale Integrated Circuits),集成度约为 1000 个元件;20 世纪 70 年代又发展了大规模集成电路(LSI, Large Scale Integrated Circuit),集成度上升为数千个元件;20 世纪 70 年代末进一步发展了超大规模集成电路(VLSI, Very Large Scale Integrated Circuits),集成度达到 10^5 个元件;20 世纪 80 年代更进一步发展了特大规模集成电路(ULSI, Ultra Large Scale Integrated Circuits),集成度比 VLSI 又提高了一个数量级,达到 10^6 个元件以上。

同样,集成电路工艺也经历了从简单到复杂的发展过程,历史上陆续出现了 P 沟硅栅金属-氧化物半导体(MOS)工艺、P 沟铝栅金属-氧化物半导体工艺、N 沟硅栅金属-氧化物半导体工艺、高性能短沟道金属-氧化物半导体(HMOS)工艺等,它们都各具优劣势,在不同时期、不同领域得到了应用。

随着集成电路集成度的日益提高,普通 MOS 工艺已不能满足大规模和超大规模集成系统制造的需要,于是互补金属-氧化物半导体(CMOS)工艺应运而生。虽然 CMOS 工艺比 NMOS 工艺复杂,早期的 CMOS 器件性能也较差,但 CMOS 器件在功耗、集成度等方面具有绝对的优势。以 CMOS 制造数字 LSI 和 VLSI 集成电路可很好地解决最迫切的功耗问题,因此在数字 LSI 和 VLSI 集成电路的制造中首先得到广泛应用,并得到快速发展。特别是自 20 世纪 80 年代以来,CMOS 更是成为 CPU、RAM、ROM 等 VLSI 的主导制造工艺,其应用范围已深入到人们生活的各个层面。本书将以 Hspice 环境下的 CMOS 模拟集成电路设计和仿真作为主题。

本章主要介绍 CMOS 工艺基础及流程、CMOS 模拟集成电路设计及 MOS 管理论基础等相关知识,为之后的层次化学习和仿真设计打下基础。

1.1 CMOS 工艺基础及流程

CMOS 器件是 NMOS 和 PMOS 晶体管形成的互补结构,具有电流小、功耗低的特点。CMOS 器件具有多种不同的结构,如铝栅和硅栅 CMOS 及 P 阱、N 阱和双阱 CMOS。铝栅 CMOS 和硅栅 CMOS 的主要差别是器件的栅极结构所用的材料不同。

P 阱 CMOS 是在 N 型硅衬底上制造 P 沟晶体管、在 P 阱中制造 N 沟晶体管，其阱可采用外延法、扩散法或离子注入法形成。该工艺应用得最早，也是应用得最广的工艺，适用于标准 CMOS 电路及 CMOS 与双极 NPN 兼容的电路。

N 阱 CMOS 是在 P 型硅衬底上制造 N 沟晶体管、在 N 阱中制造 P 沟晶体管，其阱一般采用离子注入法形成。该工艺可使 NMOS 晶体管的性能最优化，适用于制造以 NMOS 为主的 CMOS 及 E/D-NMOS 和 P 沟 MOS 兼容的 CMOS 电路。

双阱 CMOS，是在低阻 N^+ 衬底上再外延一层中高阻 N^- 硅层，然后在外延层中制造 N 阱和 P 阱，并分别在 N、P 阱中制造 P 沟和 N 沟晶体管，从而使 PMOS 和 NMOS 晶体管都在高阻、低浓度的阱中形成，有利于降低寄生电容，增加跨导，增强 P 沟和 N 沟晶体管的平衡性，适用于高性能电路的制造。

以下以一个标准单层多晶硅两层金属 CMOS 器件为例，介绍标准的 CMOS 工艺流程。

1. 初始清洗

初始清洗就是将晶圆放入清洗槽中，利用化学或物理方法将在晶圆表面的尘粒或杂质去除，防止这些杂质尘粒对后续制造工艺造成影响。

2. 前置氧化

利用热氧化法生长一层二氧化硅薄膜，目的是降低后续生长氮化硅薄膜工艺中的应力。氮化硅具有很强的应力，会影响晶圆表面的结构，因此在氮化硅及硅晶圆之间生长一层二氧化硅薄膜来减小氮化硅与硅晶圆间的应力。

3. 淀积氮化硅

利用低压化学气相沉积 (LPCVD) 技术沉积一层氮化硅，用来作为离子注入的掩膜板，同时在后续工艺中定义 P 阱的区域。

4. P 阱的形成

将光刻胶涂在晶圆上之后，利用光刻技术将所要形成的 P 阱区的图形定义出来，即将所要定义的 P 阱区的光刻胶去除。

5. 去除氮化硅

将晶圆表面的氮化硅利用干法刻蚀的方法去除。

6. P 阱离子注入

利用离子注入技术，将硼打入晶圆中，形成 P 阱。接着利用无机溶液（如硫酸或干式臭氧）烧除法将光刻胶去除。

7. P 阱退火及氧化层的形成

将晶圆放入炉管中，做高温处理，以达到硅晶圆退火的目的，并且顺便形成一层 N 阱的离子注入掩膜层，以阻止下一步骤中（N 阱的离子注入）N 型掺杂离子被打入 P 型阱内。



8. 去除氮化硅

将晶圆表面的氮化硅利用热磷酸湿式蚀刻的方法去除掉。

9. N 阱离子注入

利用离子注入技术,将磷打入晶圆中,形成 N 阱。而在 P 阱的表面上由于有一层二氧化硅膜保护,所以磷不会被打入 P 阱之中。

10. N 阱退火

离子注入之后会严重地破坏硅晶圆晶格的完整性。所以掺杂离子注入之后的晶圆必须经过适当的处理以回复原始的晶格排列。退火就是利用热能来消除晶圆中晶格缺陷和内应力,以恢复晶格的完整性。同时使注入的掺杂原子扩散到硅原子的替代位置,使掺杂元素产生电特性。

11. 去除二氧化硅

利用湿法刻蚀方法去除晶圆表面的二氧化硅。

12. 前置氧化

利用热氧化法在晶圆上形成一层薄的氧化层,以减小后续氮化硅沉积工艺所产生的应力。

13. 氮化硅的淀积

利用低压化学气相沉积方法淀积氮化硅薄膜,用来定义出器件隔离区域,使不被氮化硅遮盖的区域可被氧化而形成元件隔离区。

14. 元件隔离区的掩膜形成

利用光刻技术,在晶圆上涂布光刻胶,进行光刻胶曝光与显影,接着将氧化绝缘区域的光刻胶去除,以定义出元件隔离区。

15. 氮化硅的刻蚀

以活性离子刻蚀法去除氧化区域上的氮化硅,接着将所有光刻胶去除。

16. 元件隔离区的氧化

利用氧化技术长成一层二氧化硅膜,形成元件隔离区。

17. 去除氮化硅

利用热磷酸湿式蚀刻的方法将氮化硅去除。

18. 利用氢氟酸去除电极区域的氧化层

除去氮化硅后,将晶圆放入氢氟酸化学槽中,去除电极区域的氧化层,以便能在电极区域重新成长品质更好的二氧化硅薄膜,作为电极氧化层。

19. 电极氧化层的形成

此步骤为制作 CMOS 的关键工艺，利用热氧化法在晶圆上形成高品质的二氧化硅，作为电极氧化层。

20. 电极多晶硅的淀积

利用低压化学气相沉积技术在晶圆表面沉积多晶硅，以作为连接导线的电极。

21. 电极掩膜的形成

在晶圆上涂布光刻胶，再利用光刻技术将电极的区域定义出来。

22. 活性离子刻蚀

利用活性离子刻蚀技术刻蚀出多晶硅电极结构，再将表面的光刻胶去除。

23. 热氧化

利用氧化技术在晶圆表面形成一层氧化层。

24. NMOS 源极和漏极形成

涂布光刻胶后，利用光刻技术形成 NMOS 源极与漏极区域的屏蔽，再利用离子注入技术将砷元素注入源极与漏极区域，而后将晶圆表面的光刻胶去除。

25. PMOS 源极和漏极形成

利用光刻技术形成 PMOS 源极及漏极区域的屏蔽之后，再利用离子注入技术将硼注入源极及漏极区域，而后将晶圆表面的光刻胶去除。

26. 未掺杂的氧化层化学气相淀积

利用等离子体增强化学气相沉积（PECVD）技术沉积一层无掺杂的氧化层，保护元件表面，免于受后续工艺的影响。

27. CMOS 源极和漏极的活化与扩散

利用退火技术，将经离子注入过的漏极及源极进行电性活化及扩散处理。

28. 淀积含硼磷的氧化层

加入硼磷杂质的二氧化硅有较低的熔点，硼磷氧化层加热到 800℃ 时会有软化流动的特性，可以利用来进行晶圆表面初级平坦化，以利于后续光刻工艺条件的控制。

29. 接触孔的形成

涂布光刻胶，利用光刻技术形成第一层接触金属孔的屏蔽。再利用活性离子刻蚀技术刻蚀出接触孔。



30. 溅镀 Metal1

利用溅镀技术，在晶圆上溅镀一层钛/氮化钛/铝/氮化钛的多层金属膜。

31. 定义出第一层金属的图形

利用光刻技术定义出第一层金属的屏蔽。接着将铝金属利用活性离子刻蚀技术刻蚀出金属导线的结构。

32. 淀积二氧化硅

利用等离子体增强化学气相沉积技术，在晶圆上沉积一层二氧化硅介电质，作为保护层。

33. 涂上二氧化硅

将流态的二氧化硅（SOG, Spin On Glass）旋涂在晶圆表面上，使晶圆表面平坦化，以利于后续光刻工艺条件控制。

34. 将 SOG 烘干

由于 SOG 是将二氧化硅溶于溶剂中，因此必须将溶剂加热去除。

35. 淀积介电层

淀积一层介电层在晶圆上。

36. Metal2 接触通孔的形成

利用光刻技术及活性离子刻蚀技术制作通孔（Via），以作为两金属层之间连接的孔道，之后去掉光刻胶。

37. Metal2 的形成

在晶圆上沉积第二层金属膜，利用光刻技术制作出第二层金属的屏蔽，接着蚀刻出第二层金属连接结构。

38. 淀积保护氧化层

利用 PECVD 方法沉积出保护氧化层。

39. 淀积氮化硅

利用 PECVD 沉积出氮化硅膜，形成保护层。

40. PAD 的形成

利用光刻技术在晶圆表层制作出金属焊盘（Pad）的屏蔽图形。利用活性离子蚀刻技术蚀刻出焊盘区域，以作为后续集成电路封装工艺时连接焊线的接触区。

41. 将元件予以退火处理

目的是让器件有最优化的金属电性接触与可靠性，至此就完成了—个 CMOS 晶体管的工艺制作。

1.2 CMOS 模拟集成电路设计

模拟电路设计技术作为工程技术中最为经典和传统的艺术形式，仍然是许多复杂高性能系统不可替代的设计方法。CMOS 模拟集成电路设计与传统分立元件模拟电路设计最大的不同在于：所有的有源和无源器件都制作在同一衬底上，尺寸极其微小，无法再用电路板进行设计验证。因此设计者必须采用计算机仿真和模拟的方法来验证电路性能。模拟集成电路设计包括若干阶段，图 1.1 表示的是 CMOS 模拟集成电路设计的一般流程。

一个设计流程是从系统规格定义开始的，设计者在这个阶段就要明确设计的具体要求和性能参数。下一步就是对电路应用模拟仿真的方法评估电路性能。这时可能要根据仿真结果对电路做进一步改进，反复进行仿真。一旦电路性能的仿真结果能满足设计要求就需要进行另一个主要设计工作——电路的版图设计。版图设计完成并经过物理验证后需要将布局、布线形成的寄生效应考虑进去再次进行计算机仿真。如果仿真结果仍满足设计要求，就可以进行制造了。

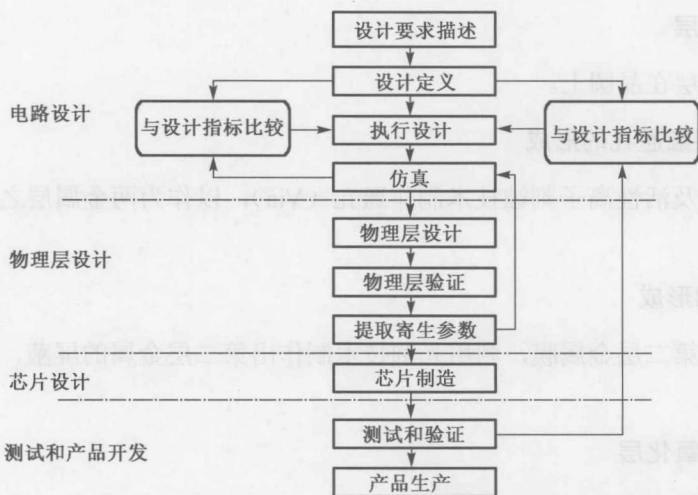


图 1.1 CMOS 模拟集成电路设计的一般流程

与用分立器件设计模拟电路不同，集成化的模拟电路设计不能用搭建线路板的方式进行。随着电子设计自动化技术的发展，以上的设计步骤都是通过计算机辅助进行的。通过计算机模拟，可在线路中的任何点监测信号；可将反馈回路打开；可比较容易地修改线路。但是计算机模拟也存在一些限制。例如，模型不完善，程序求解由于不收敛而得不到结果等。下面将详细讲述设计流程中的各个阶段。

1. 系统规格定义

在这一阶段, 系统工程师把整个系统和其子系统看成是一个个只有输入/输出关系的“黑盒子”, 不仅要对其每一个进行功能定义, 还要提出时序、功耗、面积、信噪比等性能参数的范围要求。

2. 电路设计

设计者根据设计要求, 首先选择合适的工艺库、合理的构架系统, 由于 CMOS 模拟集成电路的复杂性和多样性, 目前还没有 EDA 厂商能够提供完全解决 CMOS 模拟集成电路设计自动化的工具, 因此所有的模拟电路基本上仍然通过手工设计来完成。

3. 仿真

设计工程师必须确认设计是正确的, 为此要基于晶体管模型, 借助 EDA 工具进行电路性能的评估、分析。在这个阶段, 要依据电路仿真结果来修改晶体管参数。依据工艺库中参数的变化来确定电路工作的区间和限制、验证环境因素的变化对电路性能的影响, 最后还要通过仿真结果指导下一步的版图实现。

4. 版图实现

电路的设计及仿真决定电路的组成及相关参数, 但并不能直接送往晶圆代工厂进行制作。设计工程师需提供集成电路的物理几何描述, 即通常说的“版图”。这个环节就是要把设计的电路转换为图形描述格式。CMOS 模拟集成电路通常以全定制方法进行手工的版图设计。在设计过程中需要考虑设计规则、匹配性、噪声、串扰、寄生效应等对电路性能和可制造性的影响。虽然现在出现了许多高级的全定制辅助设计方法, 仍然无法保证手工设计对版图布局和各种效应的考虑全面性。

5. 物理层验证

版图的设计是否满足晶圆代工厂的制造可靠性需求? 从电路转换到版图是否引入了新的错误? 物理层验证阶段将通过设计规则检查(DRC, Design Rule Check)和版图网表与电路原理图的比对(LVS, Layout Versus schematic)解决上述两类验证问题。几何规则检查用于保证版图在工艺上的可实现性。它以给定的设计规则为标准, 对最小线宽、最小图形间距、孔尺寸、栅和源漏区的最小交叠面积等工艺限制进行检查。版图网表与电路原理图的比对用来保证版图设计与其电路设计相匹配。LVS 工具从版图中提取包含电气连接属性和尺寸大小的电路网表, 然后与原理图得到的电路网表进行比较, 检查两者是否一致。

6. 参数提取后仿真

在版图完成之前的电路模拟都是比较理想的仿真, 不包含来自版图中的寄生参数, 称为“前仿真”。加入版图中的寄生信息进行的仿真称为“后仿真”。CMOS 模拟集成电路相对数字集成电路来说对寄生参数更加敏感, 前仿真的结果满足设计要求并不代表后仿真也能满足。在深亚微米阶段, 寄生效应愈加明显, 后仿真分析将显得尤为重要。与前仿真一样, 当

结果不满足要求时需要修改晶体管参数,甚至某些地方的结构。对于高性能的设计,这个过程是需要进行多次反复的,直至后仿真满足系统的设计要求。

7. 导出流片数据

通过后仿真后,设计的最后一步就是导出版图数据(GDSII)文件,将该文件提交给晶圆厂,就可以进行芯片的制造了。

1.3 MOS 管理论基础

本节将从 MOS 管的物理基础入手,循序渐进地介绍 MOS 管的结构、符号、工作原理、电流电压特性及寄生效应等知识,使读者对 MOS 器件有一个较为细致的了解。

1.3.1 MOS 管概述

图 1.2 是 NMOS 绝缘栅场效应晶体管的结构示意图, P^- 是低掺杂浓度的杂质半导体,晶体管的其他层都生长在这一层之上,因此该层称为衬底(Bulk, 缩写为 B)。对于一块集成电路芯片而言,所有的元器件都集成在一个衬底上。在衬底上注入两个高掺杂浓度的 N^+ 区,称为 MOS 管的有源区,从两个有源区引出金属电极,分别称为源极(Source, 缩写为 S)和漏极(Drain, 缩写为 D)。在两个有源区之间的衬底表面生成一层薄的二氧化硅(SiO_2)绝缘层,将衬底和其上的多晶硅隔开。多晶硅的掺杂浓度高,导电性较好,在上面引出另一个金属电极——栅极(Gate, 缩写为 G)。当在晶体管的三个电极上施加电压时,氧化层下衬底的表面将产生感应电场。通过改变电场强度可以控制半导体器件的导电能力。这样的晶体管称为场效应管(FET, Field Effect Transistor)。由于场效应晶体管的栅极和其他金属电极之间是绝缘的,所以称为绝缘栅场效应晶体管。晶体管的金属栅极和衬底之间使用了氧化物作为绝缘层,因此又称为金属-氧化物-半导体(MOS, Metal-Oxide-Semiconductor)绝缘栅场效应晶体管。通常简称它为 MOS 场效应管(MOSFET)或 MOS 管。图 1.2 所示的 MOS 管具有 P 型衬底、N 型有源区,这样的 MOS 管称为 NMOS 管。

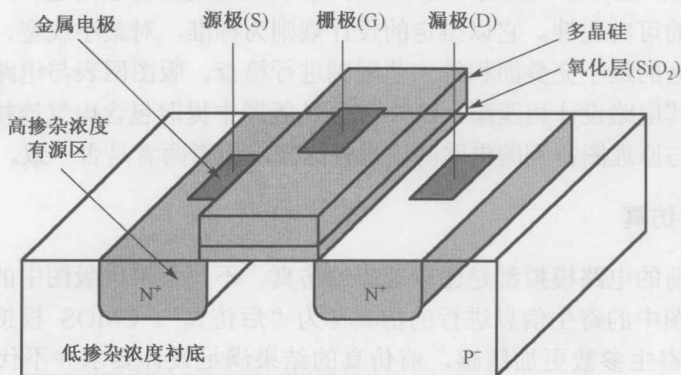


图 1.2 NMOS 绝缘栅场效应晶体管结构示意图