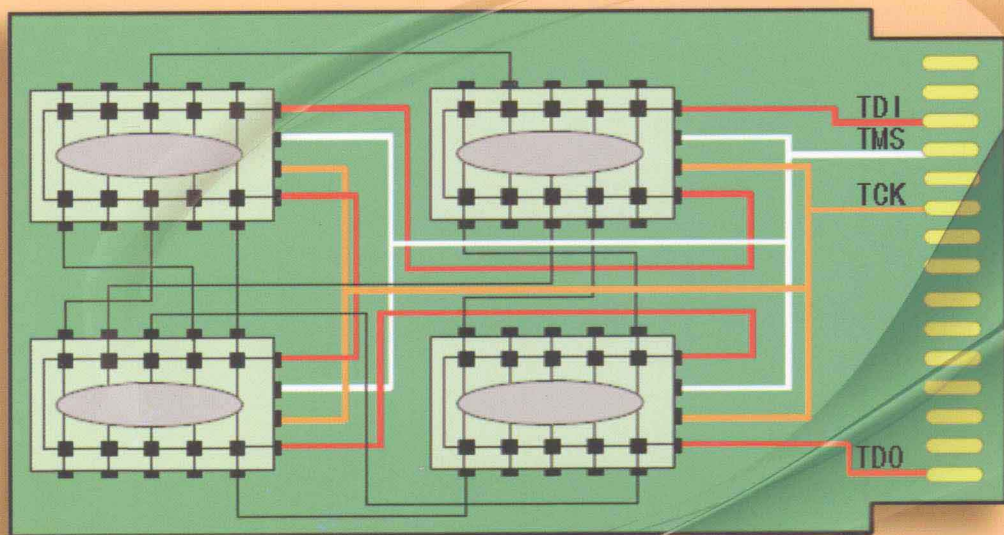


边界扫描 测试技术

BOUNDARY SCAN TEST TECHNOLOGY

谭剑波 尤路 黄新 张卿 等编著



国防工业出版社

National Defense Industry Press

边界扫描测试技术

谭剑波 尤 路 黄 新 张 卿 孙大成
王凤驰 朱大春 朱庆明 刘 军 夏 勇 编著
陈寿宏 颜学龙 苏建军

国防工业出版社

·北京·

内 容 简 介

本书主要从边界扫描技术的产生、原理以及应用三个方面,对边界扫描技术作了较为详细的介绍。包括用于数字电路测试的标准 IEEE 1149.1、混合电路测试标准 IEEE 1149.4、系统级测试标准 IEEE 1149.5、高速数字网络边界扫描测试标准 IEEE 1149.6,边界扫描技术在芯片设计中的应用,网络型边界扫描测试控制器的设计以及相关可测试性及工程应用设计实例等内容。

本书可作为高等院校电子信息、通信、测试测控、自动化等电子类专业高年级学生或研究生的课程教材使用,也可作为电子类相关领域工程技术人员的参考资料。

图书在版编目(CIP)数据

边界扫描测试技术/谭剑波等编著. —北京:国防工业出版社,2013.12

ISBN 978-7-118-09121-2

I. ①边... II. ①谭... III. ①边界扫描技术 IV. ①TM93

中国版本图书馆 CIP 数据核字(2013)第 270754 号

※

国防工业出版社出版发行

(北京市海淀区紫竹院南路 23 号 邮政编码 100048)

北京奥鑫印刷厂印刷

新华书店经售

*

开本 787×1092 1/16 印张 17 $\frac{3}{4}$ 字数 435 千字

2013 年 12 月第 1 版第 1 次印刷 印数 1—3000 册 定价 89.00 元

(本书如有印装错误,我社负责调换)

国防书店:(010)88540777

发行邮购:(010)88540776

发行传真:(010)88540755

发行业务:(010)88540717

序

早期对数字电路的测试与诊断,主要是依靠工程技术人员自己的丰富经验和理论知识,并借助一些常规的工具来完成的。随着系统日趋复杂以及数字集成电路的迅速发展,对电路板的故障诊断将不能再依赖于常规仪表和传统的人工分析测试生成的方法。

随着电子系统的数字化进程,数字信号测试在 PCB 和电子器件测试中所承担的作用也日益凸显。在很多情况下模拟信号也可以转换为数字信号进行测试,因此对数字系统测试技术的研究越来越重要。边界扫描技术的出现是可测试性设计和测试思想的一次重大飞跃,它提供了一种完整的、标准化的 VLSI 电路可测试性设计和测试方法;它克服了传统测试方法在测试数字电路板时的技术障碍,利用该技术可以实现芯片级、电路板级以及系统级等不同层次的测试,这对于提升数字系统的可测试性及可维护性具有十分重要的意义。

中国电子科技集团公司第三十八研究所(简称三十八所)在产品研制过程中,也深刻意识到了测试技术的重要性。由于早期设计的电路板没有考虑可测试性设计,造成后期测试和维修的成本急剧增加。为了解决该问题,三十八所于 1999 年引入边界扫描测试技术,组建了专业测试团队,着重研究数字电路的可测试性设计及测试方法,产生了基于边界扫描技术的可测试性设计企业标准,从设计初始到生产调试严格执行标准规范,大大提高了雷达数字系统的可测试性及 BIT 水平。此外,三十八所还利用该技术研制自动测试设备,累计测试和维修了数千块雷达数字电路板,大幅度提升了生产调试效率,并降低了售后服务成本。

该书出版之前已作为学习资料在三十八所内部进行过多次技术交流,适合作为测试与故障检测技术方面的教材,也可作为广大测试和电子工程技术人员的参考书。

相信该书的出版会对我国数字电路系统的测试性及保障性的提高起到积极作用。但是由于作者水平有限,该书难免存在错误和不当之处,还望使用本书的工程师、教师、学生及各界人士不吝批评指正。



院士

前 言

随着封装技术、微组装技术及裸芯片技术的发展与广泛应用,电路系统朝着高密度、高速度、高可靠和微型化方向快速发展。在功能、技术指标和可靠性得到很大程度提高的同时,测试和维修的难度也大大增加,常规物理探针手段已经难以完成这些复杂系统的测试,迫切需要解决高密度复杂电子设备的测试问题,提高与改善电路系统的可测性与可维护性。

边界扫描测试技术以其特有的“虚拟探针”功能,为解决高密度系统集成组件的测试难题提供了强有力的手段。该技术以 IEEE 1149. X 系列标准的颁布和应用为标志,是一种得到了广泛应用并不断快速发展的主流可测性设计技术。从 1990 年的 IEEE 1149. 1 标准,也称 JTAG (Joint Test Action Group) 标准,颁布开始至今,已陆续颁布了 IEEE 1149. 4、IEEE 1149. 5、IEEE 1149. 6 和 IEEE 1149. 7 等系列标准。JTAG 标准因其所提供的额外可测性成本低、方便、高效等特点而成功应用于芯片设计和电路设计中,提高了军事电子装备系统集成组件的可测性和可维护性。

中国电子科技集团公司第三十八研究所(简称三十八所)从事雷达电子设备的研制已有几十年的历史,一向重视军用电子设备测试性和维修性的研究,对边界扫描技术的应用已有多十年,具有丰富的可测试性和可维修性设计的研究经验。2011 年成功研制的某型雷达通用测试系统,是边界扫描测试技术在军用电子测试维修设备领域成熟应用的标志。桂林电子科技大学是国内最先开始研究边界扫描技术的几所高校之一,一直保持对 IEEE 1149. X 系列标准的追踪及其应用技术的研究,并研制出国内第一套通用边界扫描测试系统。由于边界扫描测试技术起源于国外,国内从事该项技术的研究起步相对较晚,三十八所与桂林电子科技大学合作,充分发扬彼此的长处,将多年的研究成果共同奉献给广大读者。本书的出版必将对边界扫描技术在我国的推广起到一定的推动作用,希望能对我国数字电路可测试性及可维护性的提高起到一定的促进作用。

第一章综述了边界扫描技术的诞生、发展及应用情况,对边界扫描技术的一些基本概念进行相关解释。第二章以 IEEE 1149. 1 标准为基础,对边界扫描测试的原理、测试类型进行详细阐述。第三章主要介绍了 BSDL 语言(边界扫描描述语言)的语法及其在边界扫描测试中的功能和作用,并列举相关实例对边界扫描器件的 BSDL 文件进行详细解析。第四章介绍了边界扫描互连测试中测试向量的生成原理,详细阐述了测试向量的产生原理。第五章探讨了基于 IEEE 1149. 1 标准下相关可测试性的设计准则,并以某电路板的设计为例,详细介绍了基于边界扫描技术的数字电路可测试性设计方法。第六章主要介绍了 IEEE 1149. 4 标准的相关内容,并以设计实例详细说明了 IEEE 1149. 4 标准在测试系统中的应用。第七章详细介绍了 IEEE 1149. 5 标准中 MTM 总线的相关内容,从物理层、链路层、消息层均做了详细阐述,最后

以测试系统中的应用实例,将其工程实现的过程进行全面解析。第八章主要介绍了 IEEE 1149.6 标准中对于高速信号接口的测试,并通过设计实例让读者更清楚地了解该标准的应用情况。第九章给出了目前芯片设计中边界扫描结构的插入方法,并以三十八所最新研制的高性能 DSP 芯片设计过程为例,介绍了边界扫描结构的插入过程。第十章首先介绍了边界扫描控制器的功能,其次对较有应用前景的网络接口型边界扫描控制器及边界扫描测试链路扩展设备的设计过程进行了详细探讨。第十一章以目前主流的边界扫描测试软件 ScanWorks 为例,详细介绍了边界扫描的测试流程,并列举了几个 ScanWorks 的经典用例供读者学习。第十二章主要介绍了基于边界扫描技术的某雷达通用 ATE 设备的设计实例,从该测试系统的构建、硬件设计到软件设计均进行了详细阐述,读者可根据该例自行设计支持边界扫描技术的测试系统。学习本书需具有一定的电路设计基础,如果学习者了解可编程逻辑器件的原理,并具有 VHDL 硬件描述语言的编程能力,则将更加有助于对本书的学习。

本书作者之一谭剑波同志,为三十八所研究员级高级工程师,主要从事浮空器及雷达设备的故障诊断与检测设备的研究工作,主持承担了多项国家重点项目和课题的研制,获得多项国防科学奖项,为本书的写作打下了扎实的工程实践及理论基础。

中国工程院院士、中国电子科技集团公司总工程师兼电子科学研究所所长吴曼青院士在百忙之中为本书作序,在此表示深深的谢意。

本书的编写和出版得到了三十八所相关部门、领导及国防工业出版社的关心、支持和帮助,尤其是数字技术部计算机应用室的各位工程师们,他们为本书提供了很多设计案例,并在校稿时付出辛勤的劳动,在此一并表示衷心的感谢。

本书承蒙三十八所副所长、中国电子学会无线电定位技术分会(雷达分会)主任委员吴剑旗研究员审阅并提出宝贵修改意见,谨此致以衷心的感谢。

作者深知,本书的撰写有赖于诸多学者和专家发表的有关文章和著作,这些为作者提供了创作的思想源泉,为此,作者特别向他们表示深切的谢意。

关于本书的撰写,作者们倾注了极大的精力,力求将理论和工程实际紧密结合,但由于学识和工程经验有限,所以仍恐难免有不足与疏漏之处,恳请同行专家和广大读者批评指正。

编著者

2013 年 10 月

目 录

第一章 绪论	1
1.1 测试技术的发展	1
1.1.1 自动测试设备的出现	1
1.1.2 在线测试	2
1.2 边界扫描技术的出现	4
1.3 边界扫描技术的发展	5
1.3.1 IEEE 1149.4	5
1.3.2 IEEE 1149.5	6
1.3.3 IEEE 1149.6	7
1.3.4 IEEE 1149.7	7
1.3.5 IEEE 1532	8
1.3.6 标准应用情况	8
1.4 边界扫描技术的应用	9
1.4.1 国外应用状况	9
1.4.2 国内应用状况	10
第二章 边界扫描测试原理和测试方法	11
2.1 IEEE 1149.1	11
2.2 边界扫描逻辑的基本结构	11
2.2.1 TAP 控制器	12
2.2.2 指令寄存器	15
2.2.3 数据寄存器	16
2.2.4 边界寄存器	17
2.2.5 边界扫描测试逻辑的结构	19
2.2.6 现场可编程集成电路	20
2.2.7 边界扫描链	20
2.3 边界扫描测试指令集	21
2.3.1 非侵入式操作模式指令	21
2.3.2 侵入式操作模式	23
2.4 边界扫描的测试类型和方法	24
2.4.1 边界扫描测试的对象	24
2.4.2 基本的边界扫描测试类型	24

2.4.3	边界扫描测试系统的构建	27
2.5	边界扫描的特点和未来的趋势	28
2.5.1	1149.1 协议的可扩展性	28
2.5.2	边界扫描测试构建成本	28
2.5.3	边界扫描测试的优点	29
2.5.4	边界扫描测试技术的发展趋势	29
2.5.5	其他的测试标准	29
2.6	本章总结	30
第三章	边界扫描描述语言	31
3.1	边界扫描描述语言的背景	31
3.2	边界扫描描述语言的适用范围	32
3.2.1	测试	32
3.2.2	验证	33
3.2.3	综合	34
3.3	边界扫描描述语言的结构	35
3.4	实体描述	36
3.4.1	类属说明语句	37
3.4.2	逻辑端口描述	37
3.4.3	IEEE 标准的引用	38
3.4.4	Use 语句	38
3.4.5	器件使用的 IEEE 标准声明	38
3.4.6	器件封装管脚映射	39
3.4.7	端口组定义	39
3.4.8	TAP 端口定义	40
3.4.9	限制管脚说明	40
3.4.10	指令寄存器描述	41
3.4.11	可选寄存器描述	42
3.4.12	寄存器访问描述	42
3.4.13	边界扫描寄存器描述	43
3.4.14	RUNBIST 指令描述	44
3.4.15	INTEST 指令描述	45
3.4.16	BSDL 的用户自定义扩展	45
3.4.17	安全提醒	45
3.5	BSDL 语言的进一步探讨	45
3.5.1	单元合并	46
3.5.2	非对称性驱动器	47
3.6	关于 74BCT8374 的 BSDL 描述	48
3.7	包集合和包集合体	50
3.7.1	STD_1149_1_2001	50

3.7.2	边界扫描单元的描述	54
3.8	边界扫描单元在 BSDL 语言中的定义	55
3.8.1	BC_1 单元	55
3.8.2	BC_2 单元	56
3.8.3	BC_3 单元	56
3.8.4	BC_4 单元	57
3.8.5	BC_5 单元	57
3.8.6	BC_6 单元	58
3.8.7	BC_7 单元	58
3.8.8	BC_8 单元	59
3.8.9	BC_9 单元	59
3.8.10	BC_10 单元	59
3.9	BSDL 的编写规范	60
3.10	本章总结	61
第四章	边界扫描测试算法	62
4.1	测试向量生成的原理	62
4.1.1	一些基本概念	62
4.1.2	一些基本定理	64
4.2	常用测试矩阵生成方法	66
4.2.1	基于测试向量生成的算法	66
4.2.2	自适应算法	67
4.3	本章总结	69
第五章	基于边界扫描的可测试性设计	70
5.1	可测试性与边界扫描	70
5.1.1	可测试性	70
5.1.2	可测试性设计流程	71
5.1.3	可测试性衡量标准	72
5.2	基于 IEEE 1149.1 标准的可测试性设计	73
5.2.1	边界扫描链路的可测试设计要求	73
5.2.2	基本电路可测试设计要求	74
5.2.3	分机级可测试设计要求	77
5.2.4	其他可测试设计要求	78
5.3	设计实例	78
5.3.1	JTAG 链路设计	78
5.3.2	存储器的可测试性设计	79
5.3.3	接口电路的可测试性设计	81
5.3.4	电源的可测试性设计	81
5.4	本章总结	84

第六章	混合信号电路边界扫描测试	85
6.1	概述	85
6.1.1	互连测试	86
6.1.2	参数测试	87
6.1.3	内部测试	87
6.2	IEEE 1149.4 标准结构	88
6.2.1	TAP 控制器	89
6.2.2	模拟测试访问端口 ATAP	89
6.2.3	寄存器结构	89
6.2.4	测试总线接口电路	90
6.2.5	边界扫描结构	95
6.3	IEEE 1149.4 标准测试指令集	101
6.3.1	强制性指令	101
6.3.2	可选指令	102
6.4	混合信号电路边界扫描测试方法	104
6.4.1	互连测试	104
6.4.2	扩展互连测试	105
6.4.3	网络测试	108
6.5	混合信号电路边界扫描测试系统的组建	108
6.5.1	测试系统设计方案	109
6.5.2	测试系统硬件平台	110
6.5.3	测试系统软件平台	111
6.5.4	混合信号边界扫描测试被测电路的可测性设计	111
6.6	混合信号电路边界扫描测试应用实例	112
6.6.1	无源分立元件参数测试	112
6.6.2	有源分立元件参数测试	116
6.6.3	有源网络的边界扫描测试方法	119
6.7	本章总结	121
第七章	系统级边界扫描测试技术	122
7.1	MTM 总线概述	122
7.2	MTM 总线体系结构	122
7.2.1	MTM 总线系统测试与维护策略	123
7.2.2	MTM 总线信号	124
7.2.3	MTM 总线协议层	125
7.3	MTM 总线物理层	125
7.3.1	MTM 总线冲突/错误检测	126
7.3.2	MTM 总线时序要求	126
7.4	MTM 总线链路层	128

7.4.1	MTM 总线报文的分类	128
7.4.2	主模块链路层	130
7.4.3	从模块链路层	132
7.5	MTM 总线消息层	133
7.5.1	主模块报文层	134
7.5.2	从模块报文层	135
7.5.3	MTM 总线命令集	137
7.6	MTM 总线数据传输端口	149
7.7	系统级边界扫描测试系统	153
7.7.1	系统级可测性设计结构	153
7.7.2	测试系统设计的要求	155
7.7.3	系统总体结构设计	156
7.7.4	MTM 总线主模块	157
7.7.5	MTM 总线从模块	159
7.7.6	系统软件平台设计	161
7.8	本章总结	163
第八章	高速数字网络边界扫描测试	164
8.1	概述	164
8.2	高级 I/O 的测试技术	164
8.2.1	信号管脚类型	164
8.2.2	信号耦合方式	164
8.2.3	差分终端	168
8.2.4	测试信号的实现	169
8.2.5	测试接收器	171
8.3	IEEE 1149.6 标准的结构与规范	175
8.3.1	高速数字边界扫描器件的基本结构	176
8.3.2	IEEE 1149.6 交流测试指令	177
8.3.3	IEEE 1149.6 边界扫描单元结构	179
8.4	交流耦合/差分互连网络故障模型	184
8.5	高级数字网络的边界扫描测试应用	185
8.5.1	差分交流耦合高速数字 DEMO 板设计	185
8.5.2	差分/交流耦合高速数字电路的测试	186
8.6	本章总结	189
第九章	边界扫描技术在芯片设计中的应用	190
9.1	边界扫描技术与芯片设计	190
9.2	芯片级边界扫描设计	192
9.2.1	数字电路的设计流程	192
9.2.2	边界扫描电路结构	193

9.2.3	TAP 控制器的设计	194
9.2.4	指令寄存器设计	196
9.2.5	数据寄存器	199
9.2.6	边界扫描单元设计	199
9.3	边界扫描技术在 BWDSP100 芯片中的应用实现	202
9.3.1	芯片级边界扫描设计工具	202
9.3.2	BSDArchitect 软件设计流程	203
9.3.3	具体设计过程	203
9.4	利用 BSDL 文件进行板级测试	212
9.4.1	BWDSP100 芯片的 BSDL 描述	213
9.4.2	BWDSP100 应用板卡自动测试设备	214
9.5	本章总结	215
第十章	网络型边界扫描测试控制器的设计	216
10.1	设计需求分析	216
10.1.1	网络化功能需求	216
10.1.2	边界扫描测试功能需求	217
10.2	测试控制器总体设计	217
10.3	测试控制器硬件设计	218
10.3.1	以太网接口电路	219
10.3.2	ACT8990 接口电路	219
10.4	ACT8990 底层驱动程序	221
10.4.1	ACT8990 复位及配置	222
10.4.2	装入测试指令	222
10.4.3	装入测试向量	222
10.5	以太网接口底层程序	223
10.5.1	uIPTCP/IP 协议栈	223
10.5.2	底层网络设备驱动程序	224
10.5.3	LPC2487 以太网应用程序	225
10.6	测试应用实例	227
10.6.1	被测电路设计	227
10.6.2	边界扫描结构完备性测试	227
10.6.3	互连测试	228
10.6.4	功能测试	230
10.6.5	CLUSTER 测试	230
10.7	本章总结	231
第十一章	边界扫描测试工具的应用	232
11.1	ScanWorks 简介	232
11.2	ScanWorks 系统功能及组成	232

11.3	ScanWorks 测试开发流程	233
11.3.1	工程(project)	233
11.3.2	设计描述(Design Description)	234
11.3.3	测试行为(Action)	234
11.3.4	序列(Sequence)	236
11.4	基于 ScanWorks 软件的工程应用	236
11.4.1	电路板测试	236
11.4.2	FPGA 的配置与编程	248
11.4.3	软件 API 调用	252
11.5	本章总结	252
第十二章	基于边界扫描技术的测试系统设计	253
12.1	通用测试系统组成及功能	253
12.2	系统工作原理	253
12.3	测试系统的设计方法	255
12.3.1	测试底板的设计	255
12.3.2	适配器的设计	257
12.3.3	测试系统的软件设计	257
12.4	测试系统的工程化实例	259
12.4.1	系统硬件设计	259
12.4.2	测试过程	259
12.5	本章总结	265
参考文献	267

第一章 绪 论

1.1 测试技术的发展

电子测试技术、微电子技术和计算机技术被认为是现代电子设备系统的三大基础技术。在科学技术高度发展的今天,测试技术将处于各种现代电子设备设计和制造的首位,并成为生产率、制造能力及实用性水平的重要标志。目前,测试成本占设备系统总成本的比例可达50%~70%,西方发达国家均投巨资研究电子测试技术,研制自动测试设备(ATE)和自动测试系统(ATS),并且成效显著。微电子技术和计算机技术的发展极大地促进了电子测试技术和仪器的发展,使常规的测试原理和测试仪器正被全新的概念和形式所替代。

随着集成电路的发展,芯片封装技术不断朝着高度集成化、高性能化、多引线和细间距化方向发展。表面安装器件(SMD)、多芯片组件(MCM)、多层印制板(MPCB)等技术在电路系统中的应用使得器件安装密度不断提高。所有这些变化带来的是系统集成度的提高,物理尺寸的减小,同时可供测试的节点间距也越来越小,有的甚至完全成为隐性的不可达节点。针床、探针等传统的测试方法已经很难对这种电路板进行有效的测试。为此,迫切需要一种新的测试理念和测试技术来解决传统的测试方法所面临的难题。

1.1.1 自动测试设备的出现

最初的数字系统测试者们通常都没有使用自动测试设备,他们通过在工作台上摆满各种仪表,如示波器、数字和模拟信号发生器等,力图逼真地显现被测系统的工作环境,这被称为“热实体模型”。有时候会把一个已知完好的设备当作实体模型来测试刚刚下线的产品,这种方法在今天仍然被广泛使用。这种方法的主要问题是,测试工作者必须是一个经验丰富的工程师,并且对被测件和实体模型测试台都非常熟悉,这样才能构建各种测试激励以及评估测试结果。

自动测试设备开发的目的是为被测系统提供一个通用的测试环境,该环境需要提供被测件的电源以及可编程的数字信号驱动和接收设备。通常被测系统和测试环境之间需要一个适配器来进行信号输入输出的转换,常见的做法是测试者提供一个测试环境和被测系统之间的适配器,这便是著名的边界连接器功能测试法。从此,一个通用的热实体模型测试方法逐渐形成。

当然,这样的测试方法仍不成熟,首先,它只是近似地实现通用;其次,它也并不是被测系统的最终测试环境。之所以说它是“近似地实现通用”,是因为这种方法确有许多不足,如产品更新换代十分迅速,但测试设备很难跟得上设计师们创新和提速的步伐;又如编写测试软件,是个浩大繁琐的工程,测试人员和设计师们都要花费大量的精力。至今为止,为被测单元(Unit Under Test 或 Device Under Test)功能建立模型和产生测试激励依然是功能测试的难点。

功能测试的局限性还在于,通常只能在被测单元的连接处注入测试激励以及获得测试

响应,大大限制了测试的完备性。如果能在被测单元的中间环节注入测试激励并获得测试响应,这将使得测试变得更加灵活和完备。于是在线测试(In - Circuit Test, ICT)方法诞生了,它将被测单元上的元器件看成独立的系统,对于每一种器件,数据库中都有相对应的一套测试激励,这样可以大大减小测试的复杂度,但是它忽略了被测单元的整体性,甚至有时候会产生误判。尽管如此,它的通用性和简便性不可小觑,一时之间仍然没有别的测试方法能够比拟。

1.1.2 在线测试

在线测试,是通过在线元器件的电性能及电气连接进行测试来检查器件生产制造缺陷及不良情况的一种标准测试手段。它主要检查在线的单个元器件以及各电路网络的开、短路情况,具有操作简单、快捷迅速、故障定位准确等特点。对于采用在线测试方案的电路板,开发人员需要在电路设计时预留一定数量的测试点,测试人员根据测试点的分布,设计相应的探针接入电路板的测试点,从而实现电路的测试。根据测试方式的不同,在线测试可分为针床测试和飞针测试两种。

1. 针床测试

传统的针床在线测试仪使用专门的针床与已焊接完毕的线路板上元器件接触(图 1.1),并用数百毫伏电压和 10mA 以内电流进行分隔离测试,从而精确地测出所装电阻、电感、电容、二极管、三极管、晶闸管、场效应管、集成电路等通用和特殊元器件的漏装、错装、参数值偏差、焊点连焊、线路板开短路等故障,定位出故障点并准确告知用户,针床式在线测试仪优点是测试速度快,适合于单一品种商用型家电线路板超大规模生产的测试。

若要进行在线测试,在线测试仪必须做两件事,即“触及”和“隔离”,它必须能触及所有被测元器件。另外,在线测试仪必须能隔离周围器件对被测器件的影响,因为器件和器件之间存在线路连接,需专门的隔离技术使被测器件不受其他器件影响,要触及 PCB 上的每个测试点需要一个特殊的测试工具——针床(图 1.2)。

针床上有许多弹性小探针可以触及测试点,利用这些小探针也隔离了周围器件对被测器件的影响。每块 PCB 都需要一个与其相符的测试针床,针床的作用是将在线测试仪内部测量仪器模块与被测

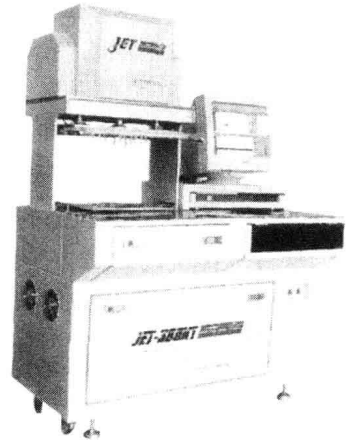


图 1.1 针床测试仪

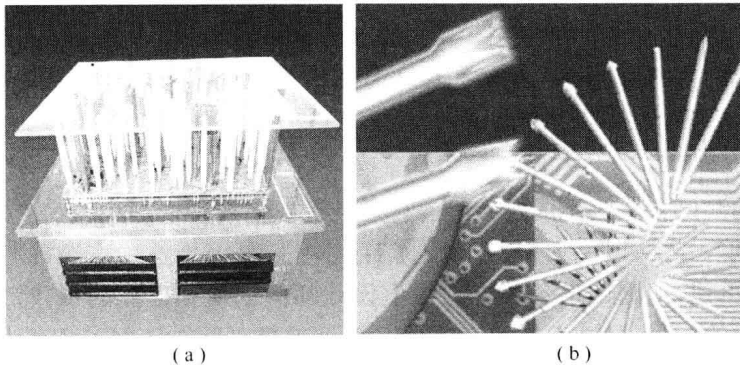


图 1.2 在线测试探针及夹具

试节点连接。针床式在线测试仪可进行模拟器件功能和数字器件逻辑功能测试,故障覆盖率高,但对每种单板需制作专用的针床夹具,夹具制作和程序开发周期长。

2. 飞针测试

飞针式在线测试仪是对传统针床式在线测试仪的一种改进,它利用探针来取代针床,使用多个由电动机驱动的、能够快速移动的电气探针同器件的引脚进行接触并进行电气测量(图 1.3)。这种仪器最初是为测试裸板而设计的,需要复杂的软件和程序来支持;目前已经能够有效地进行模拟在线测试。飞针测试的出现改变了低产量与快速转换(Quick-Turn)装配产品的测试方法,以前需要几周时间开发的测试系统现在只需几个小时,大大缩短产品设计周期和投入市场的时间。飞针在线测试仪基本只进行静态的测试,优点是不需制作夹具,程序开发时间短。

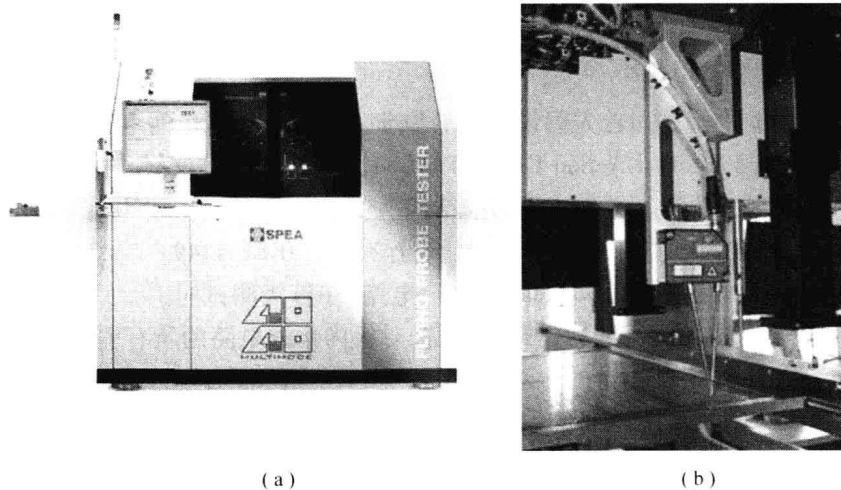


图 1.3 飞针测试仪

使用了在线测试法,测试工作者便可以撇开系统,只需要利用单片测试方法就可以轻松地避免过去测试方法中一次性投入的风险问题。如果测试失败,测试工作者将进行一系列后续的测试,比如与其邻近的单片或器件间的互连问题。在线测试方法致命的弱点在于,经常无法查知开路故障,导致误判单片损坏,将单片拔除。所以,在故障时只要重新检查一下单片的管脚焊点或许就能发现问题所在。但是,在线测试方法的高效性使得它获得了空前的成功,一时成为自动测试方法中的翘楚。

随着自动测试技术的进步,在线测试方法的问题逐一显现。最显著的是,随着大规模集成电路技术的发展,电子器件和产品制造商都在倾向于采用更小的封装提供更多的功能(图 1.4)。这种趋势也使电路板的研发呈现出这样一种现象:芯片的集成度越来越高,元器件的组装密度越来越大,甚至出现了双面及多层的电路板(图 1.5)。电路板复杂性的大大增加给传统的测试方法提了严重挑战:在高密度或者多层的电路板上,不可能设置足够的物理接入点;特别是今天普遍使用的片上系统(SoC),在一块芯片上集成了整个系统,因此也就不能通过物理探针对系统的内部节点进行访问;而且,对于高密度的电路板而言,采用物理探针可能会对电路板造成损坏。

当务之急是必须找到一条途径,使得测试工作者能够对印制板内层以及单片管脚上不能直观触及的信号进行观测。正是边界扫描技术帮助解决了测试点难以获得的重大难题,它将

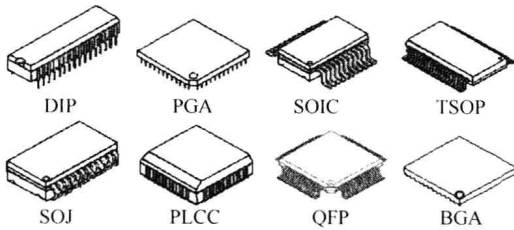


图 1.4 器件封装的变化

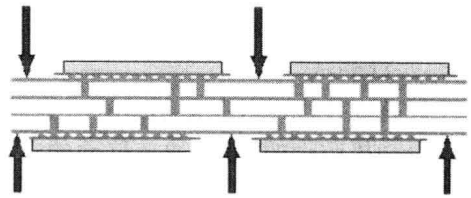


图 1.5 多层板探测

“隐形的探针”放到被测单元的待测点上,极大延长了在线测试方法的寿命,同时,被测数字系统的测试覆盖率并没有因此而减少。

1.2 边界扫描技术的出现

1985年,飞利浦电子公司首先倡议并联合欧洲、北美和亚洲其他电子设备制造公司组建了联合测试行动组(Joint Test Action Group, JTAG)。1990年2月JTAG与IEEE标准化委员会合作提出了“标准测试访问通道与边界扫描结构”的IEEE 1149.1-1990标准,并在1993年与1994年发放了该标准的增补篇,最终于2001年全新发布IEEE 1149.1-2001标准。该标准要求集成电路中加入边界扫描(Boundary Scan)电路,在板级测试时,可以在主控器的控制下,构成一条在集成电路边界绕行的移位寄存器链,对板内集成电路的所有引脚进行扫描,通过将测试数据串行输入到该寄存器链的方法,检查发现印制电路板(PCB)上的器件焊接故障和板内连接故障,极大方便了系统电路的调试。IEEE 1149.1标准的推广应用引起了测试设备和测试系统的重大变革,边界扫描测试技术正日益成为超大规模集成电路的主流测试技术。

IEEE 1149.1定义了一个边界扫描器件的几个重要特性,首先定义了四线(或五线)的测试访问端口(TAP):TDI、TDO、TCK、TMS、TRST*(*为可选信号),常称为JTAG接口。测试模式选择(Test Mode Select, TMS)和测试时钟(Test Clock, TCK)用来加载控制信息,TDI(Test Data In)为测试数据输入,TDO(Test Data Out)为测试数据输出,TRST*(Test Reset)测试复位为可选信号。其次定义了由TAP控制器支持的几种不同测试模式,主要有外测试(EXTEST)、内测试(INTEST)、运行测试(RUNTEST)等。最后提出了边界扫描描述语言(Boundary Scan Description Language, BSDL),BSDL语言描述边界扫描器件的重要信息,它定义了管脚的输入输出类型,以及TAP的模式和指令集。具有边界扫描功能器件的每个引脚都与一个串行移位寄存器(SSR)的单元相接,称为边界扫描单元,边界扫描单元连在一起构成一个移位寄存器链,用于控制和检测器件引脚(详见第二章)。

将多个边界扫描器件的扫描链通过JTAG接口连在一起就形成一个连续的边界扫描寄存器链,运用TAP信号即可控制和检测所有与JTAG链相连器件的管脚。这样的虚拟接触代替了针床夹具对器件每个管脚的物理接触,虚拟访问代替了实际物理访问,去掉了大量占用PCB板空间的测试焊盘,减少了PCB和夹具的制造费用。

边界扫描技术作为一种测试策略,在对PCB板进行可测性设计时,可利用专门软件分析电路网表和具有边界扫描功能的器件,决定怎样有效地放置有限数量的测试点,而又不降低测试覆盖率,最大限度地减少测试点和测试针。

边界扫描技术解决了无法增加测试点的难题,更重要的是它提供了一种简单而且快捷地