



普通高等教育“十二五”规划教材

普通高等教育电路设计系列规划教材

EDA技术实践教程

◎ 李 芸 黄继业 盛庆华 编著

◎ 高明煜 主审



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

普通高等教育“十二五”规划教材
普通高等教育电路设计系列规划教材

EDA 技术实践教程

李 芸 黄继业 盛庆华 编著
高明煜 主审

电子工业出版社
Publishing House of Electronics Industry
北京·BEIJING

内 容 简 介

本书根据现代电子系统设计数字化、智能化和模块化的特点,从实用角度出发,系统介绍 EDA 技术、Verilog HDL 语法及相关知识。以全球著名可编程逻辑器件供应商 Altera 公司的集成 EDA 开发工具 Quartus II 为开发平台,介绍大量设计实例,所选的项目具备基础性、典型性、设计性、综合性和创新性,突出 EDA 技术的实用性和工程性,致力于培养学生的工程实践和自主创新能力。全书共 5 章,主要内容包括: Quartus II 9.1 使用介绍、Verilog HDL 语言、EDA 技术基本实践项目、EDA 技术创新实践项目、ModelSim 使用介绍等。本书提供配套电子课件、程序代码和相关工程文件。

本书既可以作为高等学校电子工程、通信、计算机、自动控制等相关专业 EDA 技术和电子设计课程的实践教材,也可以作为电子设计竞赛的培训教材,以及工程技术人员的参考用书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

EDA 技术实践教程 / 李芸, 黄继业, 盛庆华编著. —北京: 电子工业出版社, 2014.3

普通高等教育电路设计系列规划教材

ISBN 978-7-121-22363-1

I. ①E… II. ①李… ②黄… ③盛… III. ①电子电路—电路设计—计算机辅助设计—教材
IV. ①TN702

中国版本图书馆 CIP 数据核字(2014)第 010135 号

策划编辑: 王羽佳

责任编辑: 王羽佳 文字编辑: 王晓庆

印 刷: 三河市双峰印刷装订有限公司

装 订: 三河市双峰印刷装订有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编: 100036

开 本: 787×1092 1/16 印张: 10.25 字数: 262.4 千字

印 次: 2014 年 3 月第 1 次印刷

印 数: 3000 册 定价: 28.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010)88254888。

质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010)88258888。

前 言

EDA 技术是当今电子信息领域最先进的技术之一,已广泛应用于电子、通信、工业自动化、智能仪表、图像处理及计算机等领域,是电子工程师必须掌握的一门技术。通过对国内、内外一些高校的调研,我们发现许多著名高校的 EDA 技术本科教学有两个明显的特点:一是在各专业课程中涉及较多;二是在实践中大量引入新技术、新方法与新器件,更多地注重创新性、设计性、综合性项目,突出 EDA 技术的实用性及面向工程实际的特点。

根据作者多年的教学实践经验,EDA 技术只有通过大量的操作与实践才能快速并有效地掌握。因此本书内容的编排力求实用,深入浅出、由易到难地列举了 20 个典型实例,应用范围包括电子、计算机、通信、信号处理、控制等诸多领域。读者在读完本书并完成实践项目的基础上,能比较全面地掌握使用 EDA 技术设计混合系统的方法和技能,为今后从事相关领域的开发打下良好的基础。

本书采用 Verilog HDL 硬件描述语言。Verilog HDL 作为 IEEE 标准的两大主流 HDL 之一,与 VHDL 相比,具有易学易用和占据 ASIC 设计领域主导地位等优势,其覆盖率在全球范围内一直处于上升趋势。统计资料表明,Verilog HDL 的行业覆盖率现已超过 80%,在美国和日本的比例更高,已占绝对优势,因此导致我国 Verilog HDL 工程师和相关领域人才需求的不断增加。本书所有实践项目采用的 EDA 软、硬件平台分别是 Quartus II 9.1、ModelSim SE 6.5b 和 Altera Cyclone III 系列 FPGA。

本书的目标是使读者能快速掌握 EDA 技术的基础理论及其工程实践的基本技能,同时本书给出大量 EDA 实践项目以促进读者自主创新能力的有效提高。全书共分 5 章,各章节安排如下:第 1 章为入门了解,以 Altera 公司的集成 EDA 开发工具 Quartus II 为例,详细讲述每一步设计流程及功能;第 2 章简单介绍 Verilog HDL 的语法结构和语言要素;第 3 章是 EDA 技术设计入门篇,提供 10 个基础实践项目,侧重于基本知识点的应用;第 4 章是 EDA 技术设计提高篇,提供 10 个创新实践项目,侧重于读者工程实践和技术创新技能的培养;第 5 章介绍仿真软件 ModelSim 的使用方法;附录 A 提供了 KX_DN 系列 EDA 开发系统的使用说明。

本书既可以作为高等学校电子工程、通信、计算机、自动控制等相关专业 EDA 技术和电子设计课程的实践教材,也可以作为电子设计竞赛的培训教材,以及工程技术人员的参考用书。

为了便于读者实践和学习,本书提供配套电子课件,同时作者特将全书程序代码和相关工程文件整理出来,读者可登录华信教育资源网(<http://www.hxedu.com.cn>)注册下载。

作者在编写本书时参考了相关的设计书籍和技术文章,在这里向这些资料的作者表示衷心感谢。

由于作者的知识水平有限,书中错误和不当之处在所难免,敬请广大读者和专家批评指正。

作 者

目 录

第 1 章	Quartus II 9.1 使用介绍	1
1.1	概述	1
1.2	Quartus II 设计流程	2
1.3	设计举例	4
第 2 章	Verilog HDL 语言	15
2.1	概述	15
2.2	Verilog HDL 基本结构	15
2.3	Verilog HDL 描述方式	18
2.4	Verilog HDL 基本词法	20
2.5	Verilog HDL 数据对象	23
2.6	Verilog HDL 基本语句	24
2.6.1	块语句	24
2.6.2	赋值语句	26
2.6.3	条件语句	28
2.6.4	循环语句	31
第 3 章	EDA 技术基本实践项目	34
项目 1	基于原理图的 EDA 设计	34
项目 2	组合逻辑电路设计	38
项目 3	时序逻辑电路设计	43
项目 4	数码管显示电路设计	48
项目 5	键盘扫描电路设计	52
项目 6	数控分频器设计	57
项目 7	正弦波信号发生器设计	61
项目 8	序列检测器设计	70
项目 9	伪随机序列发生器设计	72
项目 10	数字频率计设计	75
第 4 章	EDA 技术创新实践项目	82
项目 1	VGA 显示控制器设计	82
项目 2	硬件电子琴的设计	86
项目 3	DDS 信号发生器的设计	92
项目 4	直流电机综合测控系统设计	94

项目 5 数据采集模块设计	99
项目 6 通用异步收发器设计	105
项目 7 数字相位调制解调模块设计	111
项目 8 循环冗余校验码的设计	114
项目 9 FIR 滤波器设计	118
项目 10 16 位 CPU 设计	125
第 5 章 ModelSim 使用介绍	138
5.1 ModelSim 简介	138
5.2 ModelSim 设计实例	138
附录 A KX_DN 系列 EDA 开发系统使用说明	146
A.1 KX_DN 主系统平台	147
A.2 KX_DN 系统标准功能模块	149
参考文献	158

第 1 章 Quartus II 9.1 使用介绍

本章介绍了 Altera 公司 EDA 软件 Quartus II 的基本功能和设计流程。并在 Quartus II 9.1 平台上, 通过一个设计实例介绍详细的设计步骤。

1.1 概 述

Altera 公司是世界上最大的可编程逻辑器件供应商之一, Quartus II 是 Altera 在 21 世纪初推出的新一代 FPGA/CPLD 开发集成环境, 它是 Altera 前一代集成开发环境 MAX+plus II 的更新换代产品, 其界面友好, 使用便捷。

Altera 的 Quartus II 提供了一种与结构无关的设计环境, 使设计人员能够方便地进行设计输入、快速处理和器件编程。它还提供了完整的多平台设计环境, 能满足各种特定设计的需要, 也是单芯片可编程系统 (SOPC) 设计的综合性环境和 SOPC 开发的基本设计工具, 并为 Altera DSP 开发包进行系统模型设计提供了集成综合环境。

Quartus II 设计工具完全支持 VHDL、Verilog HDL 的设计流程, 其内部嵌有 VHDL、Verilog HDL 逻辑综合器。Quartus II 也可以利用第三方的综合工具, 如 Leonardo Spectrum、Synplify Pro 及 DC-FPGA, 并能直接调用这些工具。同样, Quartus II 具备仿真功能, 也支持第三方的仿真工具, 如 ModelSim。另外, Quartus II 与 MATLAB 和 DSP Builder 结合, 可以进行基于 FPGA 的 DSP 系统开发, 是 DSP 硬件系统实现的关键 EDA 工具。

Quartus II 包括模块化的编辑器。编辑器包括的功能模块有分析综合器、适配器、装配器、时序分析器、设计辅助模块、EDA 网表文件生成器、编辑数据接口等。可以通过选择 Start Compilation 来运行所有的编译器模块, 也可以通过选择 Start 单独运行各模块, 还可以通过选择 Compiler Tool, 在 Compiler Tool 窗口中选择相应模块来运行。在 Compiler Tool 窗口中, 可以打开相应模块的设置文件或报告文件, 或打开其他相关窗口。

此外, Quartus II 还包含许多十分有用的 LPM 模块, 它们是复杂或高级系统构建的重要组成部分, 也可在 Quartus II 中与普通设计文件一起使用。Altera 提供的 LPM 函数基于 Altera 器件的结构做了优化设计。在许多实际情况中, 必须使用宏功能模块才可以使用一些 Altera 器件的特定硬件功能。

目前 Quartus II 软件的最新版本是 v13.0。与前一版本 v12.1 相比, 编译速度平均高出了 25%, 某些设计提高了近 3 倍。此外, 在高端领域以及优异的逻辑封装能力方面, 与最相近的竞争产品相比, Quartus II v13.0 版使系统的最高工作频率提高了 23%, 并且推出了面向 OpenCL 的 Altera SDK 新产品。

Quartus II 软件界面比较统一, 功能集中, 设计流程规范。目前各高等学校 EDA 课程中使用较多的版本是 Quartus II 9.1, 本书的相关实例也是基于这一版本的。

1.2 Quartus II 设计流程

Quartus II 的设计流程如图 1-1 所示。

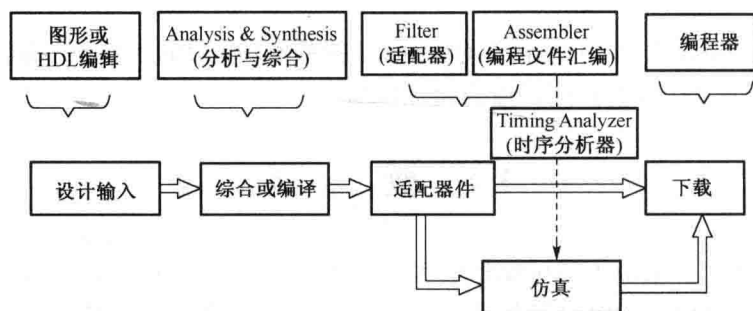


图 1-1 Quartus II 设计流程

图 1-1 中，上排所示的是 Quartus II 编译设计主控界面，它显示了 Quartus II 自动设计的各主要处理环节和设计流程，包括设计输入编辑、设计分析与综合、适配、编程文件汇编（装配）、时序参数提取及编程下载几个步骤。图中下排是流程框图，是与上排的 Quartus II 设计流程相对照的标准的 EDA 开发流程。下面对各环节进行简单的介绍。

1. 设计输入

将电路系统以一定的表达方式输入计算机，是在 EDA 软件平台上对 FPGA/CPLD 开发的最初步骤。Quartus II 的设计输入方式有很多种，可以使用 Block Editor 建立原理图输入文件，也可使用 Text Editor 建立文本输入文件（包括 VHDL、Verilog HDL 和 AHDL），还可以通过 MegaWizard Plug-In Manager 定制宏功能模块。Quartus II 还能够识别来自第三方的网表文件（如 EDIF），并提供了很多 EDA 软件的接口。Quartus II 支持层次化设计，可以在一个新的编辑输入环境中对使用不同输入设计方式完成的模块（元件）进行调用，从而解决了原理图与 HDL 混合输入设计的问题。

2. 综合或编译

综合就是将 HDL 文本、原理图等设计输入翻译成由基本门电路、触发器、存储器等基本逻辑单元组成的硬件电路，它是文字描述与硬件实现的桥梁。综合就是将电路的高级语言（如行为描述）转换成低级的、可与 FPGA/CPLD 的基本结构相映射的网表文件或程序。为达到速度、面积、性能的要求，往往需要对综合加以约束，称为综合约束。

可以使用 Quartus II 自带的 Analysis & Synthesis 模块进行综合，也可以选择第三方 EDA 综合工具，如 Synplicity 公司的 Synplify、Synplify Pro 综合器，Mentor Graphics 公司的 Design Architect、Leonardo Spectrum 综合器等。

Quartus II 在完成编译时可以自动完成分析综合，也可以单独启动 Start Analysis & Synthesis 菜单，通过 Analysis & Elaboration 可以检查设计的语法错误。

3. 适配器件

适配器也称为结构综合器，它将综合器产生的网表文件配置于指定的目标器件中，使之产生最终的下载文件，如 jedec、jam、sof、pof 格式的文件。适配器完成底层器件配置、逻辑分割、逻辑优化、逻辑布局布线等操作。由于适配对象必须直接与器件的结构细节相对应，适配器需由 FPGA/CPLD 供应商自己提供。

在 Quartus II 中，适配是由 Filter 模块来完成的。Filter 使用分析综合后得到的网表数据库，将设计所需的逻辑和时序要求与目标器件的可用资源相匹配。它为每一个逻辑功能分配最佳的逻辑单元位置，进行布线和时序分析，并选择合适的相应互连路径和引脚分配。如果在设计中已经对资源进行了分配，Filter 将这些资源分配与器件上的资源进行匹配，尽量使设计满足设置的约束条件，并对剩余的逻辑进行优化。如果没有设定任何设计限制，Filter 将自动对设计进行优化。如果找不到合适的匹配，Filter 将会终止编译并给出错误信息。Quartus II 中的完全编译包括了适配，可以单独执行 Start Filter 操作，前提是分析综合必须成功。

4. 仿真

仿真就是计算机根据一定的算法和仿真库对 EDA 设计进行模拟测试，以验证设计，排除错误。仿真是 EDA 设计过程中的重要步骤，可以分为功能仿真和时序仿真。功能仿真直接对设计文件的逻辑功能进行测试模拟，以了解其是否满足设计要求。功能仿真过程不涉及任何具体器件的硬件特性，它的优点是耗时短，对硬件库、综合器等没有任何要求。时序仿真是在综合、适配后，电路的最终形式已经固定之后，再加上器件物理模型进行仿真。时序仿真更接近真实器件运行特性，它包含了器件硬件特性参数，仿真精度高。

可以使用 Quartus II 自带的 Simulator 模块进行仿真，也可以使用第三方的 EDA 仿真工具，如 Cadence 公司的 Verilog HDL XL、NC-VHDL，Mentor Graphics 公司的 ModelSim 等。本书第 5 章将详细介绍 ModelSim 的使用方法。

5. 时序分析

在高速数字系统设计中，随着时钟频率的大大提高，留给数据的有效操作时间越来越短，同时时序和信号的完整性也是密不可分的，良好的信号质量是确保稳定时序的关键，因此必须进行精确的时序计算和分析。

Quartus II 提供两个独立的时序分析工具，一个是默认的经典 Timing Analyzer 时序分析仪，另一个是新增的 TimeQuest 时序分析仪。它们提供了完整的对设计性能进行分析、调试和验证的方法，对设计所有路径的延时进行分析，并与时序要求相比较，以保证电路在时序上的正确性。

6. 编程下载

把适配后生成的下载或配置文件，通过编程器或编程电缆向 FPGA/CPLD 下载，以便进行硬件调试和验证。编程下载是 Quartus II 设计流程的最后一步，编程下载文件由 Quartus II 集成的 Assembler 模块产生，启动全程编译会自动运行 Assembler 模块。编程下载后，就可以在实验箱或实验板上进行硬件验证了。

1.3 设计举例

本节通过一个简单的例子详细介绍 Quartus II 的完整开发设计流程，我们以一位半加器为例。

1. 创建工程

(1) 建立工作库文件夹

任何一项 EDA 设计都是一项工程 (Project)，必须首先为此工程建立一个放置与该工程相关的所有设计文件的文件夹。此文件夹将被默认为工作库 (Work Library)，文件夹的命名最好具有可读性。一般地，不同设计项目最好放在不同的文件夹中，同一工程的所有文件放在同一文件夹中。

(2) 打开并建立新工程管理窗口

在建立了文件夹后，利用 New Project Wizard 工具创建工程。图 1-2 所示为 Quartus II 9.1 界面。

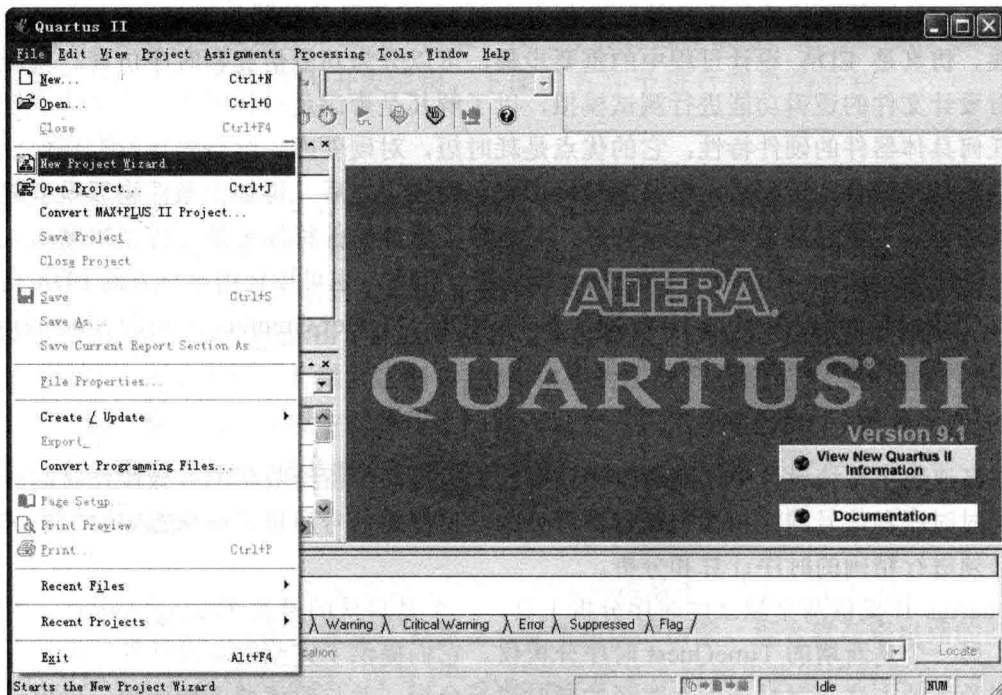


图 1-2 Quartus II 9.1 界面

按图 1-2 选择 File→New Project Wizard 命令，将弹出一个新建工程介绍 (Introduction) 对话框，单击 Next 按钮，进入新建工程向导对话框，如图 1-3 所示。分别设置工程所在文件夹路径、工程名以及顶层设计文件名。Quartus II 要求工程名和顶层设计文件名必须一致。和文件夹命名一样，工程名及顶层设计文件名最好具有可读性，即和设计功能相关，这里我们将一位半加器的工程和顶层文件命名为 half_adder。

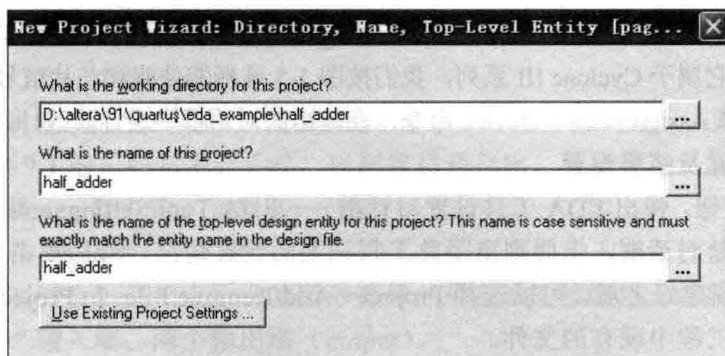


图 1-3 新建工程向导对话框

(3) 将设计文件加入工程

单击 Next 按钮，弹出图 1-4 所示的添加设计文件对话框，如果设计文件暂时没有，可以跳过这步，待设计文件编辑好再添加。

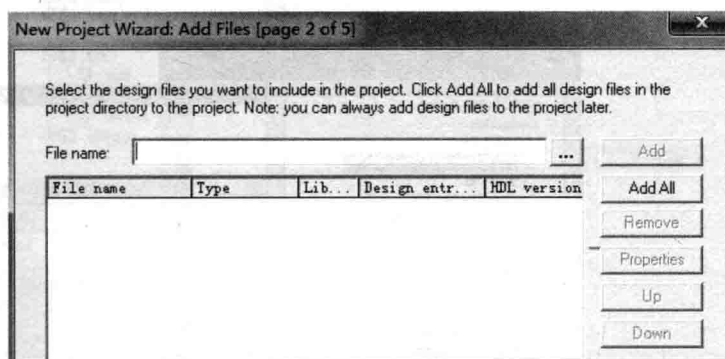


图 1-4 添加设计文件对话框

(4) 选择目标器件

接下来进入选择目标器件对话框，如图 1-5 所示。

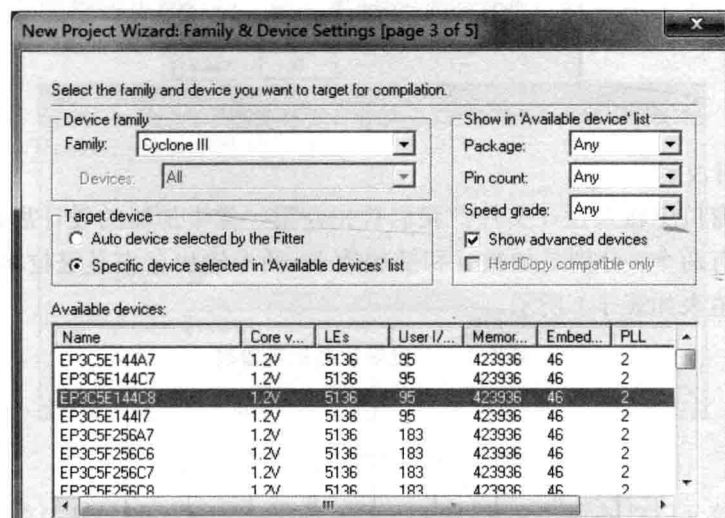


图 1-5 选择目标器件对话框

根据目标器件的类型进行选择,例如 KX_DN3 实验箱 FPGA 核心板上的器件为 EP3C5E144C8,它属于 Cyclone III 系列,我们按图 1-5 选择器件族和芯片信号。目标芯片的型号也可以通过选择 Assignments→Device 命令,在弹出的对话框中进行修改。

(5) 工具设置及结束设置

单击 Next 按钮,弹出 EDA 工具设置对话框——EDA Tool Settings。再单击 Next 按钮,弹出工程设置统计对话框,上面列出了此工程相关的设置情况。最后单击 Finish 按钮,结束工程设置。工程建好之后,可以选择 Project→Add/Remove Files in Projects 命令,添加文件到工程或删除工程中现有的文件。

2. 编辑和输入设计文件

(1) 新建设计文件

Quartus II 的文件类型有很多,设计文件主要有原理图输入文件(Block Diagram/ Schematic File)和 HDL 文件,通过选择 File→New 命令,在弹出的对话框中进行选择,如图 1-6 所示。本例选择新建设计文件类型为原理图输入文件。

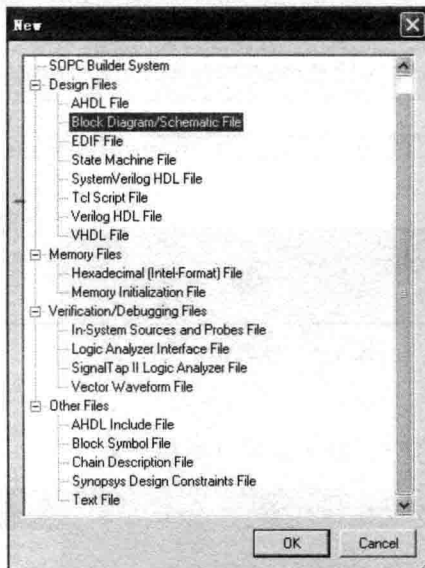


图 1-6 选择设计文件类型

(2) 编辑设计文件

在图形编辑窗口中输入设计文件。我们首先介绍一位半加器的设计思路。一位二进制半加器的输入端有两个,分别是加数 a 和被加数 b ,两个输出分别是进位端 co 和求和端 s 。一位半加器的真值表如表 1-1 所示。

表 1-1 一位半加器的真值表

输入		输出	
a	b	co	s
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

由真值表可以得到输出逻辑表达式： $co=a\&b$ ， $s=a\^b$ 。因此，完成一个一位半加器需要一个二输入与门和一个异或门。

双击图形编辑窗口的空白处，弹出 Symbol 窗口，即元件编辑窗口，如图 1-7 所示。左上角是 Quartus II 9.1 的一些基本元件库，以树状目录列出。可以通过目录选择，也可以直接在左下角的 Name 一栏内输入元件名。

首先添加输入、输出端口。在图 1-7 所示的元件编辑窗口的 Name 栏直接输入 input（输入端），在窗口右侧会出现相应原件的图形符号，单击 OK 按钮将元件放置到图形编辑窗口。依次加入两个输入端、两个输出端（output）。

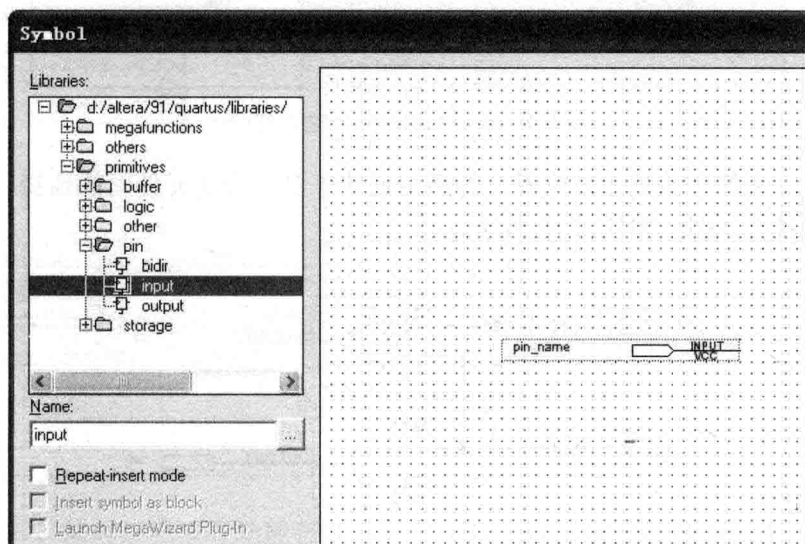


图 1-7 添加输入端口

选中图形编辑窗口中的元件，双击或单击鼠标右键选择 Properties，会弹出元件属性设置对话框，从中可以修改元件名称、默认取值、外观等属性。在图 1-8 中，我们修改输入端口的名称。

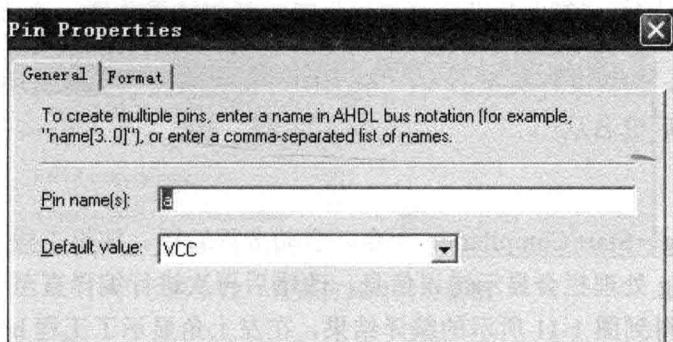


图 1-8 元件属性设置对话框

然后添加异或门和二输入与门，注意 Quartus II 中的二输入与门元件名为“and2”，如图 1-9 所示。

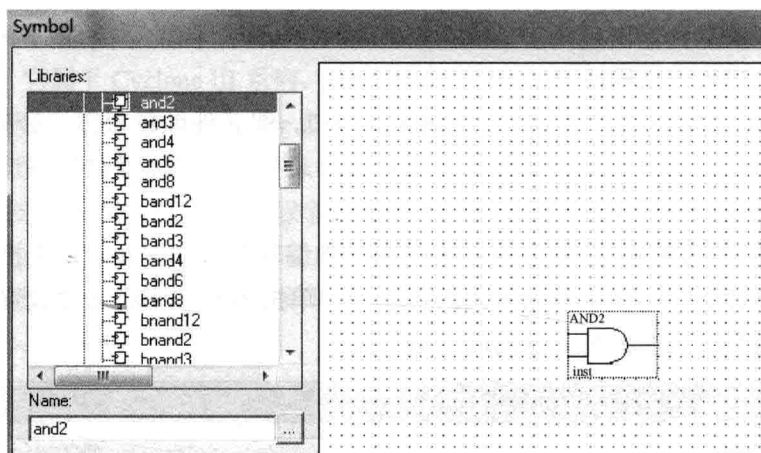


图 1-9 添加元件——二输入与门

修改各端口名称，调整元件位置，然后用连线工具完成各元件间的连接，可以得到完整的一位半加器电路图，如图 1-10 所示。

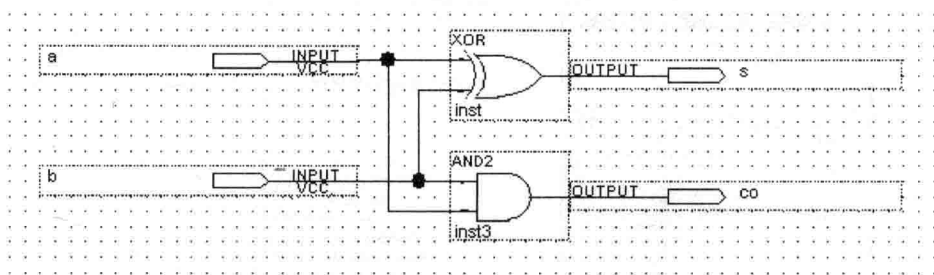


图 1-10 一位半加器电路图

(3) 保存设计文件

上述原理图设计文件存放于之前设定的工程文件夹内，文件名为 `half_adder`，后缀名为 `*.bdf`。注意该工程只有一个设计文件，它就是顶层设计文件，文件命名要与创建工程时设定的顶层设计文件名一致。

这样我们就完成了设计文件的编辑。如果设计文件是 Verilog HDL 文本格式，在第 (1) 步新建设计文件中，选择文件类型为 Verilog HDL File，在文本编辑框中输入 Verilog HDL 代码，设计文件的后缀名是 `*.v`。

3. 编译

选择 `Processing`→`Start Compilation` 命令，启动全程编译。如果工程中的文件有错误，在下方的 `Processing` 处理栏会显示错误信息，改错后再次进行编译直至排除所有的错误。编译成功后，可以得到图 1-11 所示的编译结果，在左上角显示了工程 `half_adder` 的层次结构及其耗用的逻辑宏单元数量；此栏下方是编译处理流程；右边是编译报告（`Compilation Report`）栏，单击各选择菜单可以详细了解编译与分析结果，其中 `Flow Summary` 为硬件耗用统计报告，显示当前工程耗用逻辑宏单元、寄存器、存储位数和引脚数量等信息。

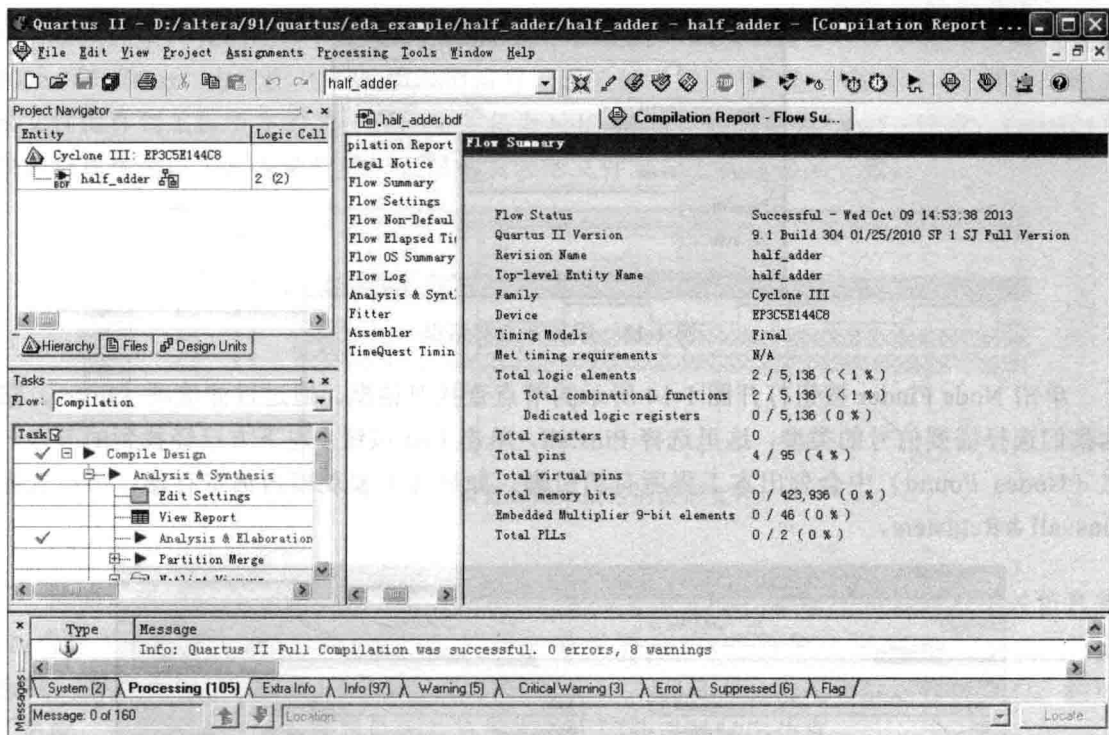


图 1-11 编译结果

4. 仿真

通过编译后，须对工程进行功能仿真或时序仿真，以了解设计结果是否满足要求。

(1) 新建仿真波形文件

选择 File→New→Vector Waveform File 命令，会弹出空白的波形编辑器。

(2) 设置仿真时间

对时序仿真来说，将仿真时间设置在一个合理的范围内十分重要，一般根据设计内容来选择仿真时间。仿真时间过长则耗时太多，仿真时间过短则无法判断结果是否符合要求。选择 Edit→End Time 命令，弹出图 1-12 所示的设置仿真时间对话框，选择仿真时间为 5μs。

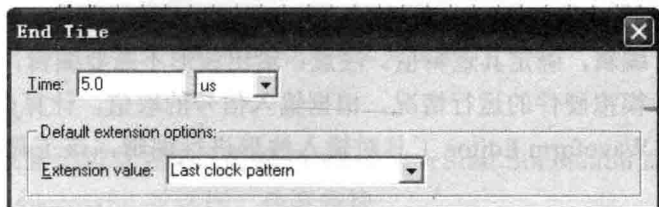


图 1-12 设置仿真时间对话框

(3) 添加仿真信号

将工程中需要观察的信号节点加入波形编辑器中的方法有很多，如选择 Edit→Insert→Insert Node or Bus 命令，或双击波形编辑器的左栏等，此时会弹出图 1-13 所示的添加节点对话框。

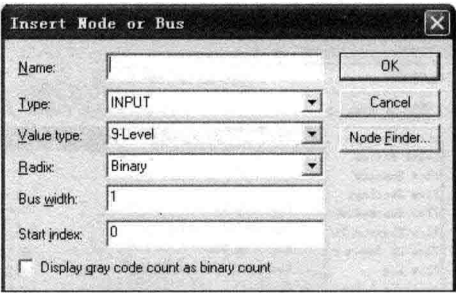


图 1-13 添加节点对话框

单击 Node Finder 按钮打开图 1-14 所示的节点查找对话框。通过过滤选项（Filter）帮助我们选择需要信号的类型，这里选择 Pins:all，单击 List 按钮，左下方已经找到的节点一栏（Nodes Found）中会列出本工程所有的引脚；如果还需要观察内部寄存器，可以选择 Pins: all & Registers。

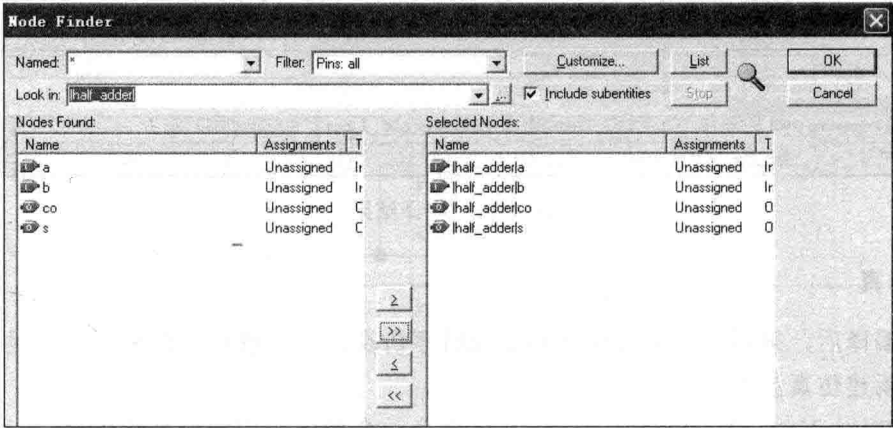


图 1-14 节点查找对话框

在 Nodes Found 中选中需要观察的信号，单击“>”按钮，将信号选入到右边的已选节点一栏（Selected Nodes）。“>>”按钮表示选中左栏所有的信号，“<”按钮表示删除一个已选节点，“<<”按钮表示删除所有已选节点。

（4）输入激励信号

对输入波形进行编辑，确定其逻辑值。注意：输出波形不需要编辑，由仿真器算出，仿真的过程就是用软件模拟硬件的运行情况，根据输入信号的取值，计算出输出信号的结果。

使用 Customize Waveform Editor 工具对输入波形进行编辑，该工具栏及其中各工具功能如图 1-15 所示。

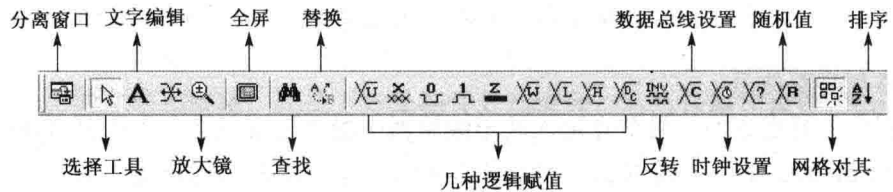


图 1-15 波形编辑工具栏

本设计中, 我们用时钟设置工具将一位半加器的两个输入端 a 和 b 分别设置为周期是 200ns 和 400ns、占空比是 50% 的周期信号, 设置好激励信号的波形如图 1-16 所示。将波形文件保存到工程所在的文件夹, 文件名为 `half_adder`, 后缀名为 `*.vwf`。注意: Quartus II 中的仿真也是以工程为单位的, 要求仿真波形文件名与工程名必须一致。

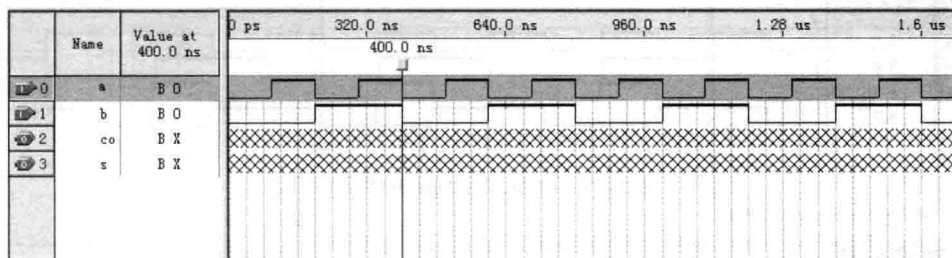


图 1-16 设置好激励信号的波形文件

(5) 设置仿真器参数

前面已经提到, 仿真分为功能仿真和时序仿真, 在 Quartus II 中可以设置相关仿真参数。选择 **Assignment**→**Settings** 命令, 打开参数设置窗口, 在右侧选择 **Simulator Settings** 选项, 得到图 1-17 所示的仿真参数设置窗口。本例是在全程编译后进行仿真的, 经过了适配, 已经包含了延时等器件硬件特性参数, 因此选择时序仿真。

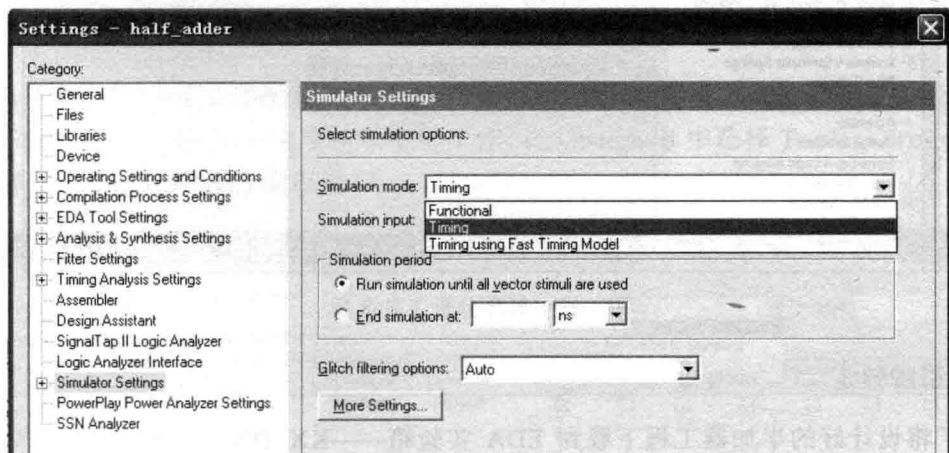


图 1-17 仿真参数设置窗口

(6) 启动仿真器

现在所有仿真设置已进行完毕, 选择 **Processing**→**Start Simulation** 命令进行仿真, 直到出现 **Simulation was successful** 对话框, 仿真完成。

(7) 分析仿真结果

在 Quartus II 中, 仿真波形文件 (`*.vwf`) 和仿真报告 (**Simulation Report**) 是分开的。一般仿真成功后会自动弹出仿真报告窗口, 也可以选择 **Processing**→**Simulation Report** 命令打开。

一位半加器的仿真结果如图 1-18 所示, 对照表 1-1 所示的真值表, 可以验证仿真结果