

EDA 工 程 技 术 丛 书

北京市精品课程教材



ALTERA FPGA: DEVELOPMENT AND APPLICATION

Altera FPGA

系统设计实用教程

李莉 张磊 董秀则 编著

Li Li Zhang Lei Dong XiuZe



清华大学出版社

EDA 工 | 程 | 技 | 术 | 丛 | 书 |



ALTERA FPGA: DEVELOPMENT AND APPLICATION

Altera FPGA

系统设计实用教程

李莉 张磊 董秀则 编著

Li Li Zhang Lei Dong XiuZe

清华大学出版社
北京

内 容 简 介

本书系统地介绍了FPGA的原理及开发技术。全书分基础理论与应用设计两个部分,基础理论部分包括FPGA开发流程、硬件描述语言VHDL和Verilog、Quartus II开发环境、基本电路的FPGA设计、基于IP核的设计等内容;应用设计部分包括人机交互接口设计、数字信号处理电路设计、密码算法设计、嵌入式Nios CPU设计等内容。全书语言简明易懂,向读者提供不同领域的FPGA应用实例以及完整的设计源程序。

本书可作为高等学校电子信息、计算机、自动化等专业的本科生教材,也可供从事电子设计的工程技术人员参考。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

Altera FPGA 系统设计实用教程/李莉,张磊,董秀则编著. —北京:清华大学出版社,2014
(EDA工程技术丛书)

ISBN 978-7-302-34104-8

I. ①A… II. ①李… ②张… ③董… III. ①可程序逻辑器件—系统设计—教材
IV. ①TP332.1

中国版本图书馆 CIP 数据核字(2013)第 240330 号

责任编辑:盛东亮

封面设计:李召霞

责任校对:白蕾

责任印制:沈露

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座 邮 编:100084

社总机:010-62770175 邮 购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质量反馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

课 件 下 载: <http://www.tup.com.cn>, 010-62795954

印 刷 者:北京富博印刷有限公司

装 订 者:北京市密云县京文制本装订厂

经 销:全国新华书店

开 本:185mm×260mm

印 张:19.5

字 数:461千字

版 次:2014年1月第1版

印 次:2014年1月第1次印刷

印 数:1~2500

定 价:39.00元

产品编号:049609-01



现场可编程门阵列(Field Programmable Gate Array, FPGA)的出现是超大规模集成电路(VLSI)技术和计算机辅助设计(CAD)技术发展的结果,基于FPGA的设计方法是电子设计领域的一大变革。不同于传统的电子设计方法,基于FPGA的现代电子设计方法采用自顶向下的设计方法,使设计师们可以把更多的精力和时间放在电路方案的设计上,很大程度上提高了电子产品上市的时间;FPGA的可编程性,使得在不改变硬件电路设计的前提下,产品性能的提升成为可能;硬件软件化,以及不断增长的可编程门阵列的规模,使得产品在小型化的同时,可靠性也得以不断的提升。近年来,IP核的广泛使用,特别是嵌入式处理器IP核的使用,使得FPGA的市场占有量大大增加。因此对于广大的电子设计人员,以及电子工程专业的学生来说,掌握基于FPGA的开发技术是非常必要的。

参与本书编写的教师多年从事EDA课程的教学和相关科研工作,作者总结了许多教学和科研经验,成就了本书的编写与问世。全书系统地介绍了FPGA的开发技术,内容涵盖FPGA可编程逻辑器件的基本知识以及相关软件的使用方法,可编程逻辑器件的硬件描述语言,以及基于FPGA的电路设计,着重讲述了FPGA电路设计的方法和技巧,并给出了设计实例。

本书共分9章。第1章分析了FPGA开发的基本设计方法和设计流程,并以Altera公司的FPGA芯片为例,介绍了可编程逻辑器件的结构特点。第2章介绍了目前流行的两种可编程逻辑器件的硬件描述语言:VHDL和Verilog HDL。第3章以Quartus II 11版本为例,介绍了可编程逻辑器件开发软件的安装和使用方法。第4章介绍了基本电路的FPGA设计,讲解了FPGA设计中时需要注意的一些基本问题。第5章介绍了基于IP核的设计方法。第6章以键盘扫描和液晶驱动设计为例介绍了人机交互接口的设计。第7章介绍了几种基本的数字信号处理电路的FPGA设计。密码算法的设计实现是FPGA在信息安全设计领域的一个重要应用,因此本书的第8章以分组密码、流密码以及Hash算法为例,给出了三个较新的密码算法的FPGA实现的实例。第9章涉及FPGA高端开发技术,介绍了基于Nios II的SOPC系统开发的流程和设计方法。

本书第6章~第8章的设计程序可以在清华大学出版社网站(www.tup.com.cn)下载。有关FPGA的新器件、新技术等不断更新的知识,读者可以从EDA厂商的网站上获取更新的资料,也可以从销售商或可编程逻辑器件中文网站(<http://www.fpga.com.cn> & <http://www.pld.com.cn>)上获取相关的信息和技术支持。

全书由李莉组织编写并统稿。本书第1、6章以及附录部分由李莉编写,第3、8章由张磊编写,第5、7、9章由董秀则编写,第2、4章由李莉和李雪梅共同编写。北京电子技术学院路而红教授不辞辛苦地认真审阅了全部书稿,并为本书提出了许多宝贵的建议和

意见。硕士研究生胡尧、李稔宇参与了本书相关程序的调试工作。借此机会也向所有关心、支持和帮助过本书编写、修改、出版、发行的老师和朋友们致以诚挚的谢意。

由于作者水平有限,书中难免存在不妥之处,欢迎各位读者提出批评和指正。编者联系方式: lili103@besti. edu. cn

编著者

2013年9月

于北京

第 1 章	FPGA 开发概要	1
1.1	可编程逻辑器件简介	1
1.2	FPGA 芯片	3
1.2.1	FPGA 框架结构	3
1.2.2	Altera 公司的 FPGA	6
1.3	FPGA 开发工具	11
1.4	基于 FPGA 的开发流程	11
1.4.1	典型 FPGA 开发流程	12
1.4.2	FPGA 的配置	13
1.4.3	基于 FPGA 的 SoC 设计方法	17
第 2 章	硬件描述语言	20
2.1	VHDL 硬件描述语言	21
2.1.1	程序基本结构	21
2.1.2	VHDL 程序语法规则	31
2.1.3	并行语句	41
2.1.4	顺序语句	48
2.1.5	子程序及子程序调用语句	54
2.2	Verilog 硬件描述语言	56
2.2.1	Verilog HDL 程序基本结构	57
2.2.2	Verilog HDL 数据类型	58
2.2.3	Verilog HDL 运算符	61
2.2.4	Verilog HDL 描述语句	65
2.2.5	语句的顺序执行与并行执行	73
2.2.6	Verilog HDL 元件例化	74
第 3 章	Quartus II 设计开发环境	76
3.1	Quartus II 概述	76
3.2	Quartus II 设计流程	78
3.2.1	设计输入	78
3.2.2	设计处理	83
3.2.3	波形仿真	86
3.2.4	器件编程	92

目录

3.3 嵌入式逻辑分析仪使用	94
第4章 基本电路的 VHDL 设计	100
4.1 基本电路的 VHDL 设计	100
4.1.1 优先编码器	100
4.1.2 数据选择器	102
4.1.3 组合逻辑电路与并行语句、进程语句的关系	104
4.1.4 运算电路	106
4.1.5 时钟信号	109
4.1.6 锁存器和触发器	113
4.1.7 同步、异步信号的描述	117
4.1.8 同步电路的设计原则	119
4.1.9 计数器	120
4.1.10 分频电路	122
4.1.11 寄存器	123
4.1.12 状态机	130
4.1.13 动态扫描电路	136
4.2 基本电路的 Verilog 设计	139
4.2.1 优先编码器	139
4.2.2 译码器	140
4.2.3 数据选择器	141
4.2.4 运算电路的设计	143
4.2.5 时钟信号	145
4.2.6 触发器	145
4.2.7 同步、异步控制信号	146
4.2.8 计数器	147
4.2.9 分频器	149
4.2.10 寄存器	151
4.2.11 串并转换电路	153
4.2.12 有限状态机	156
4.2.13 动态扫描电路	158
第5章 基于 IP 的设计	162
5.1 IP 核	162

5.2	触发器 IP 核的 VHDL 设计应用	163
5.3	存储器 IP 核的 VHDL 设计应用	167
5.4	锁相环 IP 核的 VHDL 设计应用	174
5.5	运算电路 IP 核的 VHDL 设计应用	177
第 6 章	人机交互接口设计	181
6.1	键盘扫描电路的 VHDL 设计	181
6.1.1	设计原理	181
6.1.2	设计实现	184
6.1.3	综合仿真	192
6.2	液晶驱动电路的 VHDL 设计	193
6.2.1	设计原理	193
6.2.2	设计实现	197
6.2.3	综合仿真	200
第 7 章	数字信号处理	202
7.1	差错控制电路的 VHDL 设计(CRC 校验电路)	202
7.1.1	设计原理	202
7.1.2	校验电路的 VHDL 实现	203
7.1.3	综合仿真	205
7.2	滤波电路的 VHDL 设计	207
7.2.1	设计原理	207
7.2.2	FIR 滤波电路的设计实现	208
7.2.3	综合仿真	210
7.3	HDB3 基带信号编译码电路的 VHDL 设计	214
7.3.1	设计原理	214
7.3.2	设计实现	216
7.3.3	综合仿真	224
第 8 章	密码算法设计	226
8.1	分组密码算法的 VHDL 设计(SM4)	226
8.1.1	SM4 算法原理	226
8.1.2	设计实现	229
8.1.3	仿真验证	235

目录

8.2	流密码算法的 VHDL 设计(ZUC)	236
8.2.1	ZUC 算法原理	237
8.2.2	设计实现	241
8.2.3	仿真验证	250
8.3	HASH 算法的 VHDL 设计(SM3)	250
8.3.1	SM3 算法原理	251
8.3.2	设计实现	253
8.3.3	仿真验证	260
第 9 章	基于 Nios II 的 SOPC 系统开发	262
9.1	SOPC 技术简介	262
9.1.1	Nios II 嵌入式处理器	264
9.1.2	SOPC Builder 开发工具	265
9.1.3	SOPC 开发流程	266
9.2	SOPC 硬件开发	268
9.2.1	启动 SOPC Builder	268
9.2.2	添加 CPU 及外设 IP 模块	269
9.2.3	自定义 CPU 指令逻辑	274
9.2.4	自定义外设 IP 的设计与添加	277
9.2.5	集成 Nios II 系统至 Quartus II	286
9.3	SOPC 软件系统开发	287
9.3.1	创建 Nios II 工程	288
9.3.2	设置工程的系统属性	291
9.3.3	程序编写及编译	291
9.3.4	代码调试及运行	295
附录	DES 算法的 S 盒	299
参考文献		301

1.1 可编程逻辑器件简介

可编程逻辑器件(Programmable Logic Device, PLD)是20世纪70年代发展起来的一种新型逻辑器件。可编程逻辑器件与传统逻辑器件的区别在于其功能不固定,属于一种半定制逻辑器件,可以通过软件的方法对其编程从而改变其逻辑功能。微电子技术的发展,使得设计与制造集成电路的任务已不完全由半导体厂商来独立承担,系统设计师们可以在更短的设计周期里,在实验室里设计自己需要的专用集成电路(Application Specific Integrated Circuit, ASIC)芯片。对于可编程逻辑器件有一种说法“*What you want is what you get*”(所见即所得),这是PLD的一个优势。由于PLD可编程的灵活性以及近年来科技的快速发展,PLD也正向高集成、高性能、低功耗、低价格的方向发展,并具备了与ASIC同等的性能。近几年可编程逻辑器件的应用有了突飞猛进的增长,被广泛地使用在各行各业的电子及通信设备里。现在的可编程逻辑器件的规模不断扩大,例如Altera于2013年初发布的最新高端产品Stratix 10系列单芯片集成有超过400万逻辑单元,被视为下一代高性能FPGA的代表。

我们可以用图1-1描述PLD沿着时间推进的发展流程。

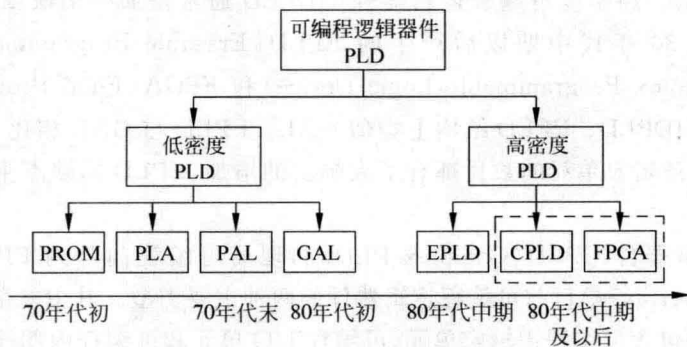


图 1-1 PLD 器件的发展流程

从集成度上,可以把 PLD 分为低密度和高密度两种类型,其中低密度可编程逻辑器件 LDPLD 通常指那些集成度小于 1000 逻辑门的 PLD。20 世纪 70 年代初期至 80 年代中期的 PLD,如 PROM(Programmable Read Only Memory)、PLA(Programmable Logic Array)、PAL (Programmable Array Logic) 和 GAL (Generic Array Logic) 均属于 LDPLD。低密度 PLD 与中小规模集成电路相比,有着集成度高、速度快、设计灵活方便、设计周期短等优点,因此在推出之初得到了广泛的应用。

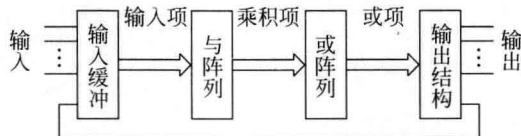


图 1-2 PLD 器件原理结构

低密度 PLD 的基本结构参考图 1-2,它是根据逻辑函数的构成原则提出的,由输入缓冲、与阵列、或阵列和输出结构四部分组成。其中,由与门构成的与阵列用来产生乘积项,由或门构成的或阵列用来产生乘积项之和,因此,与阵列和或阵列是电路的核心。输入缓冲电路可以产生输入变量的原变量和反变量,输出结构相对于不同的 PLD 差异很大,有组合输出结构、时序输出结构、可编程的输出结构等。输出信号往往可以通过内部通路反馈到与阵列,作为反馈输入信号。虽然与/或阵列的组成结构简单,但是所有复杂的 PLD 都是基于这种原理发展而来的。根据与阵列和或阵列可编程性,将低密度 PLD 分为上述四种基本类型,如表 1-1 所示。

表 1-1 低密度 PLD 器件

PLD 类型	阵 列		输 出
	与	或	
PROM	固定	可编程,一次性	三态,集电极开路
PLA	可编程,一次性	可编程,一次性	三态,集电极开路寄存器
PAL	可编程,一次性	固定	三态 I/O 寄存器互补带反馈
GAL	可编程,多次性	固定或可编程	输出逻辑宏单元,组态由用户定义

随着科学技术发展,低密度 PLD 无论是资源、I/O 端口性能,还是编程特性都不能满足实际需要,已被淘汰。高密度可编程逻辑器件 HDPLD 通常指那些集成度大于 1000 门的 PLD。20 世纪 80 年代中期以后产生的 EPLD(Erasable Programmable Logic Device)、CPLD(Complex Programmable Logic Device)和 FPGA(Field Programmable Gate Array)均属于 HDPLD。EPLD 结构上类似 GAL。EPLD 与 GAL 相比,无论是与阵列的规模还是输出逻辑宏单元的数目都有了大幅度的增加,EPLD 的缺点主要是内部互连能力较弱。

复杂可编程逻辑器件 CPLD(Complex PLD)和现场可编程门阵列 FPGA(Field Programmable Gate Array)是目前可编程逻辑器件的两种主要类型。其中复杂可编程逻辑器件 CPLD 的结构包含可编程逻辑宏单元、可编程 I/O 单元和可编程内部连线等几部分。在 CPLD 中数目众多的逻辑宏单元被排成若干个阵列块,丰富的内部连线为阵列块

之间提供了快速、具有固定时延的通路。Xilinx 公司的 XC7000 和 XC9500 系列, Lattice 公司的 ispLSI 系列, Altera 公司的 MAX9000 系列, 以及 AMD 公司的 MACH 系列都属于 CPLD。

现场可编程门阵列 FPGA 结构包含可编程逻辑块、可编程 I/O 模块和可编程内连线。可编程逻辑块排列成阵列, 可编程内连线围绕着阵列。通过对内连线编程, 将逻辑块有效地组合起来, 实现逻辑功能。FPGA 与 CPLD 之间主要的差别是 CPLD 修改具有固定内连电路的逻辑功能进行编程, 而 FPGA 则是通过修改内部连线进行编程。许多器件公司都有自己的 FPGA 产品。例如, Xilinx 公司的 Spartan 系列和 Virtex 系列, Altera 公司的 Stratix 系列和 Cyclone 系列, Actel 公司的 Axcelerator 系列等。

在这两类可编程逻辑器件中, FPGA 提供了最高的逻辑密度、最丰富的特性和最高的性能。而 CPLD 提供的逻辑资源相对较少, 但是其可预测性较好, 因此对于关键的控制应用 CPLD 较为理想。简单地说, FPGA 就是将 CPLD 的电路规模、功能、性能等方面强化之后的产物。FPGA 与 CPLD 的区别如表 1-2 所示。

表 1-2 FPGA 与 CPLD 的主要区别

项 目	CPLD	FPGA
组合逻辑的实现方法	乘积项 (product-term), 查找表 (Look up table, LUT)	查找表 (look up table, LUT)
编程元素	非易失性 (Flash, EEPROM)	易失性 (SRAM)
特点	非易失性, 立即上电, 上电后立即开始运行, 可在单芯片上运作	内建高性能硬件宏功能: PLL、存储器模块、DSP 模块、高集成度、高性能、需要外部配置 ROM
应用范围	偏向于简单的控制通道应用以及逻辑连接	偏向于较复杂且高速的控制通道应用以及数据处理
集成度	小至中规模	中至大规模

PLD 生产厂商众多, 有 Xilinx、Altera、Actel、Lattice、Atmel 等, 其中以 Xilinx 和 Altera 的产品较有代表性, 且占有了绝大部分的市场份额。不同公司的 PLD 产品结构不同, 且有高低端产品系列之分, 产品设计时可根据具体的需求来决定。

目前, 可编程逻辑器件产业正以惊人的速度发展, 可编程逻辑器件在逻辑器件市场的份额正在增长。高密度的 FPGA 和 CPLD 作为可编程逻辑器件的主流产品, 继续向着高密度、高速度、低电压、低功耗的方向发展, 并且 PLD 厂商开始注重在 PLD 上集成尽可能多的系统级功能, 使 PLD 真正成为片上系统 SoC (System On Chip), 用于解决更广泛的系统设计问题。

1.2 FPGA 芯片

1.2.1 FPGA 框架结构

尽管 FPGA、CPLD 和其他类型 PLD 的结构各有其特点和长处, 但概括起来, 它们是由三大部分组成的: ①可编程输入/输出模块 I/OB。位于芯片内部四周, 主要由逻辑门、

触发器和控制单元组成。在内部逻辑阵列与外部芯片封装引脚之间提供一个可编程接口。②可配置逻辑模块 CLB(Configurable Logic Block)。FPGA 的核心阵列,用于构造用户指定的逻辑功能,每个 CLB 主要由查找表 LUT(Look Up Table)、触发器、数据选择器和控制单元组成。③可编程内部连线 PI(Programmable Interconnect)。位于 CLB 之间,用于传递信息,编程后形成连线网络,提供 CLB 之间、CLB 与 I/OB 之间的连线。其结构框图如图 1-3 所示。

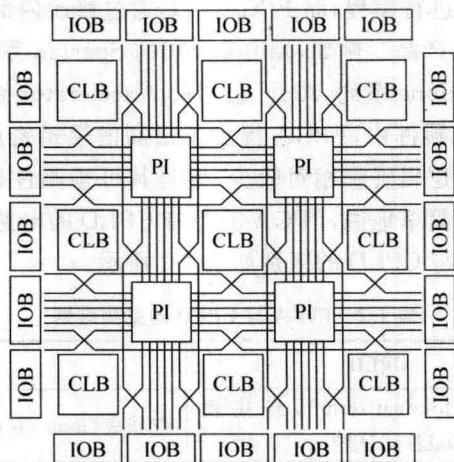


图 1-3 基体 FPGA 框图

由表 1-2 可知,FPGA 中组合逻辑的实现方法是基于查找表 LUT 构成的,即 CLB 中的查找表主要完成组合逻辑的功能。LUT 本质上就是一个 RAM。一个 n 输入查找表可以实现 n 个输入变量的任何组合逻辑功能,如 n 输入“与”、 n 输入“异或”等。一个 n 输入的组逻辑函数,其值有 2^n 个可能的结果,把这些可能的结果计算出来,并存放在 2^n 个 SRAM 单元中,而 n 个输入线作为 SRAM 的地址线,所以按地址可以输出对应单元的结果。输入大于 n 的组合逻辑必须分开用几个查找表 LUT 实现。目前 FPGA 中多使用 4 输入的 LUT,所以每一个 LUT 可以看成是一个有 4 位地址线的 16×1 的 RAM。当用户通过原理图或 HDL 语言描述了一个逻辑电路以后,FPGA 开发软件会自动计算逻辑电路所有可能的输出,并把输出结果事先写入 RAM,这样,每输入一个信号进行逻辑运算就等于输入一个地址进行查表,找出地址对应的内容,然后输出即可。

下面以一个 4 输入与门为例介绍其对应的 4 输入 LUT,如图 1-4 所示。由于 4 输入与门只有在 4 个输入信号 a、b、c、d 均为 1 的情况下,其输出才为 1,其余情况输出均为 0。因此其对应的 4 输入 LUT 内部的 RAM 中,只有地址为 1111 的单元才存逻辑值 1,其余地址单元:0000~1110 的存储内容均为 0。

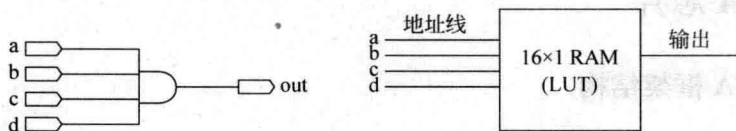


图 1-4 4 输入与门与 4 输入 LUT

以 Altera 的 FLEX/ACEX 芯片为例,结构如图 1-5 所示。其中四周为可编程的输入输出单元 IOE,灰色为可编程行/列连线,中间为可编程的逻辑阵列块 LAB,以及 RAM 块(图中未表示出)。在 FLEX/ACEX 中,一个 LAB 包括 8 个逻辑单元(LE),每个 LE 包括一个 LUT,一个触发器和相关逻辑。LE 是 Altera FPGA 实现逻辑的最基本结构。后期生产的高性能的 FPGA 芯片都是在此结构的基础上添加了其他的功能模块构成的,如 Cyclone II 系列中添加了嵌入式乘法器、锁相环等,如图 1-6 所示。LE 的结构基本相同,如图 1-7 所示,具体性能请参阅数据手册。

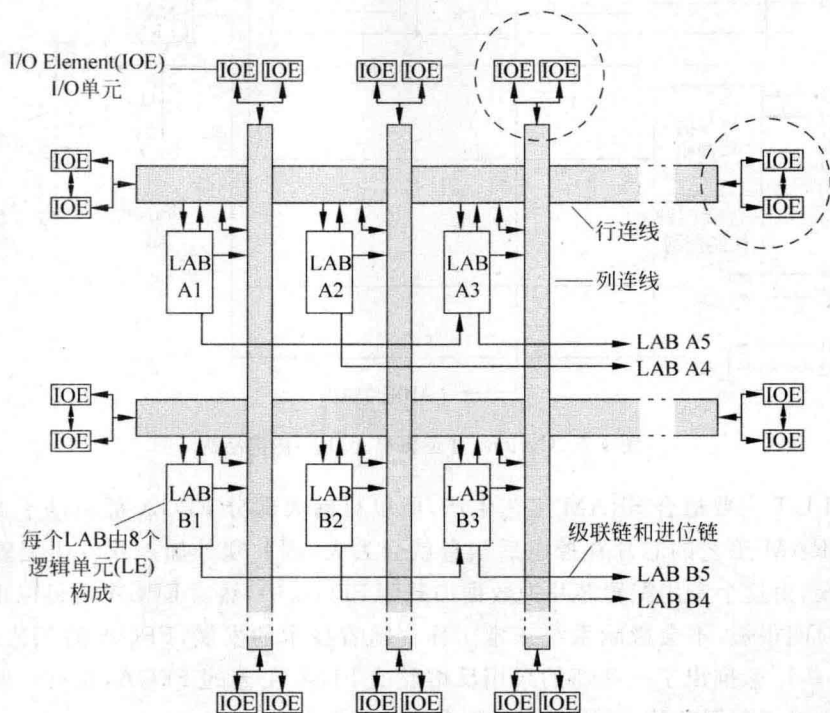


图 1-5 Altera FLEX/ACEX 芯片的内部结构

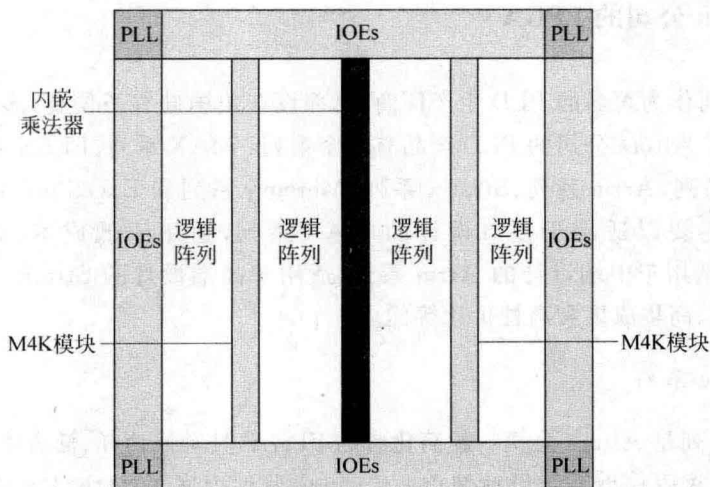


图 1-6 Altera Cyclone II 结构框图

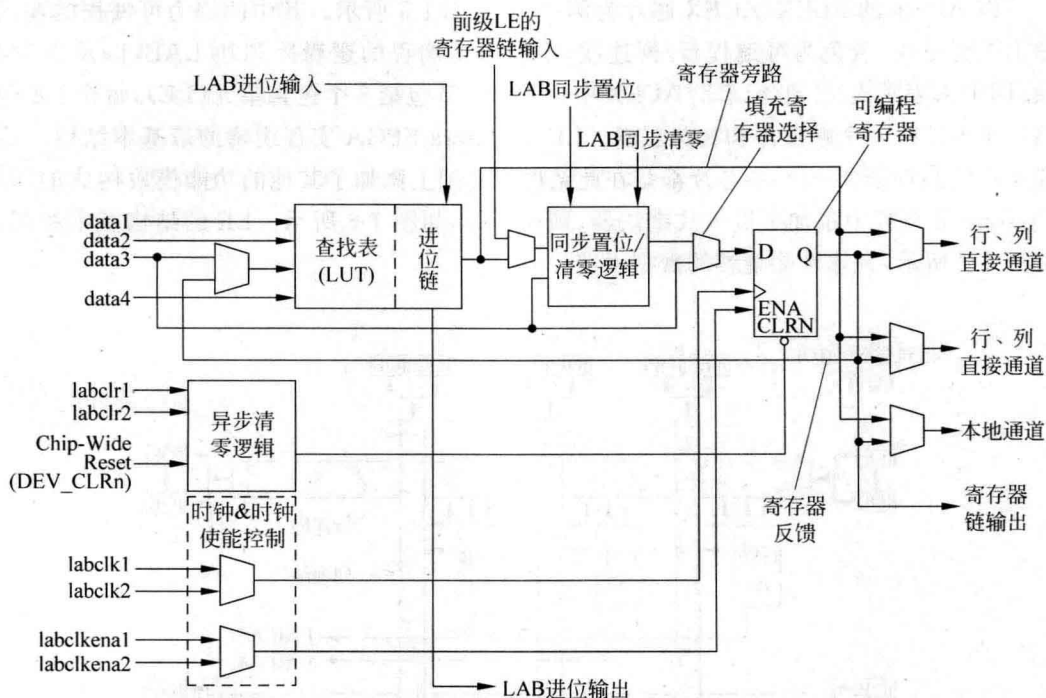


图 1-7 Cyclone II 逻辑单元(LE)内部结构

由于 LUT 主要适合 SRAM 工艺生产,所以目前大部分 FPGA 都是基于 SRAM 工艺的,而 SRAM 工艺的芯片在掉电后信息就会丢失,因此须外加一片专用配置芯片,在上电的时候,由这个专用配置芯片把数据加载到 FPGA 中,然后 FPGA 就可以正常工作,由于配置时间很短,不会影响系统正常工作。随着技术的发展,FPGA 的工艺也在不断地改进,一些厂家推出了一些新的采用反熔丝或 Flash 工艺的 FPGA,也有一些 FPGA,在其内部集成了配置芯片,就不需要外加专用的配置芯片。

1.2.2 Altera 公司的 FPGA

Altera 公司作为著名的 PLD 生产厂商,总部设在美国硅谷圣侯赛,多年来一直占据行业领先地位。Altera 公司的 PLD 产品有多个系列:MAX 系列、FLEX 系列、APEX 系列、ACEX1K 系列、Arria 系列、Stratix 系列、Mercury 系列和 Excalibur 系列、Hardcopy 系列等,目前主要以适用于接口设计的 MAX 系列,适用于低成本、大批量设计的 Cyclone 系列,适用于中端设计的 Arria 系列,适用于高端设计的 Stratix 等系列产品为主,具有高性能、高集成度和高性价比等优点。

1. Cyclone 系列

Cyclone 系列是 Altera 公司一款简化版的 FPGA,具有低功耗、低成本和相对高的集成度的特点,非常适宜小系统设计使用。Cyclone 器件内嵌了 M4K RAM 存储器,最多提供 294KB 存储容量,能够支持多种存储器的操作模式,如 RAM、ROM、FIFO 及单口和

双口等模式。Cyclone 器件支持各种单端 I/O 接口标准,如 3.3-V、2.5-V、1.8-V、LVTTL、LVCMOS、SSTL 和 PCI 标准。具有两个可编程锁相环 PLL,实现频率合成、可编程相移、可编程延迟和外部时钟输出等时钟管理功能。Cyclone 器件具有片内热插拔特性,这一特性在上电前和上电期间起到了保护器件的作用。Altera 的 Cyclone 系列产品如表 1-3 所示。

表 1-3 Altera 的 Cyclone 系列产品

项 目	Cyclone	Cyclone II	Cyclone III	Cyclone IV	Cyclone V
推出时间(年)	2002	2004	2007	2009	2011
工艺技术	130nm	90nm	65nm	60nm	28nm

其中,Cyclone(飓风)是 2002 年推出的中等规模 FPGA,130nm 工艺、1.5V 内核供电,与 Stratix 结构类似,是一种低成本 FPGA 系列。Cyclone II 是 Cyclone 的下一代产品,2004 年推出,90nm 工艺,1.2V 内核供电,性能和 Cyclone 相当,提供了硬件乘法器单元。Cyclone III FPGA 系列 2007 年推出,采用台积电(TSMC)65nm 低功耗工艺技术制造,以相当于 ASIC 的价格,实现了低功耗。Cyclone IV FPGA 系列 2009 年推出,60nm 工艺,面向低成本的大批量应用。Cyclone V FPGA 系列 2011 年推出,28nm 工艺,集成了丰富的硬核知识产权(IP)模块,便于以更低的系统总成本和更短的设计时间完成更多的工作。

我们以 Cyclone V FPGA 系列为例进行介绍,Cyclone V FPGA 包括了 6 个子系列型号的产品:Cyclone V E、Cyclone V GX、Cyclone V GT、Cyclone V SE、Cyclone V SX、Cyclone V ST,每个子系列又包括多个不同型号的产品。其中后 3 种子系列属于 SoC FPGA,其内部嵌入了基于 ARM®的硬核处理器系统 HPS。而 E、GX、GT 3 个子系列的区别在于 E 系列只提供逻辑,GX 额外提供 3.125-Gbps 收发器,GT 额外提供 5G 收发器,SE SoC FPGA、SX SoC FPGA 和 ST SoC FPGA 3 个子系列的区别除多了硬核处理器系统 HPS 之外,其余与 E、GX、GT 3 个子系列的区分相同。表 1-4 所示为 Cyclone V SE SoC FPGA 系列简介。

表 1-4 Cyclone V SE SoC FPGA 系列简介

器 件 资 源	型 号			
	5CSEA2	5CSEA4	5CSEA5	5CSEA6
LE	25 000	40 000	85 000	110 000
自适应逻辑模块(ALM)	9434	15 094	32 075	41 509
M10K 存储器模块	140	224	397	514
M10K 存储器(Kb)	1400	2240	3972	5140
存储器逻辑阵列模块 MLAB (Kb)	138	220	480	621
18 位×19 位乘法器	72	116	174	224
精度可调 DSP 模块(1)	36	58	87	112
FPGA PLL	4	5	6	6
HPS PLL	3	3	3	3

续表

器件资源	型 号			
	5CSEA2	5CSEA4	5CSEA5	5CSEA6
FPGA 用户 I/O 最大数量	124	124	288	288
HPS I/O 最大数量	188	188	188	188
FPGA 硬核存储器控制器	—	1	1	1
HPS 硬核存储器控制器	1	1	1	1
处理器内核(ARM CortexTM-A9 MPCoresTM)	一个或两个	一个或两个	一个或两个	一个或两个

注: DSP 模块包括 3 个 9×9 、2 个 18×19 和 1 个 27×27 乘法器。还支持其他模式。

不同型号的 FPGA 芯片,在不同的封装下,所提供给用户使用的可编程 I/O 口的数量也是不同的。表 1-5 所示为 Cyclone V SE SoC FPGA 器件封装和最大 I/O 用户数量。

表 1-5 Cyclone V SE SoC FPGA 器件封装和最大 I/O 用户数量

器件/封装 (mm×mm)	U484		U672		F896	
	0.8mm 19×19		0.8mm 23×23		1.0mm 31×31	
	FPGA I/O	HPS I/O	FPGA I/O	HPS I/O	FPGA I/O	HPS I/O
5CSEA2	66	161	124	188	—	—
5CSEA4	66	161	124	188	—	—
5CSEA5	66	161	124	188	288	188
5CSEA6	66	161	124	188	288	188

2. Stratix 系列

Stratix FPGA 属于 Altera 的高端 FPGA,适于功能丰富的宽带系统解决方案,具有高集成度和高性能的特点,Altera 的 Stratix 系列产品如表 1-6 所示。Stratix 系列产品除具有 Altera FPGA 芯片的一般特性外,还提供了专用功能用于时钟管理和数字信号处理(DSP)应用。采用全新的布线结构,在保证延时可预测的同时增加布线的灵活性;增加片内终端匹配电阻,提高信号完整性,具有增强时钟管理和锁相环能力。Stratix 器件还具有 True-LVDS 电路,支持 LVDS、LVPECL、PCML 和 HyperTransportTM 差分 I/O 电气标准及高速通信接口,包括 10G 以太网 XSBI、SFI-4、POS-PHY Level 4 (SPI-4 Phase 2)、HyperTransport、RapidIOTM 和 UTOPIA IV 标准。此外,Stratix 器件还具有片内匹配和远程系统更新能力。

表 1-6 Altera 的 Stratix 系列产品

项 目	Stratix	Stratix GX	Stratix II	Stratix II GX	Stratix III	Stratix IV	Stratix V	Stratix 10
推出时间(年)	2002	2003	2004	2005	2006	2008	2010	2013
工艺技术	130nm	130nm	90nm	90nm	65nm	40nm	28nm	14nm