

F P G A 应 用 技 术 丛 书

Altera系列 FPGA芯片IP核详解

刘东华 编著



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

FPGA 应用技术丛书

Altera 系列 FPGA 芯片 IP 核详解

刘东华 编著

電子工業出版社
Publishing House of Electronics Industry
北京 · BEIJING

内 容 简 介

Altera IP核是面向Altera可编程逻辑门阵列(FPGA)芯片优化的、实现电子设计中常用功能的封装模块。本书以Altera公司的Arria、HardCopy、Cyclone和Stratix系列FPGA芯片为基础,详细介绍各类IP核的特点、接口信号以及功能描述,并对部分IP核的信号时序进行分析。

全书共分9章,首先介绍在Quartus II软件中生成和使用Altera IP核方法,然后按照IP核的功能分类详细介绍用于数学运算、数据存储、数字信号处理(DSP)、通信和网络、图像处理、输入/输出、通信接口以及FPGA调试验证的Altera IP核。

本书内容丰富翔实,对部分IP核还给出了功能原理解释和仿真结果,便于读者更好地理解和应用。

本书可作为高等学校和科研院所FPGA开发人员的参考工具书或速查手册。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

Altera 系列 FPGA 芯片 IP 核详解/刘东华编著. —北京:电子工业出版社,2014.1

(FPGA 应用技术丛书)

ISBN 978-7-121-21876-7

I. ①A… II. ①刘… III. ①可程序逻辑器件 IV. ①TP332.1

中国版本图书馆 CIP 数据核字(2013)第 270146 号

责任编辑:田宏峰 特约编辑:牛雪峰

印 刷:三河市鑫金马印装有限公司

装 订:三河市鑫金马印装有限公司

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本:787×1 092 1/16 印张:39.5 字数:1000 千字

印 次:2014 年 1 月第 1 次印刷

印 数:4 000 册 定价:79.00 元



凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010) 88254888。

质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010) 88258888。

前 言

随着集成电路技术的快速发展,可编程逻辑门阵列(FPGA)芯片的集成度不断提高,同时因其功能强大、开发周期短、可反复修改、保密性好以及开发工具智能化等特点,已经成为当前硬件设计的主要处理芯片。FPGA 作为专用集成电路(ASIC)领域中的一种半定制电路,既解决了定制电路的不足,又克服了原有可编程器件门电路数有限的缺点,大大加快了电子产品的研发周期和产品多样性进程,应用非常广泛。

Altera 公司(<http://www.altera.com>)是 FPGA 的主要生产厂商之一,其 Stratix、Cyclone 等系列 FPGA 芯片广泛应用于通信、数据处理、网络、仪器、工业控制、图像处理等众多领域。为方便 FPGA 开发,缩短开发周期和节省开发成本,Altera 及其合作方提供了实现一些通用功能的 IP 核,包括固化在芯片内的硬 IP 核和可编程调用的软 IP 核。Altera 在其开发集成环境 Quartus II 软件中提供了 IP 核的实例化和调用功能。本书重点介绍 Altera 系列 FPGA 芯片支持的 IP 核的功能、特点、接口及原理描述,并给出在 FPGA 开发过程中 IP 核的参数设置方法。

本书共分 9 章,各章内容编排如下:

第 1 章具体介绍 Altera IP 核的生成工具 MegaWizard 插件管理器和 SOPC 构造器的使用方法以及在 Quartus II 软件中创建、添加、例化和引用 IP 核的方法。

第 2 章介绍门级运算、整数和浮点数学 IP 核。这些 IP 核可以实现常用的逻辑运算、数学运算和矩阵运算等功能。本章给出了每个 IP 核的接口声明和部分功能仿真结果。

第 3 章主要介绍实现各类存储器的 IP 核,包括 LPM 移位寄存器、触发器和锁存器、ROM/RAM 编译器及 RAM 初始化器 IP 核、FIFO(包括 FIFO 分割器)IP 核以及 Flash 存储器 IP 核。

第 4 章重点介绍数字信号处理中常用的 IP 核,包括 FIR 编译器、CIC 编译器、NCO 编译器和 FFT IP 核,本章给出了对每个 IP 核的详细功能描述和信号时序分析。

第 5 章介绍通信和网络应用 IP 核,包括 RS 码编译码器和 Viterbi 译码器等信道纠错码 IP 核、循环冗余校验码(CRC)编译器、串行通信常用的 8B/10B 编译码器以及 SONET/SDH 物理层 IP 核。

第 6 章在介绍 Altera Avalon-ST 和 Avalon-MM 标准接口协议和视频数据/控制包结构的基础上,给出了在图像和视频处理系统中常用的输入/输出、滤波器、裁剪器、同步器、缓存器、缩放器、切换器、扫描器、颜色校正器、混合器等功能 IP 核以及视频监视器和跟踪系统等系统级应用 IP 核。

第 7 章介绍输入和输出控制 IP 核,包括时钟控制器、锁相环(PLL)、低电压差分信号(LVDS)收发器、双数据速率(DDR)I/O、访问外部存储器的 DQ-DQS I/O、I/O 缓存器等 IP 核。

第 8 章重点分析 Altera 的硬件接口 IP 核。详细介绍了实现通用工业标准总线的 PCI/PCI Express 编译器、RapidIO IP 核、用于数字电视信号传输的 SDI 接口 IP 核以及用于网络通信的 10/100/1 000 Mbps 以太网 MAC 层 IP 核。

第9章主要介绍在 Altera FPGA 调试过程中使用的系统内调试验证工具及设计调试的步骤和方法。包括 SignalTap II 逻辑分析仪、虚拟 JTAG、系统内的源和探测器以及 Flash 编程和 FPGA 配置加载器等。

本书详尽介绍了 Altera 公司各系列 FPGA 芯片支持的多类 IP 核,编写过程中参考了 Altera 公司官方网站 (<http://www.altera.com>) 提供的大量英文资料以及集成开发环境 Quartus II 软件中提供的 IP 核数据手册和帮助文档。

参与本书编写工作的还有梁光明、向良军、胡耀华、刘祎斌、吕文龙、刘军发、熬宇、王月磊、蔺吉顺、马新军、刘丽华、张绘国。

还要感谢电子工业出版社和本书的责任编辑田宏峰老师,在田老师的大力支持和帮助下本书才得以与广大读者见面。

由于作者水平有限,错误、遗漏之处在所难免,恳请各位读者批评指正。同时也欢迎大家就 FPGA 开发相关技术与作者交流,联系邮箱:ldh_1976@163.com。

刘东华

2013 年 10 月

目 录 Contents

第 1 章	Altera IP 核的生成和使用	1
1.1	概述	1
1.2	MegaWizard 插件管理器	2
1.3	SOPC 构造器	9
1.4	基于 Quartus II 软件的 IP 核操作	12
1.4.1	创建工程	12
1.4.2	定制和向 Quartus II 工程中添加 IP 核	14
1.4.3	IP 核的引用	14
第 2 章	数学运算 IP 核	17
2.1	LPM 类整数运算 IP 核	18
2.1.1	LPM_ADD_SUB	18
2.1.2	LPM_COMPARE	20
2.1.3	LPM_COUNTER	22
2.1.4	LPM_DIVIDE	24
2.1.5	LPM_MULT	26
2.1.6	LPM_ABS	29
2.2	ALT 类整数运算 IP 核	30
2.2.1	ALTACCUMULATE	30
2.2.2	ALTECC	32
2.2.3	ALTERA_MULT_ADD	36
2.2.4	ALTMEMMULT	46
2.2.5	ALTMULT_COMPLEX	48
2.2.6	ALTSQRT	50
2.2.7	PARALLEL_ADD	52
2.3	浮点数运算 IP 核	54
2.3.1	概述	54
2.3.2	ALTFP_ADD_SUB	55
2.3.3	ALTFP_DIV	57
2.3.4	ALTFP_MULT	59
2.3.5	ALTFP_SQRT	60

2.3.6	ALTFP_EXP	62
2.3.7	ALTFP_INV	63
2.3.8	ALTFP_INV_SQRT	64
2.3.9	ALTFP_LOG	65
2.3.10	ALTFP_ABS	66
2.3.11	ALTFP_COMPARE	67
2.3.12	ALTFP_CONVERT	68
2.3.13	ALTFP_MATRIX_INV	71
2.3.14	ALTFP_MATRIX_MULT	74
2.4	逻辑运算 IP 核	79
2.4.1	与、或、非和异或	80
2.4.2	LPM_CONSTANT	82
2.4.3	LPM_BUSTRI	83
2.4.4	LPM_MUX	84
2.4.5	LPM_DECODE	85
2.4.6	LPM_CLSHIFT	87
第 3 章	存储器 IP 核	89
3.1	LPM 类存储器 IP 核	89
3.1.1	LPM_SHIFTREG	89
3.1.2	LPM_FF	92
3.1.3	LPM_LATCH	93
3.2	ROM 和 RAM IP 核	95
3.2.1	ROM 和 RAM	95
3.2.2	RAM 初始化器	111
3.2.3	基于 RAM 的移位寄存器	114
3.3	FIFO	116
3.3.1	FIFO	116
3.3.2	FIFO 分割器	125
3.4	Flash 存储器 IP 核	131
第 4 章	数字信号处理 IP 核	139
4.1	FIR 编译器	139
4.2	CIC	157
4.3	NCO	164
4.4	FFT	172
第 5 章	数字通信 IP 核	187
5.1	RS 码编译器	187
5.2	Viterbi 编译器	193
5.3	CRC 编译器	202

5.4	8B/10B 编译码器	207
5.5	POS-PHY Level 4	213
第 6 章	视频和图像处理 IP 核	244
6.1	接口	244
6.2	滤波器	251
6.2.1	2D FIR 滤波器	251
6.2.2	2D 中值滤波器	254
6.3	α 混合器	255
6.4	Avalon-ST 视频监视器	258
6.5	色度重采样器	261
6.6	裁剪器	264
6.7	时钟驱动的视频输入和输出	265
6.7.1	时钟驱动的视频输入	265
6.7.2	时钟驱动的视频输出	272
6.8	颜色面板序列器	280
6.9	颜色空间转换器	283
6.10	控制同步器	286
6.11	帧读取器	290
6.12	帧缓存器	293
6.13	γ 校正器	298
6.14	隔行扫描器	299
6.15	去隔行扫描器	301
6.15.1	去隔行扫描器	301
6.15.2	去隔行扫描器 II	309
6.16	缩放器	313
6.16.1	缩放器	313
6.16.2	缩放器 II	319
6.17	切换器	322
6.18	测试模板生成器	325
6.19	跟踪系统	328
第 7 章	输入/输出 IP 核	330
7.1	时钟控制块 IP 核	330
7.2	锁相环 (PLL) IP 核	334
7.3	LVDS 收发器 IP 核	344
7.4	双数据速率 I/O IP 核	356
7.5	ALTDLL 和 ALTDQ_DQS IP 核	365
7.6	I/O 缓存 IP 核	386
第 8 章	接口 IP 核	398
8.1	ASI	398

8.2	10/100/1 000 Mbps 以太网 IP 核	402
8.3	DDR 和 DDR2 SDRAM 控制器	433
8.4	DDR 和 DDR2 SDRAM HPC 和 ALTMEMPHY IP 核	444
8.5	PCI 编译器	466
8.6	PCI Express 编译器	495
8.7	RapidIO IP 核	517
8.8	SDI IP 核	546
第 9 章	FPGA 调试 IP 核	556
9.1	SignalTap II 逻辑分析仪	556
9.2	系统内的源和探测器 (ISSP)	576
9.3	虚拟 JTAG	583
9.4	串行 Flash 加载器	598
9.5	并行 Flash 加载器	606
参考文献		622

第1章 Altera IP 核的生成和使用

1.1 概述

Altera IP 核是指 Altera 及其合作公司提供的、针对其 FPGA 芯片结构进行了优化的逻辑功能块。在 FPGA 设计开发过程中使用 IP 核代替用户自己设计的逻辑,可以大大缩短开发周期,提供更加有效的逻辑综合和实现。使用高度优化的 IP 核有助于加速开发进程,降低开发成本。

从复杂性的角度看,支持 Altera 系列 FPGA 的 IP 核既包括诸如逻辑和算术运算等简单的 IP 核,也包括诸如数字信号处理器、以太网 MAC、PCI/PCI Express 接口等比较复杂的系统级构造模块。按其功能划分,Altera IP 核主要有以下几类。

(1) 逻辑运算 IP 核。包括与、或、非、异或等基本逻辑运算单元和复用器、循环移位器、三态缓冲器和解码器等相对复杂的逻辑运算模块。

(2) 数学运算 IP 核。Altera 的数学运算 IP 核分为整数运算和浮点运算两大类。

① 整数运算 IP 核。包括 LPM 库(参数化模型 IP 库)提供的 IP 核和 Altera 指定功能的 IP 核。LPM 库中的 IP 核有加/减法器、乘法器、除法器、比较器、计数器和绝对值计算器;Altera 指定功能的 IP 核包括累加器、ECC 编码器/解码器、乘加器、基于存储的常数乘法器、乘累加器、乘加器、复数乘法器和整数平方根计算器等。

② 浮点运算 IP 核包括浮点加/减法器、浮点乘法器、浮点除法器、浮点数平方根计算器、浮点指数计算器、浮点倒数计算器、浮点数平方根倒数计算器、浮点数自然对数计算器、浮点数正弦/余弦计算器和反正切计数器、浮点数矩阵求逆和乘法器以及浮点数绝对值计算器、比较器和转换器等。

(3) 存储器类 IP 核。包括移位寄存器、触发器、锁存器等简单的存储器 IP 核和较为复杂的 ROM、RAM、FIFO 和 Flash 存储器等模块。另外,Altera 还提供了包括 RAM 初始化和针对部分 FPGA 系列应用的 FIFO 分割器等辅助存储器设计 IP 核。

(4) 数字信号处理 IP 核。包括有限冲激响应滤波器(FIR)编译器、级联积分梳状(CIC)滤波器编译器、数控振荡器(NCO)编译器以及快速傅里叶变换(FFT)等 IP 核,用于数字信号系统设计。

(5) 数字通信 IP 核。包括 RS 码编译器、用于卷积码译码的 Viterbi 译码器、循环冗余校验(CRC)编译器、8B/10B 编/译码器以及 SONET/SDH 物理层 IP 核等。

(6) 图像处理 IP 核。主要是实现视频和图像处理系统中常用功能的 IP 核,具体有 2D FIR 滤波器和 2D 中值滤波器、 α 混合器、视频监视器、色度重采样器、图像裁剪器、视频输入和输出模块、颜色面板序列器、颜色空间转换器、同步器、视频帧读取和缓存器、 γ 校正器、隔行扫描和去隔行扫描器、缩放器、切换器、测试模板生成器和视频跟踪系统模块。

(7) 输入/输出 IP 核。主要包括时钟控制器、锁相环(PLL)、低电压差分信号(LVDS)收发器、双数据速率(DDR) I/O、访问外部存储器的 DQ-DQS I/O、I/O 缓存器等。

(8) 芯片接口 IP 核。包括用于数字视频广播(DVB)的异步串行接口(ASI)、10/100/1 000 Mbps 以太网接口、DDR 和 DDR2 SDRAM 控制器、存储器物理层访问接口、PCI/PCI Express 编译器、RapidIO 和用于数字电视信号传输的串行数字接口(SDI)等。

(9) 设计调试 IP 核。包括提供设计调试功能的 SignalTap 逻辑分析仪、串行和并行 Flash 加载器、系统内的源和探测模块以及虚拟 JTAG 等。

(10) 其他 IP 核。还有一些针对部分 Altera 系列 FPGA 应用的专用 IP 核，这里不再一一列举。上述 IP 核主要应用于 Altera 的 Arria、Cyclone、HardCopy 和 Stratix 系列 FPGA 芯片。

本书将重点介绍上述所列 IP 核的功能特点和接口信号，并详细说明各 IP 核的功能。对于部分 IP 核，还给出模块原型和信号时序关系图供读者参考。

IP 核可以通过 Quartus II 软件集成的 MegaWizard 插件管理器、SOPC 构造器或 DSP 构造器、Qsys 设计系统例化，后两者仅支持部分 IP 核的例化和使用，非 Altera 的第三方 IP 核以网表文件方式提供。本章主要介绍在 MegaWizard 插件管理器和 SOPC 构造器中定制和例化 Altera IP 核的方法。

➔ 1.2 MegaWizard 插件管理器

MegaWizard 插件管理器可以用于创建和修改包含定制 IP 核的设计文件，然后在设计文件中例化 IP 核。在 MegaWizard 插件管理器中可以创建、定制和例化 Altera IP 核、参数化模型库 (LPM) 模块以及在 Quartus II 软件、EDA 设计入口和综合工具使用的 IP 核。

MegaWizard 插件管理器自动生成可以在 VHDL 设计文件 (.vhd) 中使用的组件声明文件 (.cmp) 以及可以在文本设计文件 (.tdf) 和 Verilog 设计文件 (.v) 中使用的 AHDL 包含文件 (.inc)。还为 AHDL 设计、VHDL 设计和 Verilog HDL 设计生成后缀名分别为 _inst.tdf、_inst.vhd 和 _inst.v 的例化模板文件。此外，MegaWizard 插件管理器还为 Verilog HDL 设计创建例化声明文件，文件后缀为 _bb.v。例化文件包含定制 IP 核的模型和端口声明。

使用 MegaWizard 插件管理器可以指定 IP 核的不同选项，包括设置参数值和选择可选端口，还可以为第三方综合工具生成网表文件。

1. 启动 MegaWizard 插件管理器

可以用如下方式之一启动 MegaWizard 插件管理器。

(1) 在 Quartus II 软件的主界面上启动。单击“Tool”下拉菜单中的“MegaWizard Plug-In Manager”，如图 1.2.1 所示。

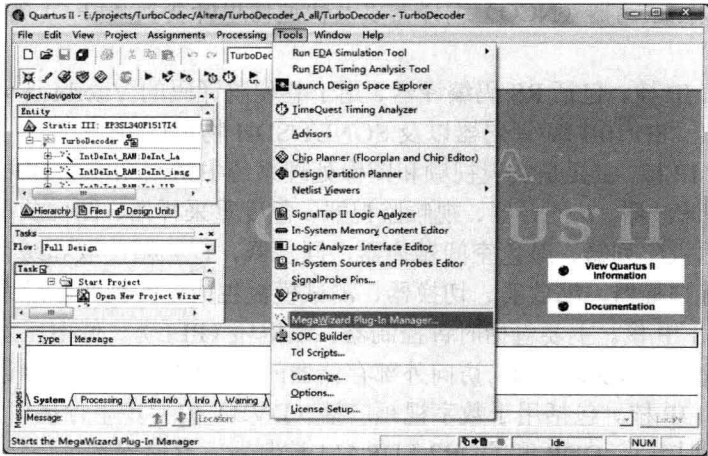
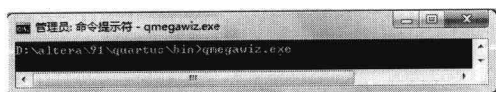


图 1.2.1 在 Quartus II 软件中启动 MegaWizard 插件管理器

(2) 使用 DOS 命令行单独启动 MegaWizard 插件管理器。假设 Quartus II 集成开发软件安装在 D 盘根目录, 则可以单击“D:\altera\91\quartus\bin\”目录下(假设 Quartus II 软件的版本为 9.1)的“qmegawiz.exe”或“qmegawizq.exe”可执行程序或者通过命令行启动 MegaWizard 插件管理器, 如图 1.2.2 所示。



(3) 在 Quartus II 软件创建的包含有 IP 核实例的工程文件中, 在“Project Navigator”子窗口的“Hierarchy”标签页中鼠标右键单击例化 IP 核的文件名并选择“MegaWizard Plug-In Manager”, 即可启动 MegaWizard 插件管理器, 如图 1.2.3 所示。

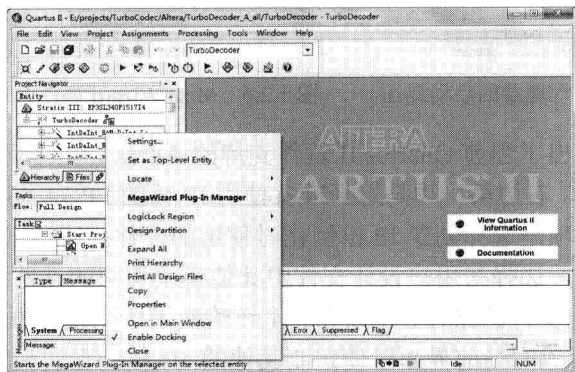


图 1.2.3 在已有工程中启动 MegaWizard 插件管理器

(4) 在 Quartus II 软件的模块编辑器中, 通过单击“Edit”下拉菜单中的“Insert Symbol as Block”弹出 Symbol 编辑窗口, 在该窗口中单击“MegaWizard Plug-In Manager”按钮, 即可启动 MegaWizard 插件管理器, 如图 1.2.4 所示。

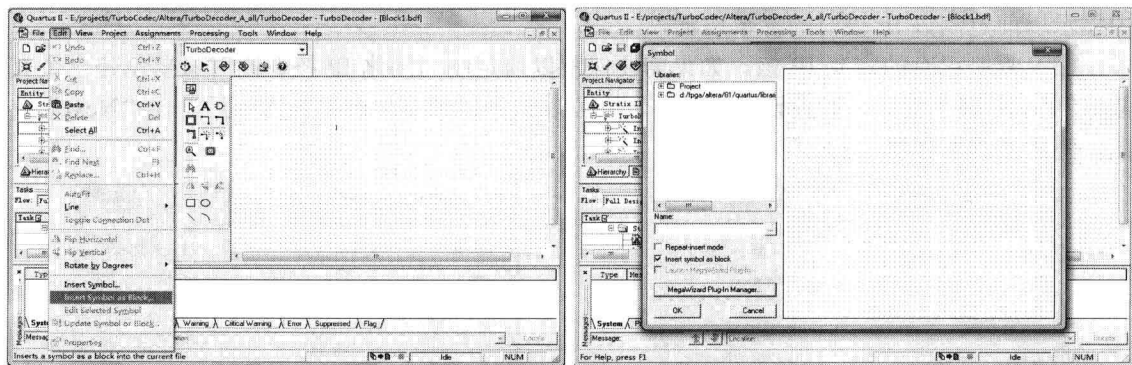


图 1.2.4 在模块编辑器中启动 MegaWizard 插件管理器

2. 定制 IP 核

启动 MegaWizard 插件管理器后, 弹出的第一个界面如图 1.2.5 所示。

在该界面中提供 3 个选项, 分别是: 创建新的定制 IP 核、编辑已有的定制 IP 核、复制已有的定制 IP 核。

(1) 创建新的定制 IP 核。选择该选项后单击“Next”按钮, 弹出的界面如图 1.2.6 所示。

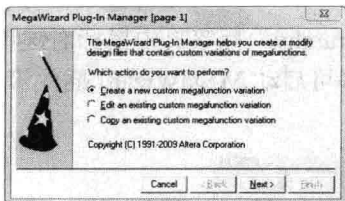


图 1.2.5 MegaWizard 插件管理器的启动界面

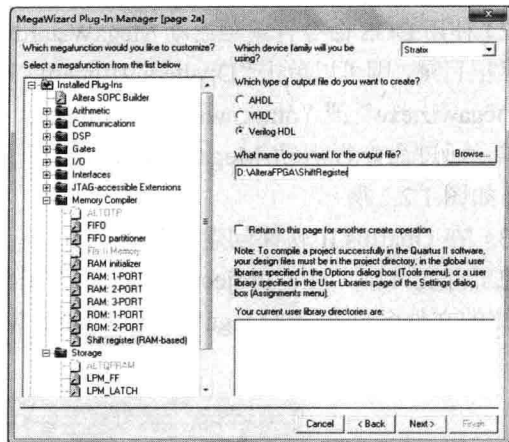


图 1.2.6 MegaWizard 插件管理器的参数设置界面

在该界面中左侧给出了当前 Quartus II 软件支持的 Altera IP 核类别和具体的 IP 核名称，可以根据需要进行选择。右边第一项是选择准备使用 IP 核的 FPGA 芯片系列，可以通过下拉列表进行选择。下面一项是选择创建 IP 核例化时使用的硬件描述语言，可选项包括 AHDL、VHDL 和 Verilog HDL，选择与用户设计文件中其他模块相同的硬件描述语言。再下面一项是指定例化 IP 核时输出文件的路径。在该界面上还给出了一个复选框，用于选择是否在当前 IP 核定制和例化完成后返回当前界面以便定制其他的 IP 核。右边最下方的文本框用于显示当前使用的 IP 核库文件路径。

(2) 编辑已有的定制 IP 核。如果需要编辑和修改以前定制和例化的 IP 核，则可以选择该选项。选中该选项后单击“Next”按钮，弹出的界面如图 1.2.7 所示。

在该界面中可以选择想要重新编辑或修改定制参数的 IP 核对应的设计文件 (*.tdf, *.vhd, *.vhdl 或 *.v)，选择后单击“Next”按钮即可进入定制 IP 核的界面，在后续界面中显示以前定制该 IP 核时的参数设置。

(3) 复制已有的定制 IP 核。如果需要保留以前定制的例化 IP 核、同时又要创建一个类似的例化 IP 核（例如，参数设置不同），则可以选择该选项。选中该选项后单击“Next”按钮，弹出的界面如图 1.2.8 所示。



图 1.2.7 编辑已有 IP 核的 MegaWizard 插件管理器界面

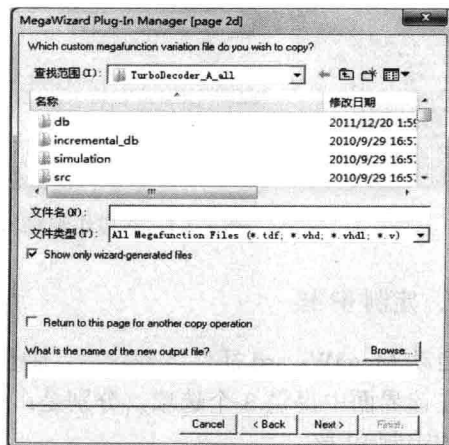


图 1.2.8 复制已有 IP 核的 MegaWizard 插件管理器界面

在该界面中可以选择想要复制的 IP 核对应的设计文件 (*.tdf,*.vhd,*.vhdl 或 *.v)，选择后单击“Next”按钮即可进入定制 IP 核的界面，在后续界面中显示以前定制该 IP 核时的参数设置，修改完成并保存后得到另外一个例化的 IP 核。

3. 编辑 IP 核的参数和例化 IP 核

下面以创建和例化简单的移位寄存器为例来说明 IP 核的参数编辑方法。

在启动 MegaWizard 后，在图 1.2.5 所示界面上选择第 1 个选项：创建新的 IP 核，单击“Next”按钮后进入图 1.2.6 所示界面。在该界面上选择“Memory Compiler”组中的“Shift Register (RAM-based)”，通过例化该 IP 核实现移位存储器。同时在该页面上指定使用的 FPGA 芯片系列、创建的输出文件类型以及输出文件名。单击“Next”按钮，出现如图 1.2.9 所示界面的 IP 核参数设置界面。

在该界面上可以指定移位寄存器的设计参数，例如输入总线和输出总线的位宽、抽头数设置、可选端口的选择等。

在该页面上还给出了链接到帮助文件（技术手册或参考文档）本机存储路径或网址的按钮（“Document”按钮）以及 IP 核的接口示意图和实现该 IP 核占用的资源估计。IP 核模块的接口示意图和资源估计值随着参数选择的不同而实时变化，以辅助用户进行参数设置。对于较为复杂的 IP 核，参数设置界面可能有多页。

完成上述设置后单击“Next”按钮，出现 EDA 设置界面，如图 1.2.10 所示。

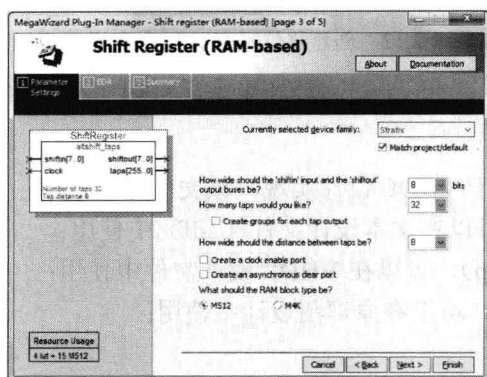


图 1.2.9 创建移位寄存器 IP 核的参数设置界面

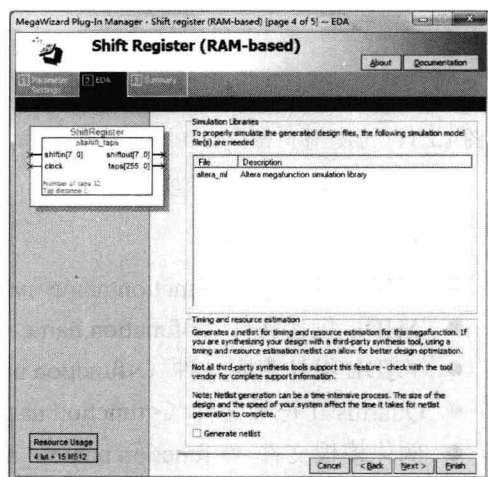


图 1.2.10 创建移位寄存器 IP 核的 EDA 设置界面

该界面主要列出正常仿真该 IP 核所需要生成的设计文件。另外，在该页面还给出是否选择生成网表文件的选项，如果使用第三方综合工具，需要选中该选项。

完成设置后，单击“Next”按钮，进入如图 1.2.11 所示界面。

该页面显示生成的文件类型。这些文件是根据在图 1.2.6 所示界面中选择的硬件描述语言自动生成的封装代码（该例中选择 Verilog HDL 硬件描述语言）。可以从如下文件类型中进行选择：

- Verilog HDL 源文件 (<function name>.v)，对于 Verilog HDL 实现，该文件是必选的；
- AHDL 包含文件 (<function name>.inc)，可以在文本设计文件 (.tdf) 中使用；

- VHDL 组件声明文件 (<function name>.cmp), 可以在 VHDL 设计文件中使用;
- Quartus II 符号文件 (<function name>.bsf), 可以在原理图设计中使用;
- 例化模板文件 (<function name>_inst.v);
- Verilog HDL 黑盒文件 (<function name>_bb.v);
- 综合面积和时序估计网表 (<function name>_syn.v), 如果在图 1.2.10 所示界面中选择了“Generate netlist”选项, 则在列表中出现该文件且是必选的。

还可以用 VHDL 码或原理图设计来例化 IP 核。如果在图 1.2.6 所示界面中选择的是 VHDL 硬件描述语言), 则最后的配置界面如图 1.2.12 所示。

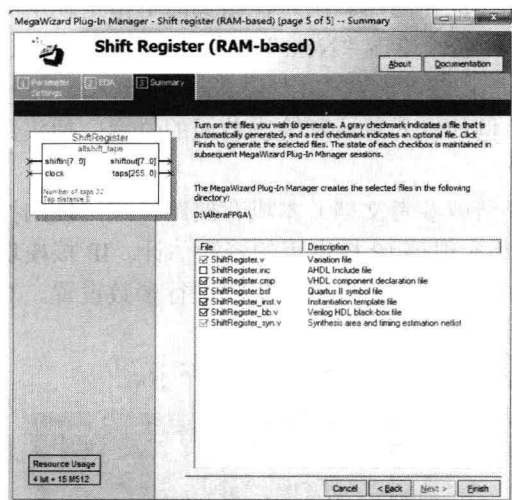


图 1.2.11 创建移位寄存器 IP 核的总结界面
(Verilog HDL 语言实现)

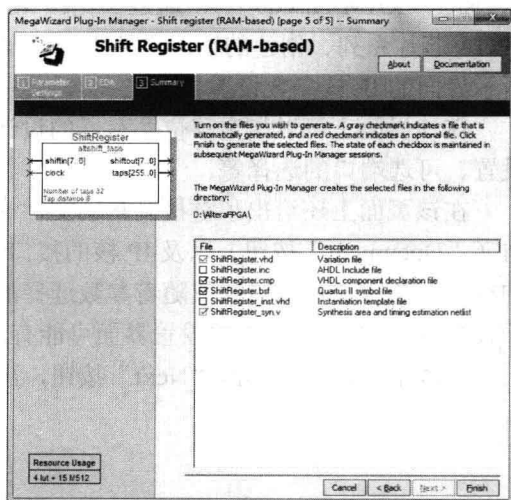


图 1.2.12 创建移位寄存器 IP 核的总结界面
(VHDL 语言实现)

可以生成的文件包括:

- VHDL 源文件 (<function name>.vhd), 对于 VHDL 设计实现, 该文件是必选的;
- AHDL 包含文件 (<function name>.inc), 可以在文本设计文件 (.tdf) 中使用;
- VHDL 组件声明文件 (<function name>.cmp), 可以在 VHDL 设计文件中使用;
- Quartus II 符号文件 (<function name>.bsf), 可以在原理图设计中使用;
- 例化模板文件 (<function name>_inst.v);
- Verilog HDL 黑盒文件 (<function name>_bb.v), 可以给第三方综合工具使用;
- 综合面积和时序估计网表 (<function name>_syn.v), 如果在图 1.2.10 所示界面中选择了“Generate netlist”选项, 则在列表中出现该文件且是必选的。

完成上述选择后, 单击“Finish”按钮, 即可完成 IP 核的定制和例化。

如果使用第三方 EDA 综合工具, 则可以将 IP 核文件作为“黑盒”例化。使用 VHDL 组件声明文件或 Verilog 模块声明文件在综合工具中定义功能, 然后将这些文件添加到 Quartus II 工程中。

如上所述, 如果选择生成综合网表, 则 MegaWizard 插件管理器生成网表文件 (*_syn.v), 网表文件是 Quartus II 软件使用的定制逻辑表示。该文件提供了结构单元的连接关系但并不代表实际的功能。这些信息使得第三方综合工具能够更好地确定芯片面积和时序估计。此外, 综合工具可以用该时序信息进行时序驱动优化并改善综合结果。

对于较为复杂的 IP 核，MegaWizard 提供了 IP 工具平台（IP Toolbench）用于 IP 核的参数设置和例化。下面以创建 FFT IP 核为例进行说明。

类似地，在图 1.2.6 所示界面中选择“DSP”组中“Transforms”子组中的“FFT vx.x”，例化 FFT IP 核。同时在该页面上指定使用的 FPGA 芯片系列、创建的输出文件类型以及输出文件名。单击“Next”按钮，出现如图 1.2.13 所示的 IP 核配置主界面。

各按钮功能说明如下。

(1) IP 核的基本信息。在图 1.2.13 所示界面上单击“About this Core”按钮，显示该 IP 核的基本信息，如图 1.2.14 所示。



图 1.2.13 IP 工具平台主界面

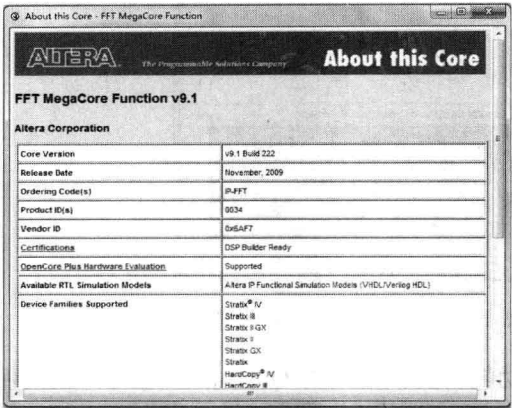


图 1.2.14 IP 核基本信息显示界面

这里显示的信息包括 IP 核的版本号、发布日期、订购码、产品 ID、厂商 ID、支持的验证方式、可用的 RTL 仿真模型、支持的 FPGA 系列以及厂商的联系信息等。

(2) 技术手册或帮助文档。在图 1.2.13 所示界面上单击“Document”按钮，显示该 IP 核的技术手册和帮助文档链接，如图 1.2.15 所示。

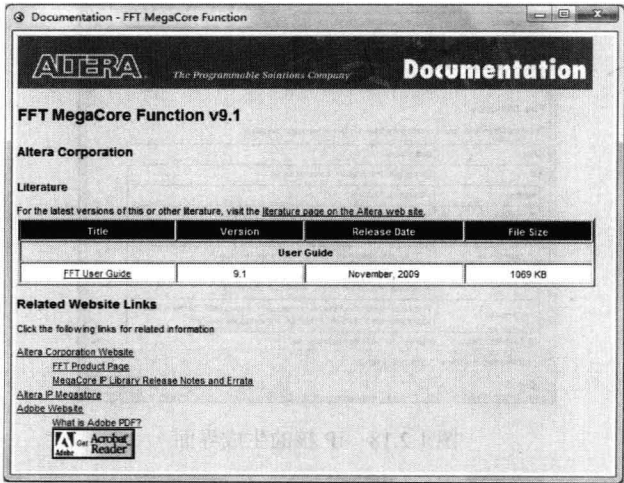


图 1.2.15 IP 核的技术手册和帮助文档链接界面

(3) 参数设置。在图 1.2.13 所示界面上单击“Step1: Parameterize”按钮，显示该 IP 核的参数设置界面，如图 1.2.16 所示。

对于 FFT IP 核，参数设置界面中包含 3 个标签页，分别用于 FFT 的参数、结构和实现选项的设置。设置完成后单击“Finish”按钮，完成参数设置。

(4) 建立仿真。在图 1.2.13 所示界面上单击“Step2: Set Up Simulation”按钮，显示该 IP 核的仿真设置界面，如图 1.2.17 所示。

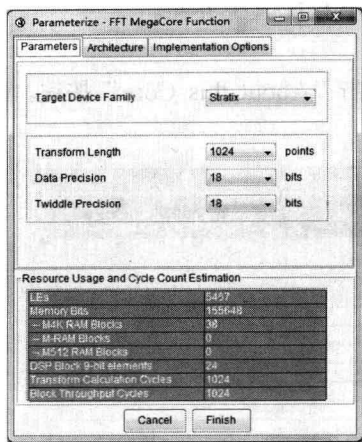


图 1.2.16 IP 核的参数设置界面

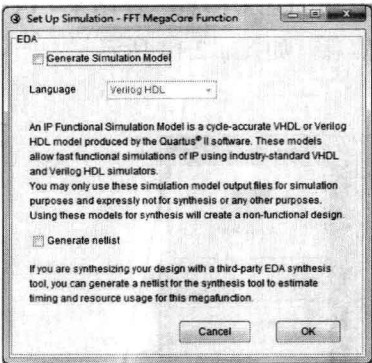


图 1.2.17 IP 核的仿真设置界面

IP 核功能仿真模型是由 Quartus II 软件产生的精确到单个时钟周期的 VHDL 或 Verilog HDL 模型，可以用符合工业标准的 VHDL 和 Verilog HDL 仿真器进行快速功能仿真。在该界面中可以选择仿真语言和是否生成支持第三方综合工具的网表。

(5) 生成例化 IP 核的设计文件。在图 1.2.13 所示界面上单击“Step3: Generate”按钮，出现如图 1.2.18 所示界面。



图 1.2.18 IP 核的生成界面

该界面主要显示生成过程和状态报告。

表 1-2-1 给出了生成的文件及简要说明。这些文件在存放 IP 核例化文件输出路径。IP 工具平台指定的文件名和类型与设计时选择的硬件描述语言是 VHDL 还是 Verilog HDL 有关，而且与具体的 IP 核功能有关。