



全国计算机技术与软件专业技术资格（水平）考试参考用书

网络工程师考试冲刺 (习题与解答)

张友生 王军 主编

全国计算机专业技术资格考试办公室 推荐

44

清华大学出版社



TP393-44
Z236

与软件专业技术资格（水平）考试参考用书



郑州大学 *04010870280U*

网络工程师考试冲刺 (习题与解答)

张友生 王军 主编

全国计算机专业技术资格考试办公室 推荐



清华大学出版社
北京

TP393-44
Z236

内 容 简 介

本书作为全国计算机技术与软件专业技术资格（水平）考试中的网络工程师师级别的考试参考教材。内容紧扣考试大纲，通过对历年试题进行科学分析、研究、总结、提炼而成。每章内容分为考点提炼、强化练习、习题解答三个部分。

本书基于历年试题，利用统计分析的方法，就考试重点和难点知识进行强化练习，既不漏掉考试必需的知识点，又不加重考生备考负担，使考生轻松、愉快地掌握知识点。

本书扉页为防伪页，封面贴有清华大学出版社防伪标签，无标签者不得销售。
版权所有，侵权必究。侵权举报电话：010-62782989 13701121933

图书在版编目（CIP）数据

网络工程师考试冲刺（习题与解答）/张友生，王军主编. —北京：清华大学出版社，2013.9
（全国计算机技术与软件专业技术资格（水平）考试参考用书）
ISBN 978-7-302-32759-2

I. ①网… II. ①张… ②王… III. ①计算机网络—工程技术人员—资格考试—题解
IV. ①TP393-44

中国版本图书馆 CIP 数据核字（2013）第 130874 号

责任编辑：柴文强

封面设计：傅瑞学

责任校对：徐俊伟

责任印制：刘海龙

出版发行：清华大学出版社

网 址：<http://www.tup.com.cn>, <http://www.wqbook.com>

地 址：北京清华大学学研大厦 A 座 邮 编：100084

社总机：010-62770175 邮 购：010-62786544

投稿与读者服务：010-62776969, c-service@tup.tsinghua.edu.cn

质 量 反 馈：010-62772015, zhiliang@tup.tsinghua.edu.cn

印 刷 者：清华大学印刷厂

装 订 者：三河市新茂装订有限公司

经 销：全国新华书店

开 本：185mm×230mm 印 张：18.75 防伪页：1 字 数：432 千字

版 次：2013 年 9 月第 1 版

印 次：2013 年 9 月第 1 次印刷

印 数：1~6000

定 价：35.00 元

产品编号：050761-01

前 言

全国计算机技术与软件专业技术资格(水平)考试(简称“软考”)由人力资源和社会保障、工业和信息化部主办,面向社会,用于考查计算机专业人员的水平与能力。考试客观、公正,得到了社会的广泛认可,并实现了中、日、韩三国互认。

本书紧扣考试大纲,基于每个章节知识点分布统计分析的结果,科学地编写强化练习题,结构科学、重点突出、针对性强。

内容超值,针对性强

本书每章的内容分为考点提炼、强化练习、习题解答三个部分。

第一部分为考点提炼。对考试大纲中所规定的重要考试内容和考试必备的知识点进行了“画龙点睛”,章节中的知识点解析深浅程度根据该知识点在历年试题中的统计分析结果而定。通过学习本部分内容,考生可以对考试的知识点分布、考试重点有一个整体上的认识和把握。

第二部分为强化练习。强化练习部分给出了多道试题,根据考点提炼部分的知识点统计、分析的结果而命题。这些试题与考试真题具有很大的相似性,用来检查考生学习的效果。

第三部分为习题解答。习题解答部分是强化练习部分的补充,为强化练习的所有习题进行了较详细的分析,并给出了解答。考生需要掌握每个练习题及其解答,这一部分可以帮助考生温习和巩固前面所学的知识,这种辅导方式保证内容全面,突出重点,为考生打造一条通向考试终点的捷径。

作者权威,阵容强大

本书作者均来自希赛教育。希赛教育(www.educity.cn)专业从事人才培养、教育产品开发、教育图书出版,在职业教育方面具有极高的权威性。特别是在在线教育方面,希赛教育的远程教育模式得到了国家教育部门的认可和推广。

希赛教育软考学院是全国计算机技术与软件专业技术资格(水平)考试的培训机构,拥有近 20 名资深软考辅导专家,编写了软考辅导教材的工作,共组织编写和出版了 80 多本软考教材,内容涵盖了初级、中级和高级的各个专业,包括教程系列、辅导系列、考点分析系列、冲刺系列、串讲系列、试题精解系列、疑难解答系列、全程指导系列、案例分析系列、指定参考用书系列、一本通等 11 个系列的书籍。希赛教育软考学院的专家录制了软考培训视频教程、串讲视频教程、试题讲解视频教程、专题讲解视频教程等 4 个系列的软考视频,希赛教育软考学院的软考教材、软考视频、软考辅导为考生助考、提高通过率做出了不可磨灭的贡献,在软考领域有口皆碑。特别是在高级资格领域,无

论是考试教材，还是在线辅导和面授，希赛教育软考学院都独占鳌头。

本书作者除封面署名外，还有：王勇、李雄、胡钊源、桂阳、何玉云、王玉罡、胡光超、左水林、刘中胜、刘洋波。

在线测试，心中有数

上学吧（www.shangxueba.com）在线测试平台为考生准备了在线测试，其中有数十套全真模拟试题和考前密卷，考生可选择任何一套进行测试。测试完毕，系统自动判卷，立即给出分数。

对于考生做错的地方，系统会自动记忆，待考生第二次参加测试时，可选择“试题复习”。这样，系统就会自动把考生原来做错的试题显示出来，供考生重新测试，以加强记忆。

如此，读者可利用上学吧在线测试平台的在线测试系统检查自己的实际水平，加强考前训练，做到心中有数，考试不慌。

诸多帮助，诚挚致谢

在本书出版之际，要特别感谢全国软考办的命题专家们，为了使本书的习题与考试真题逼近，编者在写作中参考了部分考试原题。在本书的编写过程中，还参考了许多相关的文献和书籍，编者在此对这些参考文献的作者表示感谢。

感谢清华大学出版社柴文强老师，他在本书的策划、选题的申报、写作大纲的确定，以及编辑、出版等方面，付出了辛勤的劳动和智慧，给予了我们很多的支持和帮助。

感谢参加希赛教育软考学院辅导和培训的学员，正是他们的想法汇成了本书的源动力，他们的意见使本书更加贴近读者。

由于编者水平有限，且本书涉及的内容很广，书中难免存在错漏和不妥之处，编者诚恳地期望各位专家和读者不吝指正和帮助，对此，我们将十分感激。

互动讨论，专家答疑

希赛教育软考学院是中国最大的软考在线教育网站，该网站论坛是国内人气最旺的软考社区，在这里，读者可以和数十万考生进行在线交流，讨论有关学习和考试的问题。希赛教育软考学院拥有强大的师资队伍，为读者提供全程的答疑服务，在线回答读者的提问。

有关本书的意见反馈和咨询，读者可在希赛教育软考学院论坛“软考教材”版块中的“希赛教育软考学院”栏目上与作者进行交流。

希赛教育软考学院 张友生

2013年2月

目 录

第1章 计算机硬件基础	1
1.1 考点提炼	1
1.2 强化练习	9
1.3 习题解答	13
第2章 操作系统	22
2.1 考点提炼	22
2.2 强化练习	29
2.3 习题解答	35
第3章 计算机系统开发基础	44
3.1 考点提炼	44
3.2 强化练习	55
3.3 习题解答	60
第4章 知识产权与标准化	68
4.1 考点提炼	68
4.2 强化练习	72
4.3 习题解答	77
第5章 网络体系结构	85
5.1 考点提炼	85
5.2 强化练习	97
5.3 习题解答	100
第6章 数据通信基础	111
6.1 考点提炼	111
6.2 强化练习	119
6.3 习题解答	124
第7章 局域网技术	133
7.1 考点提炼	133
7.2 强化练习	141
7.3 习题解答	146
第8章 广域网和接入网	159
8.1 考点提炼	159

8.2	强化练习	162
8.3	习题解答	166
第9章	因特网与互联网技术	177
9.1	考点提炼	177
9.2	强化练习	186
9.3	习题解答	191
第10章	网络管理技术	200
10.1	考点提炼	200
10.2	强化练习	207
10.3	习题解答	211
第11章	网络安全技术	221
11.1	考点提炼	221
11.2	强化练习	230
11.3	习题解答	234
第12章	网络应用服务器	241
12.1	考点提炼	241
12.2	强化练习	258
12.3	习题解答	264
第13章	网络工程师案例分析	274
13.1	考点提炼	274
13.2	强化练习	275
13.3	习题解答	284

第 1 章 计算机硬件基础

从历年的考试试题来看，本章的考点在综合知识考试中的平均分数为 4 分，约为总分 5.33%。考试试题主要分数集中在计算机组成、数据运算、存储体系这 3 个知识点上。

1.1 考点提炼

根据考试大纲，结合历年考试真题，希赛教育的软考专家认为，考生必须要掌握以下几个方面的内容：

1. 计算机组成

在计算机组成方面，涉及的考点有计算机基本组成（重点）、流水线与并行处理（重点）、RISC 和 CISC 指令体系、多处理机、总线和接口。

【考点 1】计算机基本组成

在一台计算机中，主要有 6 种部件，分别是控制器、运算器、内存储器、外存储器、输入和输出设备。它们之间的合作关系如图 1-1 所示。

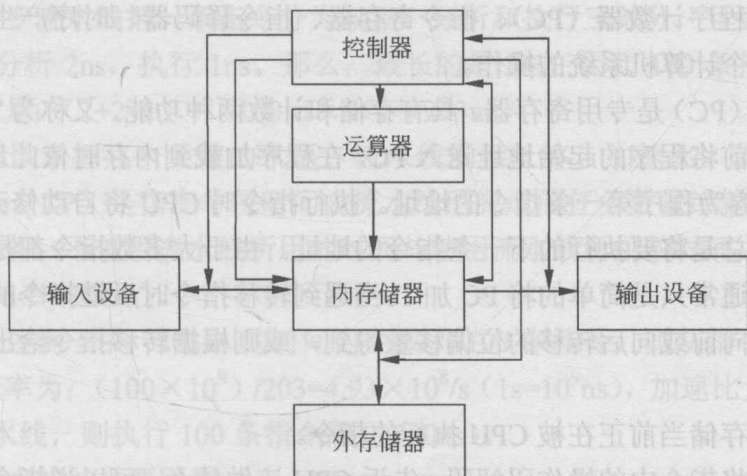


图 1-1 计算机各功能部件之间的合作关系

其中控制器和运算器共同构成中央处理器（CPU）。CPU 主要通过总线和其他设备进行联系。另外在嵌入式系统设计中，外部设备也常常直接连接到 CPU 的外部 I/O 脚的中断脚上。

（1）运算器

运算器的主要功能是在控制器的控制下完成各种算术运算、逻辑运算和其他操作。运算器主要包括算术逻辑单元（ALU）、加法器/累加器、数据缓冲寄存器、程序状态寄存器四个子部件构成。

算术逻辑单元（ALU）主要完成对二进制数据的定点算术运算（加减乘除）、逻辑运算（与或非异或）以及移位操作。

累加寄存器（AC）通常简称为“累加器”，是一个通用寄存器。其功能是当运算器中的算术逻辑单元（ALU）执行算术或逻辑运算是为 ALU 提供一个工作区，用于传输和暂存用户数据。

数据缓冲寄存器用来暂时存放由内存储器读出的一条指令或一个数据字。反之，当向内存存入一条指令或一个数据字时，也暂时将它们存放在数据缓冲寄存器中。缓冲寄存器的作用：

- ① 作为 CPU 和内存、外部设备之间信息传送的中转站；
- ② 补偿 CPU 和内存、外围设备之间在操作速度上的差别；
- ③ 在单累加器结构的运算器中，数据缓冲寄存器还可兼作操作数寄存器。

程序状态寄存器用来存放两类信息。一是体现当前指令执行结果的各种状态信息，如有无进位（CF 位）、有无溢出（OF 位）、结果正负（SF 位）、结果是否为零（ZF）位和标志位（PF 位）等。二是控制信息，如允许中断（IF 位）和跟踪标志（TF 位）等。

（2）控制器

控制器是有程序计数器（PC）、指令寄存器、指令译码器、时序产生器和操作控制器组成，完成整个计算机系统的操作。

程序计数器（PC）是专用寄存器，具有存储和计数两种功能，又称为“指令计数器”。在程序开始执行前将程序的起始地址送入 PC，在程序加载到内存时依此地址为基础，因此 PC 的初始内容为程序第一条指令的地址。执行指令时 CPU 将自动修改 PC 的内容，以便使其保持的总是将要执行的下一条指令的地址。由于大多数指令都是按顺序执行，因此修改的过程通常只是简单的将 PC 加 1。当遇到转移指令时后继指令的地址与前指令的地址加上一个向前或向后转移的位偏移量得到，或则根据转移指令给出的直接转移的地址得到。

指令寄存器存储当前正在被 CPU 执行的指令。

指令译码器将指令中的操作码解码，告诉 CPU 该做什么。可以说指令寄存器的输出是指令译码器的输入。

时序产生器用以产生各种时序信号，以保证计算机能够准确、迅速、有条不紊地工作。

（3）内存储器

又称内存或主存：存储现场操作的信息与中间结果，包括机器指令和数据。

(4) 外存储器

又称外存或辅助存储器 (Secondary Storage 或 Permanent Storage), 存储需要长期保存的各种信息。

(5) 输入设备 (Input Devices)

输入设备用以接收外界向计算机输入的信息。

(6) 输出设备 (Output devices)

输出设备用以将计算机中的信息向外界输送。

【考点2】流水线与并行处理

流水线技术是通过并行硬件来提高系统性能的常用方法, 它其实是一种任务分解的技术, 把一件任务分解为若干顺序执行的子任务, 不同的子任务由不同的执行机构来负责执行, 而这些执行机构可以同时并行工作。

在流水线这个知识点, 主要考查流水线的概念、性能, 以及有关参数的计算。

(1) 流水线执行计算

假定有某种类型的任务, 共可分成 n 个子任务, 每个子任务需要时间 t , 则完成该任务所需的时间即为 $n \times t$ 。若以传统的方式, 则完成 k 个任务所需的时间是 knt ; 而使用流水线技术执行, 则花费的时间是 $(n+k-1) \times t$ 。也就是说, 除了第一个任务需要完整的时间外, 其他都通过并行, 节省下了大量的时间, 只需一个子任务的单位时间就够了。

另外要注意的是, 如果每个子任务所需的时间不同, 则其速度取决于其执行顺序中最慢的那个 (也就是流水线周期值等于最慢的那个指令周期), 要根据实际情况进行调整。

例如: 若指令流水线把一条指令分为取指、分析和执行三部分, 且三部分的时间分别是取指 $2ns$, 分析 $2ns$, 执行 $1ns$ 。那么, 最长的是 $2ns$, 因此 100 条指令全部执行完毕需要的时间就是: $(2+2+1) + (100-1) \times 2 = 203ns$ 。

另外, 还应该掌握几个关键的术语: 流水线的吞吐率、加速比。流水线的吞吐率 (Through Put Rate, TP) 是指在单位时间内流水线所完成的任务数量或输出的结果数量。完成同样一批任务, 不使用流水线所用的时间与使用流水线所用的时间之比称为流水线的加速比 (Speed-Up Ratio)。

例如, 在上述例子中, $203ns$ 的时间内完成了 100 条指令, 则从指令的角度来看, 该流水线的吞吐率为: $(100 \times 10^9) / 203 = 4.93 \times 10^8/s$ ($1s = 10^9ns$), 加速比为 $500/203 = 2.46$ (如果不采用流水线, 则执行 100 条指令需要 $500ns$)。

(2) 影响流水线的主要因素

流水线的关键在于“重叠执行”, 因此如果这个条件不能够满足, 流水线就会被破坏。这种破坏主要来自 3 种情况。

① 转移指令

因为前面的转移指令还没有完成, 流水线无法确定下一条指令的地址, 因此也就无法向流水线中添加这条指令。从这里的分析可以看出, 无条件跳转指令是不会影响流水

线的。

② 共享资源访问的冲突

它也就是后一条指令需要使用的数据，与前一条指令发生的冲突，或者相邻的指令使用了相同的寄存器，这也会使流水线失败。为了避免冲突，就需要把相互有关的指令进行阻塞，这样就会引起流水线效率的下降。一般地，指令流水线级数越多，容易导致数据相关，阻塞流水线。

当然，也可以在编译系统上进行设置，当发现相邻的语句存在资源共享冲突的时候，在两者之间插入其他语句，将两条指令进入流水线的时间拉开，以避免错误。

③ 响应中断

当有中断请求时，流水线也会停止。流水线响应中断有两种方式，一种是立即停止现有的流水线，称为精确断点法，这种方法能够立即响应中断，缩短了中断响应时间，但是增加了中央处理器的硬件复杂度。

还有一种是在中断时，在流水线内的指令继续执行，停止流水线的入口，当所有流水线内的指令全部执行后，再执行中断处理程序。这种方式中断响应时间较长，这种方式称为不精确断点法，优点是实现控制简单。

2. 数据运算

在数据运算方面，涉及的考点有数据各种码制的表示（重点）和逻辑运算。

【考点3】数据码制的表示

本节主要掌握原码、反码、补码和移码的概念，以及各自的用途和优点

（1）原码

将最高位用作符号位（0表示正数，1表示负数），其余各位代表数值本身的绝对值的表示形式。这种方式是最容易理解的。例如，假设用8位表示1个数，则+11的原码用二进制表示是00001011，-11的原码用二进制表示是10001011。

直接使用原码在计算时会有麻烦。例如，在十进制中 $1+(-1)=0$ 。如果直接使用二进制原码来执行“ $1+(-1)$ ”的操作，则表达式为： $00000001+10000001=10000010$ 。

这样计算的结果是-2，也就是说，使用原码直接参与计算可能会出现错误的结果。所以，原码的符号位不能直接参与计算，必须和其他位分开，这样会增加硬件的开销和复杂性。

（2）反码

正数的反码与原码相同。负数的反码符号位为1，其余各位为该数绝对值的原码按位取反。例如，-11的反码为11110100。

同样，对于“ $1+(-1)$ ”加法，使用反码的结果是：

$$00000001+11111110=11111111$$

这样的结果是负0，而在人们普遍的观念中，0是不分正负的。反码的符号位可以直接参与计算，而且减法也可以转换为加法计算。

(3) 补码

正数的补码与原码相同。负数的补码是该数的反码加1, 这个加1就是“补”。例如, -11的补码为 $11110100+1=11110101$ 。

对于“ $1+(-1)$ ”的加法, 是这样的:

$$00000001+11111111=00000000$$

这说明, 直接使用补码进行计算的结果是正确的。

对一个补码表示的数, 要计算其原码, 只要对它再次求补即可。由于补码能使符号位与有效值部分一起参加运算, 从而简化了运算规则, 同时它也使减法运算转换为加法运算, 进一步简化计算机中运算器的电路, 这使得在大部分计算机系统中, 数据都使用补码表示。

(4) 移码

移码又称为增码, 移码的符号表示和补码相反, 1表示正数, 0表示负数。也就是说, 移码是在补码的基础上把首位取反得到的, 这样使得移码非常适合于阶码的运算, 所以移码常用于表示阶码。

通过四种码制的学习, 我们已经学会了它们相互之间的转换。当要面临着取值范围时, 请参照表1-1所示。

表1-1 各种码制取值范围

	定点整数	定点小数
原码	$-(2^{n-1}-1)\sim 2^{n-1}-1$	$-1<X<1$
反码	$-(2^{n-1}-1)\sim 2^{n-1}-1$	$-1<X<1$
补码	$-2^{n-1}\sim 2^{n-1}-1$	$-1\leq X<1$

3. 存储体系和寻址方式

在存储体系和寻址方式方面, 涉及的考点有主存储器(重点)、高速缓存(重点)、寻址方式面。

【考点4】主存储器

(1) 主存储器的种类。

① RAM: 随机存储器, 可读写, 断电后数据无法保存, 只能暂存数据。

② SRAM: 静态随机存储器, 在不断电时信息能够一直保持。

③ DRAM: 动态随机存储器, 需要定时刷新以维持信息不丢失。

④ ROM: 只读存储器, 出厂前用掩膜技术写入, 常用于存放 BIOS 和微程序控制。

⑤ PROM: 可编程 ROM, 只能够一次写入, 需用特殊电子设备进行写入。

⑥ EPROM: 可擦除的 PROM, 用紫外线照射 15~20 分钟可擦去所有信息, 可写入多次。

⑦ E²PROM: 电可擦除 EPROM, 可以写入, 但速度慢。

⑧ 闪速存储器：现在 U 盘使用的种类，可以快速写入。

记忆时，抓住几个关键英文字母。A，即 Access，说明读写都行；O，即 Only，说明只读；P，即 Programmable，说明可通过特殊电子设备写入；E，即 Erasable，说明可擦写；E 平方说明是两个 E，第二个 E 是指电子。

(2) 主存储器的组成。

实际的存储器总是由一片或多片存储器配以控制电路构成的。其容量为 $W \times B$ ， W 是存储单元（word，即字）的数量， B 表示每个 word 由多少 bit（位）组成。如果某一芯片规格为 $w \times b$ ，则组成 $W \times B$ 的存储器需要用 $(W/w) \times (B/b)$ 个芯片，如图 1-2 所示。

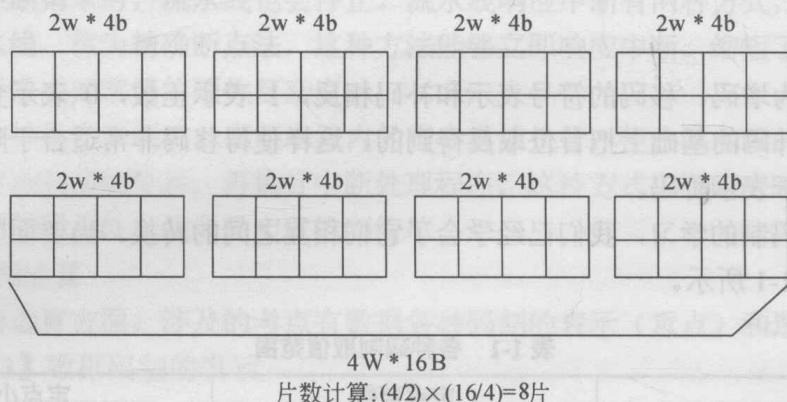


图 1-2 主存储器的组成示意图

(3) 主存储器的地址编码。

主存储器（内存）采用的是随机存取方式，需对每个数据块进行编码，而在主存储器中，数据块是以 word 为单位来标识的，即每个字一个地址，通常采用的是十六进制表示。

例如，按字节编址，地址从 A4000H~CBFFFH，则表示有 $(CBFFF - A4000 + 1)$ 个字节，即 28000H 个字节，也就是 163840 个字节，等于 160KB。

要注意的是，编址的基础可以是字节，也可以是字（字是由 1 个或多个字节组成的），要算地址位数，首先应计算要编址的字或字节数，然后求 2 的对数即可得到。例如，上述内存的容量为 160KB，则需要 18 位地址来表示 $(2^{17} = 131072, 2^{18} = 262144)$ 。

在内存这个知识点的另外一个问题，就是求存储芯片的组成问题。实际的存储器总是由一片或多片存储器配以控制电路构成的。设其容量为 $W \times B$ ， W 是存储单元的数量， B 表示每个单元由多少位组成。如果某一芯片规格为 $w \times b$ ，则组成 $W \times B$ 的存储器需要用 $(W/w) \times (B/b)$ 块芯片。例如，上述例子中的存储器容量为 160KB，若用存储容量为 $32K \times 8\text{bit}$ 的存储芯片构成，因为 $1B = 8b$ （一个字节由 8 位组成），则至少需要 $(160K/32K) \times (1B/8b) = 5$ 块。

【考点 5】高速缓存

Cache 的功能是提高 CPU 数据输入/输出的速率,突破所谓的“冯·诺依曼瓶颈”,即 CPU 与存储系统间数据传送带宽限制。高速存储器能以极高的速率进行数据的访问,但因其价格高昂,如果计算机的内存完全由这种高速存储器组成,则会大大增加计算机的成本。通常在 CPU 和内存之间设置小容量的高速存储器 Cache。Cache 容量小但速度快,内存速度较低但容量大,通过优化调度算法,系统的性能会大大改善,其存储系统容量与内存相当而访问速度近似 Cache。

(1) Cache 原理、命中率、失效率

使用 Cache 改善系统性能的主要依据是程序的局部性原理。通俗地说,就是一段时间内,执行的语句常集中于某个局部。而 Cache 正是通过将访问集中的内容放在速度更快的 Cache 上来提高性能的。引入 Cache 后, CPU 在需要数据时,先找 Cache,没找到再到内存中找。

如果 Cache 的访问命中率为 h (通常 $1-h$ 就是 Cache 的失效率),而 Cache 的访问周期时间是 t_1 ,主存储器的访问周期时间是 t_2 ,则整个系统的平均访存时间就应该是:

$$t_3 = h \times t_1 + (1-h) \times t_2$$

从公式可以看出,系统的平均访存时间与命中率有很密切的关系。灵活地应用这个公式,可以计算出所有情况下的平均访存时间。

例如:假设某流水线计算机主存的读/写时间为 100ns ,有一个指令和数据合一的 Cache,已知该 Cache 的读/写时间为 10ns ,取指令的命中率为 98% ,取数据的命中率为 95% 。在执行某类程序时,约有 $1/5$ 指令需要存/取一个操作数。假设指令流水线在任何时候都不阻塞,则设置 Cache 后,每条指令的平均访存时间约为多少?其实这是应用公式的一道简单数学题:

$$(2\% \times 100\text{ns} + 98\% \times 10\text{ns}) + 1/5 \times (5\% \times 100\text{ns} + 95\% \times 10\text{ns}) = 14.7\text{ns}$$

(2) Cache 存储器的映射机制

分配给 Cache 的地址存放在一个相联存储器 (CAM) 中。CPU 发生访存请求时,会先让会先让 CAM 判断所要访问的字的地址是否在 Cache 中,如果命中就直接使用。这个判断的过程就是 Cache 地址映射,这个速度应该尽可能快。常见的映射方法有直接映射、全相联映射和组相联映射三种,其原理如图 1-3 所示。

① 直接映射:是一种多对一的映射关系,但一个主存块只能够拷贝到 Cache 的一个特定位置上去。Cache 的行号 i 和主存的块号 j 有函数关系: $i=j\%m$ (其中 m 为 Cache 总行数)。

例如,某 Cache 容量为 16KB (即可用 14 位表示),每行的大小为 16B (即可用 4 位表示),则说明其可分为 1024 行 (可用 10 位表示)。主存地址的最低 4 位为 Cache 的行内地址,中间 10 位为 Cache 行号。如果内存地址为 1234E8F8H 的话,那么最后 4 位就是 1000 (对应十六进制数的最后一位),而中间 10 位,则应从 E8F (111010001111)

中获取, 得到 1010001111。

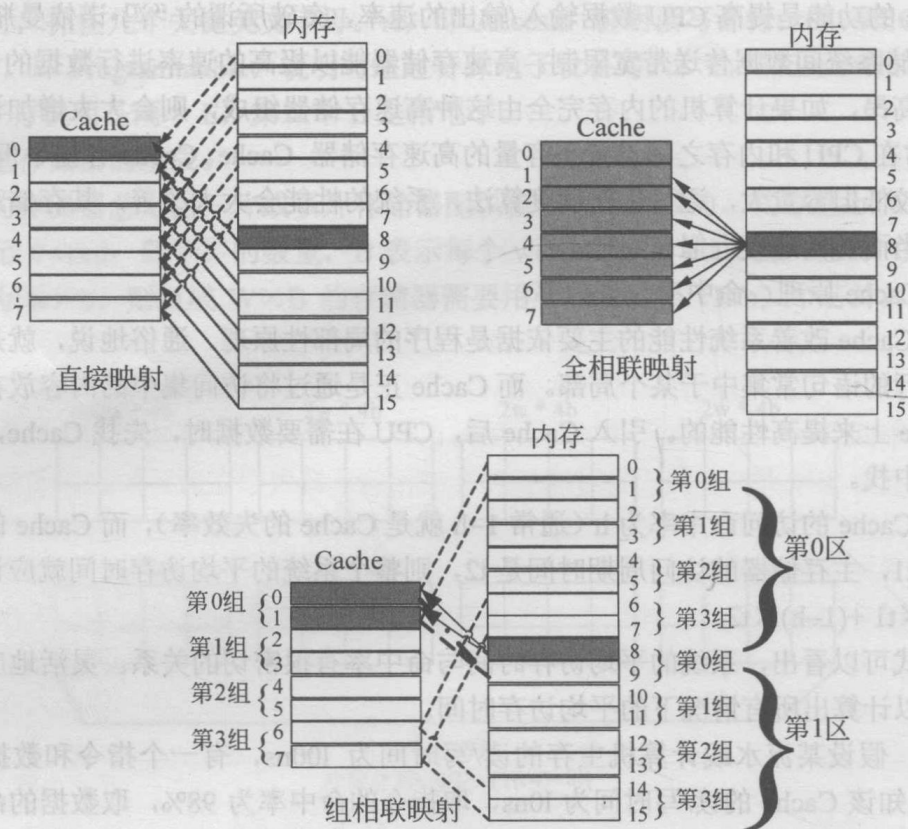


图 1-3 常见的 Cache 映射方法原理

② 全相联映射: 将主存中一个块的地址与块的内容一起存于 Cache 的行中, 任一主存块能映射到 Cache 中任意行 (主存块的容量等于 Cache 行容量)。速度更快, 但控制复杂。

③ 组相联映射: 是前两种方式的折中方案。它将 Cache 中的块再分成组, 然后通过直接映射方式决定组号, 再通过全相联映射的方式决定 Cache 中的块号。

注意: 在 Cache 映射中, 主存和 Cache 存储器均分成容量相同的块。

例如, 容量为 64 块的 Cache 采用组相联方式映射, 字块大小为 128 个字, 每 4 块为一组。若主存容量为 4096 块, 且以字编址, 那么主存地址应该为多少位? 主存区号为多少位? 这样的题目, 首先根据主存块与 Cache 块的容量需一致, 得出内存块也是 128 个字, 因此共有 128×4096 个字, 即 2^{19} ($2^7 \times 2^{12}$) 个字, 因此需 19 位主存地址; 而内存需要分为 $4096/64$ 块, 即 64, 因此主存区号需 6 位。

(3) Cache 淘汰算法。

当 Cache 数据已满, 并且出现未命中情况时, 就要淘汰一些老的数据, 更新一些新

的数据。选择淘汰什么数据的方法就是淘汰算法。常见的方法有三种：随机淘汰、先进先出(FIFO)淘汰(即淘汰最早调入 Cache 的数据)、最近最少使用(LRU)淘汰法。其中平均命中率最高的是 LRU 算法。

(4) Cache 存储器的写操作。

在使用 Cache 时, 需要保证其数据与主存一致, 因此在写 Cache 时就需要考虑与主存间的同步问题, 通常使用以下三种方法: 写直达(写 Cache 时, 同时写主存)、写回(写 Cache 时不马上写主存, 而是等其淘汰时回写)、标记法。

1.2 强化练习

试题 1

在 CPU 中, (1) 可用于传送和暂存用户数据, 为 ALU 执行算术逻辑运算提供工作区。

- (1) A. 程序计数器 B. 累加寄存器
C. 程序状态寄存器 D. 地址寄存器

试题 2

处理机主要由处理器、存储器和总线组成, 总线包括 (2)。

- (2) A. 数据总线、地址总线、控制总线
B. 并行总线、串行总线、逻辑总线
C. 单工总线、双工总线、外部总线
D. 逻辑总线、物理总线、内部总线

试题 3

以下关于复杂指令集计算机 (Complex Instruction Set Computer, CISC) 和精简指令集计算机 RISC (Reduced Instruction Set Computer, RISC) 的叙述中, 错误的是 (3)。

- (3) A. 在 CISC 中, 其复杂指令都采用硬布线逻辑来执行
B. 采用 CISC 技术的 CPU, 其芯片设计复杂度更高
C. 在 RISC 中, 更适合采用硬布线逻辑执行指令
D. 采用 RISC 技术, 指令系统中的指令种类和寻址方式更少

试题 4

若用 8 位机器码表示十进制数 -101, 则原码表示的形式为 (4); 补码表示的形式为 (5)。

- (4) A. 11100101 B. 10011011 C. 11010101 D. 11100111
(5) A. 11100101 B. 10011011 C. 11010101 D. 11100111

试题 5

某逻辑电路有两个输入分别为 X 和 Y, 其输出端为 Z。当且仅当两个输入端 X 和 Y

同时为 0 时, 输出 Z 才为 0, 则该电路输出 Z 的逻辑表达式为 (6)。

- (6) A. $X \cdot Y$ B. $\overline{X \cdot Y}$ C. $X \oplus Y$ D. $X + Y$

试题 6

在进行定点原码乘法运算时, 乘积的符号位是被乘数的符号位和乘数的符号位 (7) 运算来获得。

- (7) A. 相或 B. 相与
C. 相异或 D. 分别取反后再相或

试题 7

若操作数“00000101”与“00000101”执行逻辑 (8) 操作后。

- (8) A. 或 B. 与 C. 异或 D. 与非

试题 8

(9) 是指按内容访问的存储器。

- (9) A. 虚拟存储器 B. 相联存储器
C. 顺序访问存储器 D. 随机访问存储器

试题 9

以下关于 Cache 的叙述中, 正确的是 (10)。

- (10) A. 在容量确定的情况下, 替换算法的时间复杂度是影响 Cache 命中率的关键因素
B. Cache 的设计思想是在合理成本下提高命中率
C. Cache 的设计目标是容量尽可能与主存容量相等
D. CPU 中的 Cache 容量应大于 CPU 之外的 Cache 容量

试题 10

下列存储设备中, 存取速度最快的是 (11)。

- (11) A. 主存 B. 辅存 C. 寄存器 D. 高速缓存

试题 11

某种部件使用在 10000 台计算机中, 运行工作 1000 小时后, 其中 20 台计算机的这种部件失效, 则该部件千小时可靠度 R 为 (12)。

- (12) A. 0.990 B. 0.992 C. 0.996 D. 0.998

试题 12

两个部件的可靠度 R 均为 0.8, 由这两个部件串联构成的系统的可靠度为 (13); 由这两个部件并联构成的系统的可靠度为 (14)。

- (13) A. 0.8 B. 0.64 C. 0.90 D. 0.96

- (14) A. 0.8 B. 0.64 C. 0.90 D. 0.96

试题 13

在 CPU 中用于跟踪指令地址的寄存器是 (15)。