

HZ BOOKS
华章科技

FPGA开发从“精通”到“专业”必读的一本书。

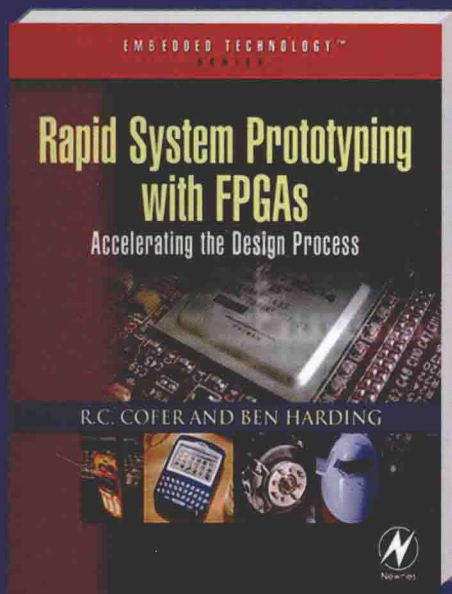
两位作者累计在FPGA开发方面拥有30多年的专业开发经验。

“设计检查清单”和“注意事项列表”是贯穿全书的一大特色。



电子与嵌入式系统
设计译丛

ELSEVIER
爱思唯尔



Rapid System Prototyping with FPGAs
Accelerating the Design Process

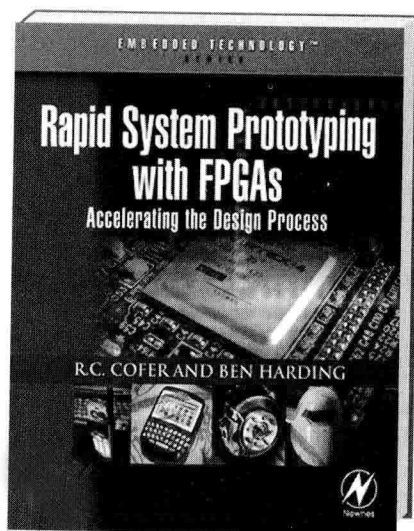
FPGA 快速系统原型设计 权威指南

[美] R. C. Cofer Benjamin F. Harding 著 吴厚航 姚琪 杨碧波 译



机械工业出版社
China Machine Press

电子与嵌入式系统
设计译丛



* Rapid System Prototyping with FPGAs
Accelerating the Design Process

FPGA 快速系统原型设计 权威指南

[美] R. C. Cofer, Benjamin F. Harding 著 吴厚岭 姚琪 杨碧波 译



机械工业出版社
China Machine Press

图书在版编目 (CIP) 数据

FPGA 快速系统原型设计权威指南 / (美) 寇非 (Cofer R. C.), (美) 哈丁 (Harding, B. F.) 著; 吴厚航, 姚琪, 杨碧波译. —北京: 机械工业出版社, 2013.12

(电子与嵌入式系统设计译丛)

书名原文: Rapid System Prototyping with FPGAs

ISBN 978-7-111-44851-8

I. F… II. ①寇… ②哈… ③吴… ④姚… ⑤杨… III. 可编程逻辑器件—系统设计—指南
IV. TP332.1-62

中国版本图书馆 CIP 数据核字 (2013) 第 276518 号

版权所有·侵权必究

封底无防伪标均为盗版

本书法律顾问 北京市展达律师事务所

本书版权登记号: 图字: 01-2013-2950

R.C. Cofer and Benjamin F. Harding: Rapid System Prototyping with FPGAs (ISBN: 978-0-7506-7866-7).

Copyright © 2006 by Elsevier Inc. All rights reserved.

Authorized Simplified Chinese translation edition published by the Proprietor.

Copyright © 2014 by Elsevier (Singapore) Pte Ltd. All rights reserved.

Printed in China by China Machine Press under special arrangement with Elsevier (Singapore) Pte Ltd. This edition is authorized for sale in China only, excluding Hong Kong SAR, Macau SAR and Taiwan. Unauthorized export of this edition is a violation of the Copyright Act. Violation of this Law is subject to Civil and Criminal Penalties.

本书简体中文版由 Elsevier (Singapore) Pte Ltd. 授权机械工业出版社在中国大陆境内独家出版和发行。本版仅限在中国境内 (不包括香港特别行政区、澳门特别行政区及台湾地区) 出版及标价销售。未经许可之出口, 视为违反著作权法, 将受法律之制裁。

本书封底贴有 Elsevier 防伪标签, 无标签者不得销售。

本书是关于 FPGA 快速系统原型设计的权威指南, 分为 17 章。第 1 章概述 FPGA 的相关概念和嵌入式设计技能; 第 2 章介绍 FPGA 的基础知识; 第 3 章讲解优化的 FPGA 开发流程; 第 4 章从系统工程管理的角度来讨论 FPGA 设计流程的优化; 第 5 章讨论 FPGA 器件级的设计决策; 第 6 章讨论 FPGA 板级设计所需要考虑的各种影响因素; 第 7 章讨论 FPGA 内部的具体设计实现; 第 8 章讨论设计仿真; 第 9 章讨论设计约束及其优化技巧; 第 10 章讨论 FPGA 下载配置; 第 11 章讨论板级测试的方法; 第 12 章讨论功耗和量产问题; 第 13 章讨论 IP 的分类、IP 核的选择、集成和测试等; 第 14 章讨论 FPGA 内嵌处理器 IP 核的相关内容; 第 15 章讨论 DSP; 第 16 章论述高级的互联 I/O 接口; 第 17 章总结本书涉及的各种设计方法和理念。

机械工业出版社 (北京市西城区百万庄大街 22 号 邮政编码 100037)

责任编辑: 谢晓芳

北京市荣盛彩色印刷有限公司印刷

2014 年 3 月第 1 版第 1 次印刷

186mm × 240mm · 16.75 印张

标准书号: ISBN 978-7-111-44851-8

定 价: 69.00 元

凡购本书, 如有缺页、倒页、脱页, 由本社发行部调换

客服热线: (010) 88378991 88361066

投稿热线: (010) 88379604

购书热线: (010) 68326294 88379649 68995259 读者信箱: hzsj@hzbook.com

献 词

谨以此书献给我的妻子 Juli，本书的顺利出版离不开你的爱，你的关怀、支持和宽容。能有你这样一位妻子，我深感幸运。同时，我也要特别感谢上帝，感谢我的父母，谢谢你们在整个写作过程中给予我的支持和鼓励。

——R. C. Cofer

谨以此书献给我两位最亲爱的人：我的妻子 Colleen 和我的儿子 Bryan。你们的爱和鼓励就如一盏明灯照亮并指引着我不断前行。我永远爱你们。

——Ben Harding

译者序

最初接触这本书是因为 riple (杨碧波) 在其博客上的大力推荐, 追溯起来, 那已经是 2009 年的事了。随后我 (吴厚航) 也专门拜读了这本书, 读完此书, 受益良多, 我恨不能立即分享给国内广大的 FPGA 爱好者和工程师们, 遗憾的是, 我们只能看到英文版本的原著。随后的数月, 先是 riple 着手对第 4 章做了翻译, 陆续发表在其博客上。与此同时, 我也动手对第 3 章进行了翻译, 这个过程虽然耗时耗力, 但不仅是在感受分享的快乐, 同时还真真切切地从原文的字里行间体味作者的技术功力, 从某种程度上提升自己对 FPGA 技术的认知。

然而, 且不说这种“民间”翻译行为是否涉及侵权, 最重要的是我们无法更好地将 FPGA 业内少有的这本经典之作传播出去。鉴于此, 我和 riple 也达成了共识, 希望能够联系一家国内的出版社, 让这本书的“中文翻译版”成为可能。我们先联系了国内的一家出版社, 可惜不久之后得到的是令人沮丧的答复, 当然, 这只是本书翻译前的小插曲。为此, riple 更是在其博客上撰文表达了不解, 同时也给出了对此书非常中肯的意见, 详细过程由 riple 记录在“译后记”里。

很遗憾, 自此之后, 此书的翻译计划一度搁浅。直到 2012 年, 我和机械工业出版社的张国强无意中再次论及此书, 这件事才又现转机。正可谓“说者无心, 听者有意”, 数月之后, 经过张国强的努力, 排除各种艰难险阻, 终于争取到了本书的翻译“许可证”。2012 年年底, 本书的翻译计划再次提上议程。不过, 摆在我们面前的第一个难题是人选问题, 由于工作量巨大, 加之本书的深度, 除了我和 riple 之外, 还需要寻找一位能人相助。经过张国强的推荐, 最终 kiki (姚琪) 加入了我们的行列。

对于我们三人, 巧合的是, 各有所长, 在技术上非常互补。虽然我们三人都未曾谋面过, 但是从翻译过程中的沟通接触, 不难发觉 riple 是一个专注于 FPGA 工程开发并且经验丰富的工程师; kiki 则兼有 FPGA 和嵌入式软件开发的经历, 言谈举止, 非常阳光, 充满活力; 而我本人则是一个有较多硬件板级设计背景的 FPGA 工程师, 性格里有着硬件工程师的严谨和较真。由此看来, 我们三人基本能够形成一个在技术上和性格上都相对互补的团队, 这对本书的翻译绝对是件好事。

我们这个小小翻译团队的故事大体就是这样, 我们期待半年多来大家所付出的点滴汗水能够换来广大读者对我们的认可。

在本书翻译的分工上，本着“取长补短”的原则，三人各自负责自己所擅长的章节。riple 负责第 4 章、第 9 章、第 14 章、第 15 章和附录 B 的翻译；kiki 负责第 1 章、第 7 章、第 8 章、第 10 章、第 12 章、第 13 章以及附录 A 和附录 C 的翻译；我负责第 2 章、第 3 章、第 5 章、第 6 章、第 11 章、第 16 章和第 17 章的翻译。当然，在本书的翻译过程中，我们不断地相互“审校”，相互“修改”，希望尽可能给读者还原一顿“原汁原味的大餐”。

本书作者在章节划分上，也是条理清晰、脉络分明的。第 1 ~ 2 章介绍基础知识；第 3 ~ 4 章则讲述设计流程和工程管理方面的内容；第 5 ~ 11 章按照设计流程分阶段展开具体的内容；第 12 ~ 16 章则讨论一些高级专题内容；最后在第 17 章进行了总结。主要内容大致如下所述。

第 1 章讨论了基于 FPGA 的高效快速系统成型的相关概念和所涉及的各种嵌入式设计技能；第 2 章奠定了可编程逻辑器件的基础，讲述了可编程逻辑器件的分类及其发展演变，重点描述了基于 SRAM 的 FPGA 器件的内部架构；第 3 章给出了一个优化的 FPGA 开发流程，描述了各个设计阶段的主要任务及其注意事项；第 4 章着重从系统工程管理的角度来讨论 FPGA 设计流程的优化；第 5 章讨论了 FPGA 器件级的设计决策，如器件选型和引脚分配等；第 6 章讨论了 FPGA 板级设计所需要考虑的各种影响因素；第 7 章讨论了 FPGA 内部的具体设计实现，如模块层次划分、代码输入、综合实现和布局布线等；第 8 章讨论了设计仿真相关的内容；第 9 章讨论了各种不同的设计约束及其优化技巧；第 10 章讨论了 FPGA 下载配置相关的内容；第 11 章讨论了板级测试的方法；第 12 章重点讨论了功耗和量产相关的议题；第 13 章对 IP 的分类、IP 核的选择、集成和测试等都进行了讨论；第 14 章讨论了 FPGA 内嵌处理器 IP 核的相关内容；第 15 章对在 FPGA 内实现数字信号处理功能进行了讨论；第 16 章论述了各种高级的互联 I/O 接口；第 17 章则是整本书的总结，以一个项目实例的方式将前面所有章节的内容都串联起来；附录 A 按照技术类别列出了对应正文各个章节的厂商技术资料；附录 B 按照开发流程给出了各个阶段设计要点的检查清单；附录 C 列出了常见的缩写和缩略词。

最后，我谨代表整个翻译团队向为此书中文翻译版顺利出版付出过努力的同仁以及他们的家人们道一声“谢谢”！我们非常希望能够把这本书做得更精细一些，但是由于时间和精力所限，某些疏忽和错误在所难免。我们恳请广大读者和 FPGA 开发领域的专家在阅读本书的过程中把书中的问题及时反馈给我们，并就书中内容与我们进行交流，具体可以发邮件至 wuhouhang@gmail.com, yq000ch@gmail.com 和 ash_riple@163.com。

作者简介

R.C. Cofer 具有 19 年的嵌入式设计经验，包括实时 DSP 算法开发、高速硬件、ASIC 和 FPGA 设计、系统工程和项目管理。他的技术领域重点专注使用高速 DSP 和 FPGA 进行快速系统开发。他还进行工程师培训，在国际上发表关于 DSP 和 FPGA 设计专题的演讲。R.C. 现拥有佛罗里达大学电气工程硕士学位和佛罗里达理工学院电子工程学士学位。

Ben Harding 拥有阿拉巴马大学的电子工程学士学位。在研究生期间，研究领域涉及数字信号处理、控制论、并行处理和机器人等。Ben 曾参与和管理快速系统开发与研究的项目。他拥有超过 15 年丰富的嵌入式系统设计经验。他的硬件设计经验包括：高速 DSP 设计、网络处理器和可编程逻辑。Ben 还拥有丰富的嵌入式软件开发经验，包括语音和信号处理算法开发，众多实时操作系统的板级支持包的开发。Ben 已经培养了大量的工程师，还在国际上发表关于 FPGA 设计专题的演讲。

致 谢

感谢 Wilfredo Moreno，我在南佛罗里达大学执教“FPGA 快速系统原型”这门研究生课程的时候，他一直在鼓励我。该课程正是本书的萌芽。感谢 Tim Goris，他鼓励我编写这本书，而且他的决心和坚定的友谊一直鼓舞着我。感谢 Bill Ritchie，过去二十年以来他一直像一位兄长一样待我。感谢 Herb Gingold，他开阔了我的视野，让我明白一天到底可以完成多少事情。感谢所有的现场应用工程师，多年来他们提供了很多帮助，回答了无数的提问和设计问题。他们让一份困难的工作看起来轻松了不少。感谢我的学生和同事，多年来他们的行动启发着我。由于名单太长，我无法在这里全部提及，但我还是要对他们的帮助和鼓励表达诚挚的谢意。最后，特别感谢我的妻子 Juli，她耐心地处理书中的插图，还要忍受近乎无止境的更新和修订。

——R.C. Cofer

特别感谢我们的父母、家人和朋友一直支持我们完成这本书。没有他们的支持和鼓励，恐怕这本书的出版要变得遥遥无期。感谢 Carol Lewis，她很早就看到了这个专题的发展潜力。感谢 Tiffany Gasbarrini，她是爱思唯尔（Elsevier）出版集团一名出色的编辑，她的耐心、热情、指导和鼓励，对我们来说，是一种不可估量的财富。她一直在坚定地指导着该项目，历经重重阻碍，最终才使本书得以完成。感谢 Paul Doherty，他提出了与工具相关的专业开发指导意见以及宝贵的观点和见解。感谢那些在这个专题为我们打下坚实基础的老和教授们。感谢那些编辑和整理原稿的工作人员。还要感谢安富利（Avnet）和赛灵思（Xilinx）公司为这本书的出版所做的贡献。最后感谢所有认真、热情地审阅本书的人，他们为本书提出了很多宝贵的建议。正因为他们的参与，才使得本书变得更优秀。

——R.C. Cofer & Ben Harding

佛罗里达州布雷登顿市印第亚兰提镇（Indian Lantic, Florida Bradenton, Florida）

www.convergenceengineering.com

推荐阅读



嵌入式系统软硬件协同设计实战指南：基于Xilinx Zynq

作者：陆佳华 等 ISBN：978-7-111-41107-9 定价：69.00元



兼容ARM9的软核处理器设计：基于FPGA

作者：李新兵 ISBN：978-7-111-37572-2 定价：69.00元



EDA技术与FPGA工程实例开发

作者：任文平等 ISBN：978-7-111-43585-3 定价：49.00元



信号完整性揭秘：于博士SI设计手记

作者：于争 ISBN：978-7-111-43842-7 定价：59.00元

目 录

献词	2.2.4 FPGA 的时钟资源 / 28
译者序	2.2.5 FPGA 的存储资源 / 30
作者简介	2.3 高级 FPGA 特性 / 30
致谢	2.4 小结 / 31
第 1 章 绪论 / 1	第 3 章 优化开发流程 / 33
1.1 FPGA 快速设计实现的潜力 / 2	3.1 概述 / 33
1.2 快速发展的技术领域 / 3	3.2 FPGA 开发流程 / 34
1.3 全面、完备的设计技能 / 4	3.2.1 需求定义阶段 / 38
1.4 具备硬件知识的软件 / 固件 工程师 / 6	3.2.2 架构和设计阶段 / 39
1.5 具备软件知识的硬件工程师 / 6	3.2.3 实现阶段 / 42
1.6 FPGA 技术潜在的局限性 / 7	3.2.4 验证阶段 / 44
1.7 FPGA 技术的优势 / 8	3.3 小结 / 45
1.8 小结 / 10	第 4 章 系统工程 / 46
第 2 章 FPGA 基础 / 11	4.1 概述 / 46
2.1 概述 / 11	4.2 常见的设计挑战和错误 / 47
2.1.1 可编程逻辑器件的分类 / 11	4.3 明确的 FPGA 设计过程规范 / 48
2.1.2 SPLD / 14	4.4 项目开发和管理 / 50
2.1.3 CPLD / 15	4.4.1 团队交流 / 51
2.1.4 FPGA / 17	4.4.2 设计评审 / 52
2.1.5 FPGA 类型 / 20	4.4.3 预算和日程安排 / 54
2.2 基于 SRAM 的 FPGA 架构 / 22	4.5 培训 / 56
2.2.1 FPGA 的逻辑块架构 / 23	4.6 技术支持 / 58
2.2.2 FPGA 的布线矩阵与全局 信号 / 25	4.7 设计配置控制 / 58
2.2.3 FPGA 的 I/O 块 / 27	4.7.1 在上板调试过程中对 FPGA 设计进行配置控制 / 61
	4.7.2 设计归档 / 62
	4.8 小结 / 64

- 第 5 章 FPGA 器件级的设计决策 / 65**
- 5.1 概述 / 65
 - 5.2 FPGA 选型分类 / 65
 - 5.2.1 FPGA 厂商 / 66
 - 5.2.2 系列选择 / 67
 - 5.2.3 器件型号 / 68
 - 5.2.4 封装 / 70
 - 5.3 设计决策 / 71
 - 5.3.1 数据流向 / 71
 - 5.3.2 确知的 I/O 引脚分配 / 72
 - 5.4 设计选型清单 / 76
 - 5.5 小结 / 78
- 第 6 章 FPGA 板级的设计决策 / 80**
- 6.1 概述 / 80
 - 6.2 封装选型 / 81
 - 6.3 BGA 封装 / 83
 - 6.3.1 BGA 信号的引出 / 83
 - 6.3.2 安装和返修 / 83
 - 6.3.3 BGA I/O 引脚的分配 / 86
 - 6.3.4 信号的可访问性 / 87
 - 6.4 I/O 引脚与信号的分配 / 87
 - 6.5 原理图符号设计 / 88
 - 6.6 热设计 / 88
 - 6.7 电路板的布局布线 / 89
 - 6.7.1 器件的摆放位置和方向 / 90
 - 6.7.2 测试和配置插座 / 91
 - 6.8 信号完整性设计 / 91
 - 6.9 供电设计 / 92
 - 6.10 小结 / 94
- 第 7 章 设计实现 / 96**
- 7.1 概述 / 96
 - 7.2 架构设计 / 97
 - 7.2.1 同步设计 / 97
 - 7.2.2 扁平化设计与层次化设计 / 98
 - 7.2.3 实现层次化设计 / 100
 - 7.3 设计输入 / 101
 - 7.3.1 HDL 语言的双重性质 / 103
 - 7.3.2 HDL 编码指南 / 103
 - 7.3.3 工具 / 106
 - 7.4 RTL 设计 / 106
 - 7.5 综合 / 109
 - 7.5.1 逻辑综合 / 109
 - 7.5.2 物理综合 / 111
 - 7.5.3 实现可综合的设计 / 111
 - 7.5.4 设计推译与例化 / 112
 - 7.6 布局布线 / 113
 - 7.7 小结 / 114
- 第 8 章 设计仿真 / 117**
- 8.1 概述 / 117
 - 8.2 仿真的不同阶段 / 117
 - 8.3 仿真文件的类型 / 119
 - 8.4 仿真深度的把握 / 120
 - 8.5 层次化设计与仿真 / 121
 - 8.6 仿真的常见错误以及提示 / 122
 - 8.7 小结 / 123
- 第 9 章 设计约束与优化 / 125**
- 9.1 概述 / 125
 - 9.2 设计约束管理 / 125
 - 9.2.1 避免设计“过约束” / 126
 - 9.2.2 综合约束 / 127
 - 9.2.3 引脚约束 / 128
 - 9.2.4 时序约束 / 131
 - 9.2.5 面积约束和版图规划 / 133
 - 9.2.6 约束实例 / 134
 - 9.2.7 约束检查清单 / 135
 - 9.3 设计优化 / 136

- 9.4 小结 / 139
- 第 10 章 配置 / 140**
 - 10.1 概述 / 140
 - 10.2 配置方式 / 140
 - 10.3 下载线 / 141
 - 10.4 JTAG 标准 / 142
 - 10.5 设计的安全 / 144
 - 10.6 小结 / 145
- 第 11 章 板级测试 / 146**
 - 11.1 概述 / 146
 - 11.1.1 FPGA 设计验证方法 / 146
 - 11.1.2 FPGA 内部关键信号的访问 / 147
 - 11.1.3 边界扫描的支持 / 148
 - 11.2 调试检查清单 / 149
 - 11.3 小结 / 49
- 第 12 章 高级议题综述 / 150**
 - 12.1 概述 / 150
 - 12.2 功耗问题 / 151
 - 12.3 量产问题 / 151
 - 12.4 小结 / 152
- 第 13 章 IP 核 / 153**
 - 13.1 概述 / 153
 - 13.2 IP 类型 / 154
 - 13.3 IP 分类 / 156
 - 13.4 IP 分析比较 / 157
 - 13.5 自行设计与购买的权衡 / 158
 - 13.5.1 IP 核的来源 / 159
 - 13.5.2 IP 核的评估 / 159
 - 13.5.3 IP 核供应商的评估 / 160
 - 13.5.4 IP 核的授权 / 162
 - 13.6 IP 核的集成 / 162
 - 13.7 IP 核的测试和调试 / 162
 - 13.8 小结 / 163
- 第 14 章 嵌入式处理器内核 / 164**
 - 14.1 概述 / 164
 - 14.2 基于 FPGA 的嵌入式处理器类型 / 165
 - 14.3 基于 FPGA 的嵌入式处理器的使用考虑 / 167
 - 14.4 系统设计考虑 / 169
 - 14.4.1 协同设计 / 169
 - 14.4.2 处理器架构 / 170
 - 14.4.3 处理器实现选项 / 173
 - 14.4.4 处理器核和外设选择 / 175
 - 14.4.5 硬件实现因素 / 176
 - 14.4.6 软件实现因素 / 177
 - 14.5 基于 FPGA 的嵌入式处理器概念举例 / 179
 - 14.6 FPGA 嵌入式处理器设计清单 / 185
 - 14.7 小结 / 185
- 第 15 章 数字信号处理 / 187**
 - 15.1 概述 / 187
 - 15.2 基本 DSP 系统 / 188
 - 15.3 基本 DSP 术语 / 189
 - 15.4 DSP 架构 / 190
 - 15.5 DSP 中的并行执行 / 191
 - 15.6 FPGA 中的并行执行 / 192
 - 15.7 何时采用 FPGA 来实现 DSP 功能 / 194
 - 15.8 在 FPGA 上实现 DSP 设计的考虑因素 / 194
 - 15.8.1 时钟方案和信号布线 / 195
 - 15.8.2 流水线设计 / 195
 - 15.8.3 算法实现选择 / 196

- 15.8.4 DSP IP / 196
- 15.9 FIR 滤波器概念示例 / 197
- 15.10 小结 / 198
- 第 16 章 高级互联 / 200**
 - 16.1 概述 / 200
 - 16.2 互联分类 / 200
 - 16.3 高级 I/O 接口的挑战 / 203
 - 16.4 高级并行 I/O 接口示例 / 203
 - 16.5 高级串行 I/O 接口示例 / 206
 - 16.6 小结 / 207
- 第 17 章 系统整合 / 209**
 - 17.1 概述 / 209
 - 17.2 需求定义阶段 / 210
 - 17.3 架构设计阶段 / 212
 - 17.4 设计实现阶段 / 215
 - 17.5 设计验证阶段 / 216
 - 17.6 原型交付阶段 / 218
 - 17.7 小结 / 218
- 附录 A FPGA 快速系统原型设计
技术参考资料 / 219**
- 附录 B 开发过程各阶段设计检查
清单 / 233**
- 附录 C 缩写和缩略词 / 244**
- 译后记 / 254**

绪 论

在进行快速系统原型设计的过程中，制定并遵守一套规范、优化的开发流程是非常重要的。而一套优化的开发流程，关键在于权衡好不断加速的项目进度与由此带来的风险。这种权衡在不同项目中会有所差异。为了高效地完成一个项目，需要一个优化的开发流程系统，而在该系统中，工程决策变得极为重要，因为这些关键的决策会影响到后续的每一个设计阶段。本书尝试着探讨这些议题。图 1.1 给出了本书各个章节的安排。章节的结构基本按照 FPGA 快速系统原型设计的开发流程。本书的前半部分对常见的 FPGA 快速开发相关议题进行讨论，而后半部分则是一些高级议题的探讨，这些议题并不是所有的工程都会涉及的。本书尝试从一个正在进行开发的工程师的角度出发，探讨常见的却容易被忽略的主题，并促使在重要议题上展开进一步的讨论和研究。

本书主要面向对高效使用 FPGA 进行产品开发感兴趣的嵌入式工程师。本书的主要目的是：介绍必要的技术基础和通用的 FPGA 开发流程；为进一步研究基础和高级的 FPGA 设计议题提供参考资料。各个议题的顺序安排就是典型的 FPGA 开发流程。

每章的开始都会先给出该章节所涉及的主要设计议题或设计阶段的概述，抛出待探讨的高级议题，并以设计检查列表或概念摘要的方式呈现出设计要点。在探讨关键设计决策及其权衡考虑的同时，也会给出相应常见的设计疏忽及其可行性解决方案和方法。因为我们不仅介绍了相关设计所需的背景知识，同时深入更多实际的工程细节进行设计分析，提出潜在的问题及其解决方案。很多设计因素都会以项目列表的方式呈现出来，从而避免冗长的文字引起概念的模糊。这样做是为了提醒开发人员，要对项目开发实现的各种设计因素进行全面综合的考虑。第 17 章给出了一个完整的例子，将书中提到的所有概念都汇集了起来。

有些人喜欢阅读关于嵌入式设计议题方面的学术讨论，并将得出的结论应用到他们实际的工程中，显然，本书并不适合这类读者。大多数的工程师喜欢深入理解一个技术核心点，然后在最短的时间内开展实际的设计工作，本书正是为这些人所写。以下是大多数章节内容的结构方式。

章节内容

- 阐述重要的工程背景信息

- 阐述各个设计阶段和相关的决策
- 回顾相关的概念、术语和缩略语
- 阐述常见的设计疏忽和可能的解决方案
- 提供进一步研究的资料

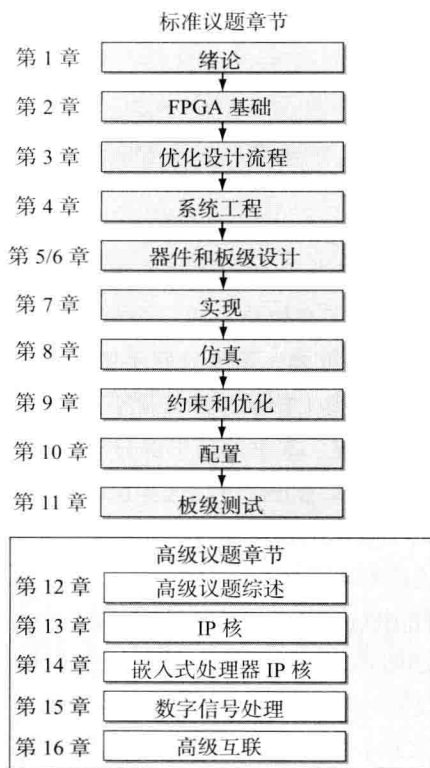


图 1.1 议题顺序安排

附录 A 列出了众多厂商提供的丰富的技术资料。附录 B 收集了 FPGA 设计不同阶段的检查列表。

1.1 FPGA 快速设计实现的潜力

在数字设计领域中，有三种基本的单元：逻辑、存储单元和处理器。近年来，随着现场可编程门阵列（Field Programmable Gate Array, FPGA）架构的不断演变，功能的不断提升，使得这三种单元完全可以由 FPGA 器件来实现。这些高级设计单元集成在单块芯片中，进一步扩大了 FPGA 的应用范围。在注重效益的原型设计领域中，FPGA 变得越来越具有吸引力，因为 FPGA 有着诸多技术优势，例如，灵活的开发周期，更低的设计迭代成本，更低的一次

性工程费用 (NonRecurring Engineering, NRE), 易于评估和实现的可选设计架构, 能够加速新品上市时间。

如今激烈的市场竞争, 使得越来越多的产品迫切地希望通过使用先进的技术来缩短上市时间。此时, 系统灵活性的增加, 可以更加容易解决各种设计以及不可避免的变化所带来的问题, 从而缓解产品上市的压力。FPGA 技术最主要的特点就是灵活性。设计实现和后续优化的灵活性可以显著影响项目进度、设计的复杂度和项目的风险。FPGA 的灵活性使得设计团队可以高效地实现复杂且高性能的设计, 并且这些设计能够具备丰富的功能和接口特性。灵活性让 FPGA 设计在时间和预算有限的情况下, 可以高效地进行更改和升级。

FPGA 可以将多种集成电路放到单块芯片中, 以实现功能性的集成。图 1.2 左侧框图给出了一个典型的示例系统, 它采用传统的分立式实现方式, 包含了 DSP 处理器、常见的控制器和用于控制外部存储器的 FPGA 器件。而最新的高性能 FPGA 器件能够将所有这些模块都实现在单块 FPGA 芯片中, 同时具备存储器的功能。当然, 这种集成的实现方式还有很多权衡因素要考虑, 但是从技术角度看, 这是完全有可能的。由于所有这些模块都实现在单个器件中, 因此内部功能模块通信和接口的速度及性能可以得到显著的改善。使用 FPGA 器件实现传统的分立器件所实现的功能, 能够大大增强设计团队在产品的整个生命周期中对设计的功能进行重新架构的能力。

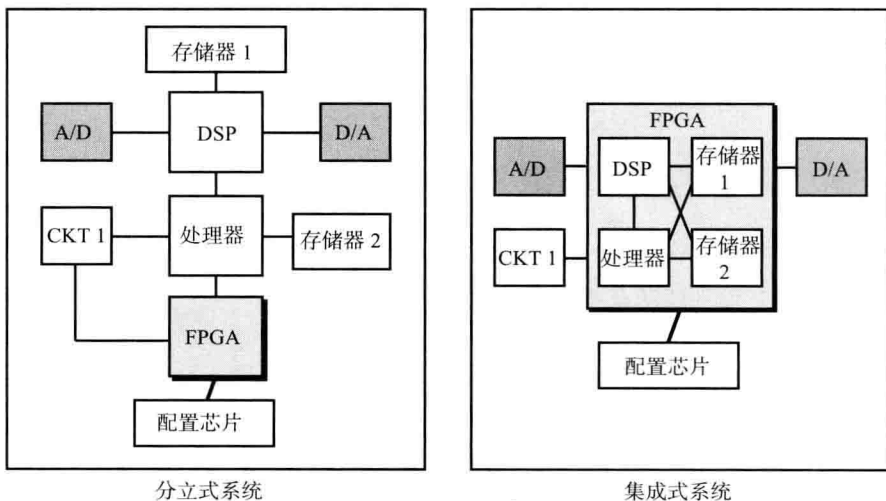


图 1.2 集成化带来的面积缩减

1.2 快速发展的技术领域

FPGA 技术领域一直以非常快的速度发展着。从传统上讲, FPGA 厂商一直在为客户

努力改善他们的产品系列，增加芯片的容量和规模。因为绝大多数的 FPGA 厂商是无晶圆（fabless）公司，因此需要依赖芯片代工合作伙伴，使用最好的半导体工艺技术有效可靠地生产芯片。这样一来，FPGA 厂商就可以集中精力，专注于对其器件架构、软件工具和 IP（Intellectual Property）核供应的提升。

FPGA 行业一直在不断地创新、改进和提升。这些技术上的进步为 FPGA 设计人员提供了更大的设计灵活度和更多的设计实现选择。随着 FPGA 密度和复杂度的不断提升，设计的实现也变得日益复杂。同时，FPGA 工艺技术和架构也在不断地改进和发展。近年来，在 FPGA 中集成了增强的 DSP 单元（如专门的硬件乘法器，大容量高性能的嵌入式块 RAM 和分布式 RAM），高性能的嵌入式处理器核，高速 I/O 实现以及扩展的 FPGA 配置选项。这些改进扩展了 FPGA 器件的应用范围。另外，FPGA 设计工具集的改进也有助于设计团队充分使用 FPGA 的灵活性和功能。总之，FPGA 在对设计带来众多的改进和提升的同时，也对设计者提出了更高的要求，例如在系统、硬件、软件、固件以及 DSP 等众多交叉领域的技术培训，以获得 FPGA 设计所必要的知识储备。

各个 FPGA 厂商都将大量的精力和资源花费在研发与设计改进等方面，希望发展更多忠实的用户，拓宽产品新的应用领域。尽管每一个厂商都致力于研发同竞争对手差异化的 FPGA 系列、架构、软件工具和 IP 核，但如果不推出新的特性、增强的架构或者优秀的定价策略，必然会被市场淘汰。由于激烈的行业竞争，很多原来的 FPGA 厂商纷纷退出市场，转让自己的技术所有权，从而引起了大量的“市场调整”。尽管如此，这种创新步伐的加快却有利于设计人员和最终用户。

1.3 全面、完备的设计技能

FPGA 的应用领域在不断地发展和扩大。FPGA 技术的发展让设计团队获得的设计技能比以往任何时候都多。今天的 FPGA 工程师可能需要精通系统级的设计，功能划分，嵌入式处理器的实现，DSP 算法的实现，HDL 设计输入，仿真，设计优化和高速电路板的布局，以及信号接口的设计。一个全能的 FPGA 工程师可能需要来自系统、软件和硬件工程的设计技能。其中关键的技能领域包括：基本和高级的 FPGA（fabric）设计实现，嵌入式处理器的实现，IP 的实现和高速板级设计。

很少有技术像 FPGA 设计一样，需要丰富的经验基础才能充分利用其技术优势。FPGA 设计是一种整合的技术，要求从不同的设计领域融合多种设计技能。如图 1.3 所示，在实现高级 FPGA 设计时，涉及了多种设计技能的交叉^①。表 1.1 罗列了这些工程领域中所涉及的

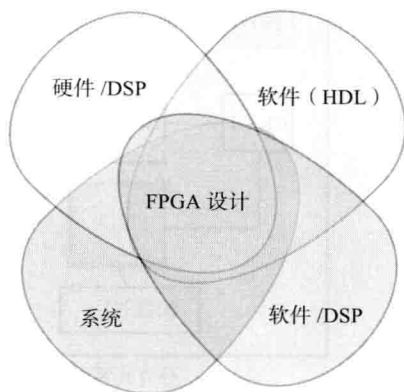


图 1.3 FPGA 多种设计技能的交叉