

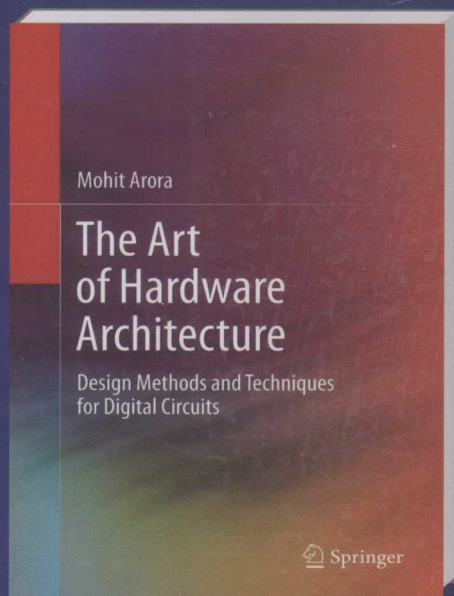


作者在Freescale公司从事数字电路设计多年，拥有丰富的设计经验。
首本以专题方式梳理数字电路设计技术的书籍，数字电路设计领域的扛鼎之作。
选图丰富，初学者与中高级读者都能够通过本书完善和提高自己的知识结构。
低功耗、消抖、电磁兼容等内容在一般的书中都鲜有涉及。



电子与嵌入式系统
设计译丛

Springer



The Art of Hardware Architecture
Design Methods and Techniques for Digital Circuits

硬件架构的艺术

数字电路的设计方法与技术

[印度] Mohit Arora 著 李海东 来萍 师谦 等译



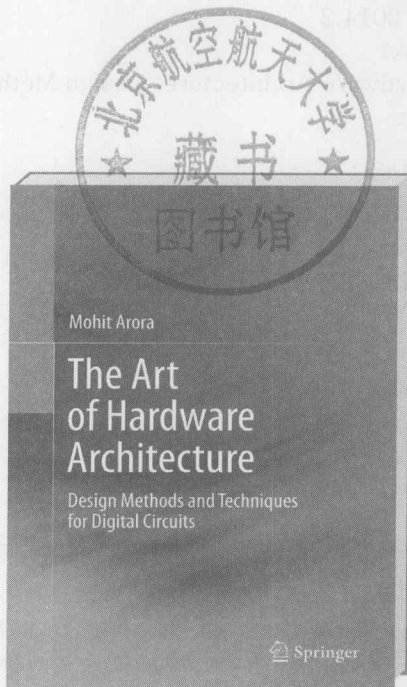
机械工业出版社
China Machine Press

014032965

TN79

248

电子与嵌入式系统
设计译丛



The Art of Hardware Architecture
Design Methods and Techniques for Digital Circuits

硬件架构的艺术

数字电路的设计方法与技术

[印度] Mohit Arora 著 李海东 来萍 师谦 等译



北航

C1721238



机械工业出版社
China Machine Press

TN79
248

图书在版编目 (CIP) 数据

硬件架构的艺术: 数字电路的设计方法与技术 / (印) 阿罗拉 (Arora, M.) 著; 李海东等译.
—北京: 机械工业出版社, 2014.2

(电子与嵌入式系统设计译丛)

书名原文: The Art of Hardware Architecture: Design Methods and Techniques for Digital Circuits

ISBN 978-7-111-44939-3

I. 硬… II. ①阿… ②李… III. 数字电路 - 电路设计 IV. TN79

中国版本图书馆 CIP 数据核字 (2013) 第 284096 号

本书版权登记号: 图字: 01-2013-1816

Translation from the English language edition:

The Art of Hardware Architecture: Design Methods and Techniques for Digital Circuits by Mohit Arora, Copyright © 2012 Springer New York.

Springer New York is a part of Springer Science+ Business Media.

All Rights Reserved.

本书中文简体字版由 Springer Science+ Business Media 授权机械工业出版社独家出版。未经出版者书面许可, 不得以任何方式复制或抄袭本书内容。

本书揭示硬件架构的设计艺术, 涵盖作者从事芯片设计行业十多年的经验和研究成果。本书共分 9 章, 第 1 章介绍亚稳态的概念、量化方法和减少其影响的技术; 第 2 章介绍同步设计的时钟技术, 并提出可行的时钟方案以及系统复位策略。第 3 章介绍在设计中使用异步时钟或“处理多个时钟”时会出现的问题及解决方法。第 4 章介绍时钟分频器的各个方面和实现方法。第 5 章讲述低功耗设计技术, 以减少动态和静态功耗。第 6 章介绍如何把流水线技术应用在处理器的设计中, 从而提高性能; 第 7 章讨论使用最佳字节顺序的方法; 第 8 章阐述去抖动技术, 以消除毛刺和噪声。第 9 章介绍电磁干扰的原理、规程、标准和认证, 以及电磁干扰的影响因素和减少电磁干扰的方法。

硬件架构的艺术: 数字电路的设计方法与技术

(印) 阿罗拉 (Arora, M.) 著

出版发行: 机械工业出版社 (北京市西城区百万庄大街 22 号 邮政编码: 100037)

责任编辑: 谢晓芳

印 刷: 北京市荣盛彩色印刷有限公司

版 次: 2014 年 3 月第 1 版第 1 次印刷

开 本: 186mm × 240mm 1/16

印 张: 13.5

书 号: ISBN 978-7-111-44939-3

定 价: 59.00 元

凡购本书, 如有缺页、倒页、脱页, 由本社发行部调换

客服热线: (010) 88378991 88361066

投稿邮箱: (010) 88379604

购书热线: (010) 68326294 88379649 68995259

读者信箱: hzsj@hzbook.com

版权所有·侵权必究

封底无防伪标均为盗版

本书法律顾问: 北京大成律师事务所 韩光 / 邹晓东

译者序

我从 2006 年开始接触芯片设计行业，在近 7 年的工作过程中，深刻体会到了这个行业在市场、技术和从业人员规模上急速的扩张与变化所产生的强烈的爆发感。市场热点层出不穷，生产工艺、设计技术和 EDA 工具的飞速进步，以及国内 IC 公司如雨后春笋般的涌现和对人才的大量需求，使这个行业在大多数时间处于一种加速的状态中。而作为一名技术人员，在开始的几年里，在加速推力和有限技术积累的阻力这对矛盾中，尤其能体会到其中的激动和迷茫。在 edacn（现已关闭）、eetop 和国外一些专业网站上长期交流的日子里，我认识了许多同行的朋友，有国内的，有国外的，大家普遍的共识是专业资料既太多，又太少。太多是指相对于初学者，所关注的主题往往能找到无数的文章论文和技术文档，太少是指对于高级技术人员，真正能将设计提高一个层次的关键技术要点，很难直接遇到。这样的技术要点往往需要资深工程师系统的经验总结，这正是国内 IC 业界所欠缺的。

在机械工业出版社的张国强编辑的推荐下，我接触到了本书。从头到尾读过这本书后，我的第一感觉就是，实用且有效。作者尽可能用最少的理论基础作铺垫，系统打造出一幢由实用技术组成的大厦，其工程师的思维方式在这里展现无余，一切从解决问题出发，直奔主题，解释怎样做，并给出原理图和代码，以及解决方案。简洁而专注，这就是本书的风格。使用本书可以快速解决设计中可能遇到的问题，也可以很容易地将本书的内容直接应用到设计中。

本书的主要内容涉及时钟和复位、多时钟域设计、时钟分频器、低功耗设计技术、流水线技术、字节顺序、消抖技术和电磁兼容性等方面。绝大部分内容是进行数字设计时必然会接触到的。但也有一些技术在进行某些特殊部分设计时才会涉及，如消抖技术和电磁兼容性。第 2 章介绍同步设计的时钟技术，并提出了可行的时钟方案，此外也介绍了系统复位策略。第 3 章介绍多时钟设计的问题和解决方法，几种可能的跨时钟域情况和跨时钟域数据传输方法等。第 4 章介绍奇数、偶数与小数分频电路的实现和优缺点。第 5 章介绍数字电路功耗来源，并分别从系统级、体系结构级、寄存器传输级和晶体管级提出一系列降低功耗的方法。第 6 章介绍流水线的基本原理。第 7 章说明小端和大端字节顺序的含义，并比较其优缺点和适用领域，以及在进行系统设计时处理使用不同字节顺序 IP 的方法，此外介绍了字节顺序中性编码规则。第 8 章介绍典型的开关行为和软硬件消抖技术。第 9 章介绍电磁干扰的原理、规

程、标准和认证,电磁干扰的影响因素及减少电磁干扰的方法。

本书第1~7章由李海东翻译,第8~9章由来萍、师谦和肖庆中负责翻译。此外,感谢同事李坤在模拟电路方面、曹杰和詹东友在数字电路方面对我的帮助与支持。最重要的,感谢家人对我的理解和支持,如果没有他们的鼓励我无法在节假日坚持每天起早贪黑的翻译工作。

由于译者水平有限,翻译中难免有错误或不妥之处,此外也可能偏向于自己的工作经验,真诚希望各位读者在阅读本书时能将发现的错误及时告知,以便进行更正。

李海东

前 言

我从 2000 年起开始进入芯片设计行业。工作中涉及的众多研究使我有机会编写相关的技术论文，参加各种技术会议并分享实践经验。在这个过程中，我的出版物得到了许多反馈。常常有读者希望我能将所有的实践经验汇集成一本书。然后这本书问世了。本书重点强调了 IP 设计者在设计高度优化和可靠的数字电路时所面对的任务与要掌握的所有技巧。如果恰当使用本书中提到的技术，将大大减少将最初设想转化为实际设计所用的时间，并能保证一次流片成功。

本书读者广泛。本书主要面向半导体行业中的需要深入理解相关主题的芯片设计人员，此外本书也可以作为本科生或研究生的教材。

本书与同类书籍的区别在于本书主要关注芯片设计各领域中所遇到的实际问题，而不仅仅停留在理论概念层面。

本书介绍芯片设计中各方面的顺序如下：从第 1 章介绍基本概念开始，逐步增加深度到达更高级的主题。如 EMC 设计技术或复杂的低功耗设计技术，如 DVFS (Dynamic Voltage and Frequency Scaling, 动态电压频率调整)。

第 1 章介绍“亚稳态”，可以使读者对其有更为清晰的理解，涉及量化的方法和减少其影响的技术。

第 2 章围绕设计人员在设计模块或知识产权 (IP) 时使用的“时钟和复位”提出一系列建议。这些规则独立于任何 CAD 工具或硅工艺并可应用于任意 ASIC 设计。

第 3 章介绍在设计中使用异步时钟或“处理多个时钟”时会出现的问题及解决方法，以使设计能在多时钟域中稳定工作。

第 4 章介绍“时钟分频器”的各个方面，这是可能需要产生若干个与相位相关的时钟的典型 SoC。除了以 2 为幂的同步分频，该章也介绍了奇数分频 (3 分频、5 分频等)，以及非整数分频 (1.5 分频、2.5 分频等)。

第 5 章介绍“低功耗设计技术”。随着工艺节点变小和应用环境对功耗要求的提高，功耗问题逐渐成为设计的显著约束条件。该章在各种设计抽象级上提出了多种设计方法学和技术，来减少动态和静态功耗。

第 6 章介绍“流水线”技术。将这种技术应用在处理器的设计中，能提高单位时钟的数

据吞吐率。该章将流水线概念从处理器提高到典型电路中，以提高性能。

第7章介绍“字节顺序”的概念。在设计中各种IP可能有不同的字节顺序，该章介绍使用最优字节顺序的方法。

第8章介绍硬件和软件的“消抖”方法，以除掉从外部输入（通常是某种开关）的有害噪声和毛刺。

第9章深入介绍EMC/EMI的相关问题，将其应用于数字电路的方式，以及为达到“更好的EMC性能”在设计各抽象级所要遵循的设计规则。

我已经有意将理论部分尽可能精简，主要是为了帮助读者对各专题的理解。各章中所提到的设计准则独立于任何CAD工具或硅工艺，所以设计者可在设计和实施任何片上系统（SoC）项目时使用它们，以得到结构合理且可综合的RTL代码。

本书中有少量的章节包含硬件描述语言（HDL）代码，主要是针对刚刚接触数字电路的初学者。对于已熟练掌握该基础的高级工程师，此部分可以直接跳过。

某些更高级的章节，如第9章，在撰写时经过了几个月的透彻研究，以使其更易于被数字设计人员接受。

我已采取了各种措施以尽可能保持本书的完善性。欢迎广大读者针对这些方面提出反馈或建议。相关意见可以发送至邮箱：mohit.arora@me.com 或 mohit.arora@freescale.com。

致谢

我写本书的初衷是想将我多年的工作经验和所进行的众多研究联系起来。然而，如果没有其他人的大力支持和帮助，我是无法完成这样一本书的。

我心爱的妻子 Pooja 经常在深夜耐心陪伴着我，真心感谢她对我的真诚支持和鼓励。我的大多数写作工作是在周末、夜间、旅途中，以及其他本属于家庭生活的时间内进行的。谢谢我的父母，从儿时起就一直支持我坚持完成自己的梦想。

十分感谢 Freescale 半导体公司的同事 Prashant Bhargave 耐心阅读了我的初稿，并基于其多年的工作经验提出许多建设性意见。他在本书的编辑、格式调整方面，以及第7章的若干章节中做出了贡献。

特别感谢 Freescale 半导体公司的 Rakesh Pandey 和 Sudhi Ranjan Proch 的早期帮助与对一些章节的反馈。

谢谢 Springer 的高级编辑 Charles Glaser，他为我提供了能将这本书在 Springer 出版的机会。此外，也对 Springer 的出版团队中使本书成为一本出色专业读物提供帮助的人表示感谢。

Mohit Arora

目 录

译者序		2.3 推荐的设计技术	14
前 言		2.3.1 避免在设计中出现组合 环路	14
第1章 亚稳态的世界	1	2.3.2 避免数字设计中的 延迟链	16
1.1 简介	1	2.3.3 避免使用异步脉冲 产生器	16
1.2 亚稳态理论	1	2.3.4 避免使用锁存器	17
1.3 亚稳态窗口	3	2.3.5 避免使用双沿时钟	20
1.4 计算 MTBF	4	2.4 时钟方案	22
1.5 避免亚稳态	5	2.4.1 内部产生的时钟	22
1.5.1 使用多级同步器	6	2.4.2 分频时钟	24
1.5.2 使用时钟倍频电路的 多级同步器	6	2.4.3 行波计数器	25
1.6 亚稳态测试电路	7	2.4.4 多路时钟	25
1.7 同步器的类型	8	2.4.5 同步时钟使能和门控 时钟	26
1.8 亚稳态/综合性建议	10	2.5 门控时钟方法学	28
第2章 时钟和复位	11	2.5.1 不含锁存器的门控时钟 电路	28
2.1 概述	11	2.5.2 基于锁存器的门控时钟 电路	30
2.2 同步设计	12	2.5.3 门控信号	32
2.2.1 避免使用行波计数器	12	2.5.4 重组数据路径以减少 转换传播	32
2.2.2 门控时钟	12	2.6 复位信号的设计策略	32
2.2.3 双边沿或混合边沿 时钟	13		
2.2.4 用触发器驱动另一个 触发器的异步复位端	13		

2.6.1	用同步复位进行设计	33
2.6.2	使用异步复位进行设计	36
2.6.3	带异步复位和异步置位的触发器	38
2.6.4	移除异步复位的问题	39
2.6.5	复位同步器	40
2.6.6	过滤复位毛刺	41
2.7	控制时钟偏移	42
2.7.1	短路径问题	43
2.7.2	时钟偏移和短路径分析	43
2.7.3	使时钟偏移最小化	45
	参考文献	49

第3章 处理多个时钟 50

3.1	介绍	50
3.2	多时钟域	50
3.3	多时钟域设计的难题	51
3.3.1	违背建立时间和保持时间	52
3.3.2	亚稳态	53
3.4	多时钟设计的处理技术	53
3.4.1	时钟命名法	53
3.4.2	分块化设计	54
3.4.3	跨时钟域	54
3.5	跨时钟域	57
3.5.1	同频零相位差时钟	57
3.5.2	同频恒定相位差时钟	58
3.5.3	非同频、可变相位差时钟	59
3.6	握手信号方法	63
3.6.1	握手信号的要求	64
3.6.2	握手信号的缺点	64
3.7	使用同步 FIFO 传输数据	65

3.7.1	同步 FIFO 架构	65
3.7.2	同步 FIFO 的工作方式	66
3.8	异步 FIFO (或双时钟 FIFO)	68
3.8.1	避免用二进制计数器实现指针	69
3.8.2	使用格雷码取代二进制计数	69
3.8.3	用格雷码实现 FIFO 指针	72
3.8.4	FIFO 满和 FIFO 空的产生	76
3.8.5	双时钟 FIFO 设计	79
	参考文献	82

第4章 时钟分频器 83

4.1	介绍	83
4.2	同步整数分频器	83
4.3	具有 50% 占空比的奇数整数分频	84
4.4	非整数分频 (非 50% 占空比)	86
4.4.1	具有非 50% 占空比的 1.5 倍分频	86
4.4.2	4.5 倍分频计数器的实现 (非 50% 占空比)	87
4.5	N 分频的替换方法	88
	参考文献	89

第5章 低功耗设计 90

5.1	介绍	90
5.2	功耗源	90
5.3	在各设计抽象层次降低功耗	91
5.4	系统级低功耗技术	93
5.4.1	片上系统方法	93
5.4.2	硬件/软件划分	93

5.4.3 低功耗软件	95	第6章 流水线的艺术	123
5.4.4 选择处理器	96	6.1 介绍	123
5.5 体系结构级降低功耗技术	97	6.2 影响最大时钟频率的因素	124
5.5.1 高级门控时钟	97	6.2.1 时钟偏移	125
5.5.2 动态电压频率调节	99	6.2.2 时钟抖动	125
5.5.3 基于缓存的系统体系 结构	100	6.3 流水线	127
5.5.4 对数 FFT 体系结构	100	6.4 解释流水线——一个真实的 例子	129
5.5.5 异步（无时钟）设计	100	6.5 来自于流水线的性能提高	130
5.5.6 电源门控	102	6.6 DLX 指令集的实现	133
5.5.7 多阈值电压	105	6.7 流水线对吞吐率的影响	137
5.5.8 多电压供电	106	6.8 流水线原理	138
5.5.9 存储器电源门控	106	6.9 流水线冒险	138
5.6 在寄存器传输级降低功耗	107	6.9.1 结构冒险	139
5.6.1 状态机编码和解码	107	6.9.2 数据冒险	140
5.6.2 二进制数表示法	108	6.9.3 控制冒险	143
5.6.3 门控时钟基础	109	6.9.4 其他风险	144
5.6.4 独热码多路器	111	6.10 ADC 中的流水线——一个 例子	145
5.6.5 除掉多余的转换	112	参考文献	146
5.6.6 资源共享	114	第7章 处理字节顺序	147
5.6.7 使用行波计数器来降低 功耗	114	7.1 介绍	147
5.6.8 总线反转	117	7.2 定义	147
5.6.9 高活跃度网络	118	7.3 小端模式或大端模式：哪个 更好	149
5.6.10 启用和禁用逻辑云	119	7.4 处理字节顺序不匹配的问题	151
5.7 寄存器级低功耗技术	120	7.5 访问 32 位存储器	152
5.7.1 技术水平	120	7.6 处理字节顺序不匹配	153
5.7.2 版图优化	120	7.6.1 保持数据完整性 (数据不变)	154
5.7.3 衬底偏压	120	7.6.2 地址不变	156
5.7.4 减少氧化层厚度	121	7.6.3 软件字节交换	158
5.7.5 多氧化层器件	121	7.7 字节顺序中性代码	159
5.7.6 利用定制设计减小 电容	121		
参考文献	122		

7.8 字节顺序中性编码指南.....	159	9.3 电磁干扰理论及与电流和频率 之关系.....	177
参考文献	160	9.4 电磁干扰的规程、标准和 认证.....	178
第8章 消抖技术	161	9.5 影响集成电路抗干扰性能的 几个因素.....	179
8.1 简介.....	161	9.5.1 作为噪声源的 微控制器	179
8.2 开关行为.....	162	9.5.2 影响电磁兼容性的其他 因素	180
8.3 开关种类.....	163	9.5.3 噪声载体	181
8.4 消抖.....	164	9.6 减少 EMC/EMI 的技术	181
8.4.1 RC 消抖.....	164	9.6.1 系统级技术	182
8.4.2 硬件消抖电路	168	9.6.2 板级技术	184
8.4.3 软件消抖电路	169	9.6.3 微控制器级技术	193
8.4.4 消抖指南	171	9.6.4 软件层级技术	196
8.4.5 在多重输入下消抖	172	9.6.5 其他技术	203
8.5 现有的解决方案.....	173	9.7 总结.....	204
第9章 电磁兼容性能设计指南.....	175		
9.1 简介.....	175		
9.2 定义.....	175		

第1章 亚稳态的世界

1.1 简介

在同步系统中,数据相对于时钟总有固定的关系。当这种关系满足器件的建立和保持时间的要求时,输出端会在特定的传输延迟时间内输出一个有效状态。因为在同步系统中输入信号总是满足触发器的时序要求,所以不会发生亚稳态。但是,在异步系统中,由于数据和时钟的关系不是固定的,因此有时会出现违反建立和保持时间的现象。当违反建立和保持时间时,就会输出介于两个有效状态之间的中间级电平且无法确定停留在中间状态的时间,或者在经过一定的延迟后才能进行正常转换。

本章将帮助读者更清楚地了解有关亚稳态的问题,明白它是如何量化的,以及如何最大限度地减少它的危害。

1.2 亚稳态理论

亚稳态是由于违背了触发器的建立和保持时间而产生的。设计中任何一个触发器都有特定的建立和保持时间,在时钟上升沿前后的这段时间窗口内,数据输入信号必须保持稳定。如果信号在这段时期发生了变化,那么输出将是未知的或者称为“亚稳的”。这种有害状态的传播就叫做亚稳态。触发器的输出会因此而产生毛刺,或者暂时保持在不稳定状态而且需要较长时间才能回到稳定状态。

如图 1.1 所示，当触发器处在亚稳态时，输出会在高低电平之间波动，这会导致延迟输出转换过程，并超出所规定的时钟到输出的延迟值 (t_{co})。亚稳态输出恢复到稳定状态所需的超出 t_{co} 的额外时间部分称为稳定时间 (t_{MET})。并非所有不满足建立和保持时间的输入变化都会导致亚稳态输出。触发器是否进入亚稳态和返回稳态所需时间取决于生产器件的工艺技术与外界环境。一般来说，触发器都会在一个或者两个时钟周期内返回稳态。

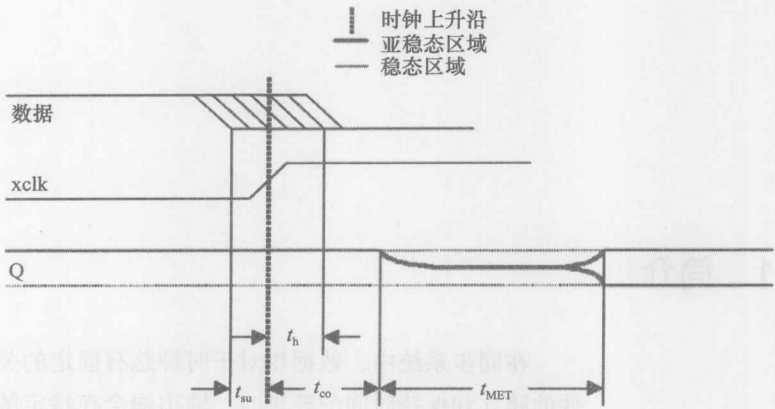


图 1.1 亚稳态时序参数

如图 1.2 所示，触发器的运转类似于在光滑的山上滚动球，山的两边代表两个稳定状态（即高和低），山顶就代表亚稳态。假设球处在一个稳定的状态（即 1 或 0），给球一个足够（满足建立和保持时间要求）的推力（状态转换），使这个球在规定时间内越过山顶到达另一个稳定的状态。

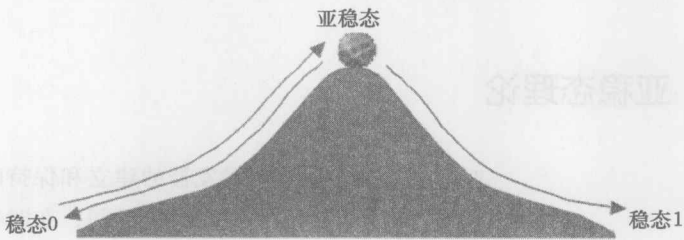


图 1.2 触发器的亚稳态行为

然而，如果推力不够（即违反建立和保持时间），这个球就会到达山顶（即输出亚稳态），停留一段时间后再返回到一个稳定的状态（即最终

输出稳定)。这个球也可能会上升一段路程就返回了(即输出可能产生毛刺)。这两种情况都会增加从时钟变化到稳定输出的延迟。

所以,简单地讲,当信号在一个时钟域(src_data_out)里变化,在另一个时钟域(dest_clk)内采样时,就会导致输出变成亚稳态。这就是所谓的同步失败(见图 1.3)。

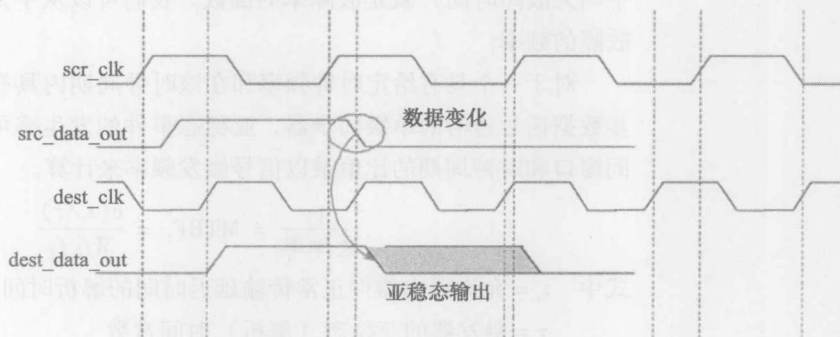


图 1.3 触发器中的亚稳态

1.3 亚稳态窗口

亚稳态窗口(Metastability Window)具有特定的时间长度,在这段时间内输入信号和时钟都应该保持不变。如果它们发生变化,输出就可能变成亚稳态。如图 1.4 所示,建立时间和保持时间共同决定亚稳态窗口的宽度。

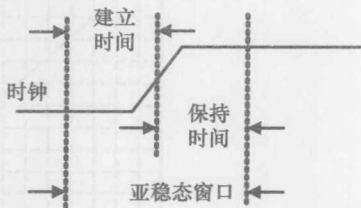


图 1.4 亚稳态窗口

窗口越大,进入亚稳态的概率越高。在大多数情况下,较新的逻辑器件会有更小的亚稳态窗口,也就意味着器件进入亚稳态的概率会更小。

1.4 计算 MTBF

当系统的故障率恒定时，MTBF (Mean/Average Time Between Failures, 平均无故障时间) 就是故障率的倒数。我们可以从中知道特定触发器发生故障的频率。

对于一个具有给定时钟频率和在该时钟周期内具有均匀概率密度的异步数据信号边沿的单级同步器，亚稳态事件的发生率可以用建立、保持时间窗口和时钟周期的比值乘以信号触发频率来计算。

$$\frac{1}{\text{故障率}} = \text{MTBF}_1 = \frac{e(t_r/\tau)}{Wf_c f_d} \quad (1.1)$$

式中 t_r = 允许超出器件正常传输延迟时间的解析时间

τ = 触发器的亚稳态 (解析) 时间常数

W = 亚稳态窗口

f_c = 时钟频率

f_d = 异步信号边沿频率

常数 W 和 τ 跟触发器的电气特性有关，会根据工艺技术而改变。所以，相同工艺生产出来的不同器件有着相似的 W 和 τ 值。

如果在不同的解析时间测量和描绘器件的故障率，结果会是一个指数衰减曲线。如图 1.5 所示，当以半对数刻度绘制时，结果就是一条斜率为 d 的直线；因此，在直线上取两个数据点就能够用式 1.2 计算出 τ 的值。

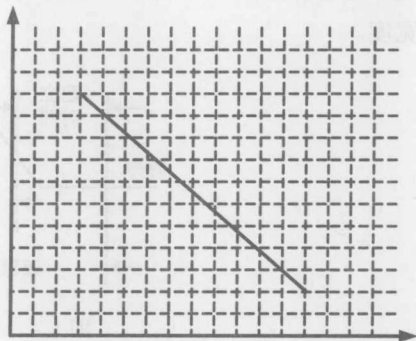


图 1.5 故障率和时间 (对数刻度)

$$\tau = \frac{t_{i2} - t_{i1}}{\ln(N1/N2)} \quad (1.2)$$

式中 t_{r1} = 解析时间 1

t_{r2} = 解析时间 2

$N1$ = t_{r1} 时刻的故障次数

$N2$ = t_{r2} 时刻的故障次数

基于式 1.1 和式 1.2, 两级同步器的 MTBF 可以用式 1.3 来计算。

$$MTBF_2 = \frac{e(t_{r1}/\tau)}{Wf_c f_d} \times e(t_{r2}/\tau) \quad (1.3)$$

式中 t_{r1} = 第一级同步器的解析时间

t_{r2} = 超过正常传输延迟的解析时间

式 1.3 中的第一项计算出了第一级同步器的 MTBF, 实质上就是下一级的亚稳态发生率。第二项则根据 t_{r2} (解析时间) 的值计算出了亚稳态事件的解析概率。两项结果的乘积就是两级同步器的整个 MTBF。

在给定触发器时钟速率和输入信号变化速率的情况下, 如果 MTBF 为 40s, 根据式 1.3, 用来同步输入的这样的两级触发器的 MBTF 就是 $40 \times 40 = 26.6\text{min}$ 。

1.5 避免亚稳态

如 1.2 节所述, 每当违背建立、保持时间时, 亚稳态就会出现。在以下条件中, 信号可能违背时序要求。

- 输入信号是异步信号。
- 时钟偏移/摆动 (上升/下降时间) 高于容限值。
- 信号在两个不同频率或者相同频率但是相位和偏移不同的时钟域下跨时钟域工作。
- 组合延迟使触发器的数据输入在亚稳态窗口内发生变化。

亚稳态会引起过多的传输延迟和系统故障, 所有的触发器和寄存器都存在亚稳态。虽然亚稳态不能根除, 但是可以减小亚稳态发生的概率。

在最简单的情况下, 设计人员可以通过确保时钟周期足够长来避免亚稳态, 这个时钟周期要大于准稳态的解析时间, 也要大于通往下一级触发器的路径上的任何逻辑延迟。虽然这种方法简单, 但在大多数现代设计的性能要求下并不实用。另一种避免亚稳态的方法就是使用同步器。

1.5.1 使用多级同步器

避免亚稳态最常见的方法是在跨时钟域的信号上加上一个或者多个同步触发器，如图 1.6 所示。这种方法用一个完整的时钟周期来解决第一级同步触发器的亚稳态问题（不包括第二级触发器的建立时间）。但是这种方式增加了观察同步逻辑输入的延迟。

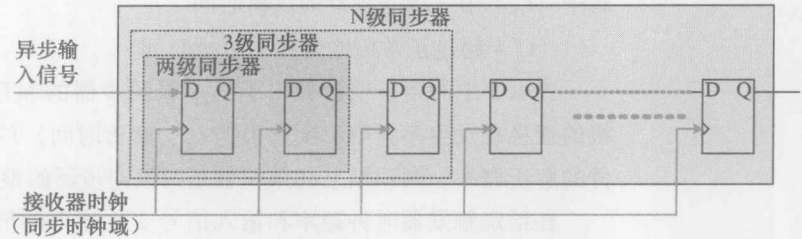


图 1.6 N 级同步器

1.5.2 使用时钟倍频电路的多级同步器

多级同步器的一个局限就是系统需要花费较长的时间去响应异步输入。解决这个问题的办法就是使用倍频时钟作为两个同步触发器的时钟输入。Altera 的 FPGA 中具有这项称为时钟倍频的技术（见图 1.7）。

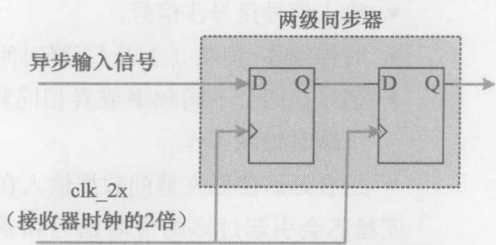


图 1.7 带有时钟倍频电路的多级同步器

这种方法不仅能够让系统在一个系统时钟周期内响应一个异步输入，而且改善了 MTBF。尽管这种倍频时钟能够降低 MTBF，但是这个影响要超过两级触发器引起的偏移量。

两种方法都不能保证同步器阻止亚稳态传播下去，它们仅仅减少了亚稳态发生的概率。