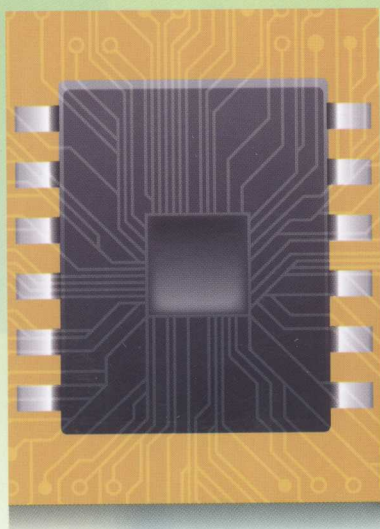


数字信号控制器 原理与实践

——基于MC56F8257

林志贵 王宜怀 编著



北京航空航天大学出版社
BEIHANG UNIVERSITY PRESS

014013239

TN911.72
306

数字信号控制器原理与实践 ——基于 MC56F8257

林志贵 王宜怀 编著



北京航空航天大学出版社

TN911.72
306



北航

C1700483

内 容 简 介

本书以飞思卡尔(Freescale)的 DSP56800E 内核的 MC56F82x 系列 DSC 为蓝本阐述数字信号控制器的软件与硬件设计。全书共 14 章,第 1~4 章囊括了学习一个 DSC 完整要素的入门环节。其中第 1 章简单介绍 DSP56800E 内核特点、寻址方式及指令。第 2 章介绍 MC56F825X 硬件最小系统。第 3 章介绍第一个样例程序及开发环境下的工程组织方法,完成第一个 MC56F8257 工程的入门任务。第 4 章阐述串行通信接口 QSCI,并给出第一个带中断的实例。第 5~13 章分别介绍了定时器、eFlexPWM、ADC、DAC、HSCM 比较器、SPI、I2C、Flash、CAN 及 MC56F8257 其他模块等。第 14 章给出了 MC56F8257 在数字滤波器中的应用。

本书提供了配套资料,内含所有底层驱动构件源程序、测试实例、辅助阅读材料、教学课件、相关芯片资料及常用软件工具,下载地址: <http://sumcu.suda.edu.cn>。

本书可作为高等院校嵌入式系统等相关专业的教材或培训资料,也可作为 DSP56800E 应用工程师的技术研发参考书。

图书在版编目(CIP)数据

数字信号控制器原理与实践:基于 MC56F8257 / 林志贵,王宜怀编著. -- 北京:北京航空航天大学出版社, 2014.1

ISBN 978-7-5124-1340-5

I. ①数… II. ①林… ②王… III. ①数字信号处理
IV. ①TN911.72

中国版本图书馆 CIP 数据核字(2013)第 308197 号

版权所有,侵权必究。

数字信号控制器原理与实践——基于 MC56F8257

林志贵 王宜怀 编著

责任编辑 陈 旭

*

北京航空航天大学出版社出版发行

北京市海淀区学院路 37 号(邮编 100191) <http://www.buaapress.com.cn>

发行部电话:(010)82317024 传真:(010)82328026

读者信箱:emsbook@gmail.com 邮购电话:(010)82316936

涿州市新华印刷有限公司印装 各地书店经销

*

开本:710×1 000 1/16 印张:28.75 字数:613 千字

2014 年 1 月第 1 版 2014 年 1 月第 1 次印刷 印数:3 000 册

ISBN 978-7-5124-1340-5 定价:59.00 元

若本书有倒页、脱页、缺页等印装质量问题,请与本社发行部联系调换。联系电话:(010)82317024

前言

随着嵌入式技术的发展以及控制对象要求的越来越复杂,微控制器(MCU)与数字信号处理器(DSP)区分越来越模糊,二者逐步结合在一起,诞生了数字信号控制器(Digital Signal Controller,DSC)。DSC 包含能同时完成微控制器和数字信号处理器功能的专门微处理器,具有适用于多种类型系统解决方案的内核处理能力。

飞思卡尔半导体有限公司(Freescale)是最早推出 DSC 芯片的公司之一,其推出的 MC56F8xxx 系列数字信号控制器芯片具有低成本、低功耗和高性能的处理能力和微控功能,适用于滤波器设计、电机控制、逆变电源等领域的应用要求。芯片内集成了多种功能强大的外设模块,是一种高速数字信号控制器;具有处理性能好、外设模块集成度高、程序存储器容量大、模数转换速度快、精度高等优点。

MC56F8xxx 系列芯片类型众多,每一种类型芯片提供的存储量和外设模块不同,目的是满足各种应用与性价比的需要,并为应用产品提供了更加经济实用的可编程低成本解决方案。本书以 MC56F8257 为对象,介绍 DSC 的内部架构、内核特点、外设模块;以软硬件架构模式以及构件化封装方式,给出各个外设的测试实例。通过测试实例和模块工作方式的介绍,使读者能够全面掌握 DSC,并能够达到触类旁通的效果,进而推广到该系列其他芯片的应用开发。

本书特点

(1) 把握通用知识与芯片相关知识之间的平衡。书中对于嵌入式“通用知识”的基本原理,以应用为立足点,进行语言简洁、逻辑清晰的阐述,同时注意与芯片相关知识之间的衔接,使读者在更好地理解基本原理的基础上理解芯片应用的设计,同时反过来,加深对通用知识的理解。

(2) 把握硬件与软件的关系。嵌入式系统设计是一个软件、硬件协同设计的工程,特别是对电子系统智能化嵌入式应用来说,没有对硬件的理解就不可能写好嵌入式软件,同样没有对软件的理解也不可能设计好嵌入式硬件。因此,本书注重把握硬件知识与软件知识之间的关系。

(3) 对底层驱动进行构件化封装。书中对每个模块均给出了底层驱动程序以及详细、规范的注释及对外接口,方便移植与复用。开发节省大量的时间。

(4) 设计合理的测试用例。书中所有源程序均经测试通过,并保留测试用例在本书的配套资料中,方便读者验证与理解。

(5) 配套资料提供了所有模块完整的底层驱动构件化封装程序与测试用例。需

要使用 PC 机的程序的测试用例,还提供了 PC 机的 C# 源程序。此外,配套资料还提供了阅读资料、CW10.3 简明使用方法、写入器驱动与使用方法、部分工具软件、有关硬件原理图等。

(6) 提供硬件核心板、写入调试器,方便读者进行实践与应用。同时提供了核心板与苏州大学嵌入式研发中心设计制作的扩展板的对接,以满足教学实验的需要。

本书内容安排

本书在内容安排上由浅入深,逐层递进,具体内容如下:

第 1 章,概况 MC56F8257 内核——DSP56800E 处理器的特点、指令以及寻址方式。

第 2 章,介绍 MC56F8257 硬件系统及其内部存储器架构。

第 3 章,基于 CodeWarrior 10.3 版本讲述第一个例程架构。以 GPIO 为基础,给出 CodeWarrior 10.3 环境下小灯控制例程。

第 4 章,简单介绍通用串行通信基本知识,详细阐述 MC56F8257 内部集成的 QSCI 模块的特点、工作方式及编程要素,并给出测试实例。

第 5 章,详细介绍 MC56F8257 内部集成的定时器的特点、工作方式及编程要素,并给出测试实例。

第 6 章,详细介绍 MC56F8257 内部集成的 eFlexPWM 的特点、工作方式,并给出测试实例。

第 7、8 章,分别从特点、工作方式等方面详细阐述了 MC56F8257 内部集成的 ADC/DAC 模块,以及高速转换模块,说明其编程要素,并给出测试实例。

第 9 章,详细论述了 Flash 在线编程方法,并给出 MC56F8257 内部 Flash 在线编程要素以及测试实例;另外,还阐述了 MC56F8257 内部 Flash 安全设计要点及测试实例。

第 10、11 章,分别从工作原理、工作方式及编程要素方面阐述了 MC56F8257 内部集成的串行通信接口 I2C/SPI;并分别给出其双机通信的测试实例。

第 12 章,详细论述了 CAN 总线的通用知识,以及 MC56F8257 内部集成的 MSCAN 模块的特点、工作方式及编程要素,并给出自测及双机通信的测试实例。

第 13 章,论述了 MC56F8257 内部片内时钟合成模块、SIM 模块、交叉开关、计算机运行监护模块 COP 以及冗余校验发生器 CRC 等。这些部分与前面章节息息相关,直接关系到 MC56F8257 运行的时钟、稳定性等方面。

第 14 章,从滤波器设计方面,介绍如何利用 MC56F8257 设计不同需求的数字滤波器,并给出测试实例。

作者分工与致谢

本书由天津工业大学的林志贵负责编制提纲和统稿工作,并撰写第 5~11 章。苏州大学的王宜怀撰写第 1~4 章,刘英平撰写第 12、13 章,李金桐撰写第 14 章。研

究生王欢、席冬冬、张彩霞、王玺、李敏、陈珍星、姚芳琴、沈忱、马旭波、蒋婷、朱锦明、赵效峰、胡玉鑫、谭碧云等协助书稿整理及程序调试工作,他们卓有成效的工作使本书更加实用。飞思卡尔半导体有限公司的马莉女士一直关心支持天津工业大学飞思卡尔嵌入式中心的建设,为本书的撰写提供了硬件及软件资料,并提出了许多宝贵建议。在此一并表示诚挚的谢意。

鉴于作者水平有限,书中难免存在不足和错误之处,恳望读者提出宝贵意见和建议。如果读者有什么疑问,请与作者联系:linzhigui@tjpu.edu.cn。

林志贵

2013年12月于天津工业大学



第 1 章 DSP56800E 处理器概述	1
1.1 概 述	1
1.2 DSP56800E 处理器	2
1.3 DSP56800E 的寻址方式	7
1.4 DSP56800E 指令系统	8
1.4.1 数据传送类指令	8
1.4.2 算术运算类指令	9
1.4.3 逻辑运算类与位操作类指令	11
1.4.4 程序控制类指令	13
1.4.5 AGU 算术指令	14
1.5 DSP56800E 汇编语言基础	14
1.5.1 DSP56800E 汇编源程序格式	15
1.5.2 DSP56800E 汇编语言伪指令	17
第 2 章 MC56F825X 硬件最小系统	22
2.1 DSC 概述	22
2.1.1 相关概念	22
2.1.2 MC56F82xx 系列 DSC	23
2.2 MC56F8257 功能及存储器映像	25
2.2.1 MC56F8257 的功能	26
2.2.2 MC56F8257 的存储器映像及特点	28
2.3 MC56F8257 的引脚功能及硬件最小系统	31
2.3.1 MC56F8257 的引脚功能	31
2.3.2 MC56F8257 硬件最小系统	35
2.3.3 MC56F8257 硬件评估板与测试步骤	38
第 3 章 第一个样例程序及工程组织	39
3.1 MC56F8257 的 GPIO 模块	39
3.1.1 GPIO 寄存器	39
3.1.2 GPIO 的工作方式	44
3.1.3 GPIO 的基本编程方法	45
3.2 CodeWarrior 开发环境	46

3.3 CW 环境下 C 语言工程文件的组织框架	50
3.3.1 工程文件的组织结构	50
3.3.2 系统启动及初始化相关文件	51
3.3.3 芯片初始化、主程序、中断程序及其他文件	56
3.3.4 机器码文件	58
3.3.5 .lst 文件与 .map 文件	60
3.3.6 实例:如何在 CW 环境下新建一个 DSC 工程	61
3.4 第一个 C 语言工程:控制小灯闪烁	62
3.4.1 GPIO 构件设计	62
3.4.2 Light 构件设计	66
3.4.3 Light 测试工程主程序	68
3.4.4 理解第一个 C 工程的执行过程	69
第 4 章 队列式串行通信接口 QSCI	71
4.1 异步串行通信的基础知识	71
4.1.1 串行通信的基本概念	71
4.1.2 RS-232 总线标准	73
4.1.3 TTL 电平到 RS-232 电平转换电路	74
4.1.4 串行通信编程模型	76
4.2 MC56F8257 的 QSCI 模块	77
4.2.1 QSCI 模块的特点	77
4.2.2 QSCI 工作方式	78
4.2.3 QSCI 模块的寄存器	82
4.3 QSCI 模块编程方法	89
4.3.1 QSCI 初始化与收发编程的基本方法	89
4.3.2 实例:QSCI 构件设计与测试	90
4.4 实例:MC56F8257 中断源与第一个带中断的编程	97
4.4.1 中断与异常的基本知识	97
4.4.2 MC56F8257 的中断机制	98
4.4.3 MC56F8257 的中断编程方法	101
4.4.4 实例:MC56F8257 的中断优先级编程	103
第 5 章 定时器模块	105
5.1 计数器/定时器的基本工作原理	105
5.1.1 硬件方式	105
5.1.2 软件方式	106
5.1.3 可编程计数器/定时器	106
5.2 MC56F8257 定时器模块	106

5.2.1 定时器模块特点及结构	106
5.2.2 定时器模块的工作方式	107
5.3 定时器模块的基本编程方法与实例	110
5.3.1 定时器模块计时功能的基本寄存器	110
5.3.2 实例:定时器构件设计与测试	117
5.4 定时器模块输入捕捉功能的编程方法与实例	121
5.4.1 输入捕捉的基本含义	122
5.4.2 输入捕捉的寄存器	122
5.4.3 实例:输入捕捉构件设计与测试	123
5.5 定时器模块输出比较功能的编程方法与实例	128
5.5.1 输出比较的基本含义	128
5.5.2 输出比较的相关寄存器	129
5.5.3 实例:输出比较构件设计与测试	130
第 6 章 脉宽调制模块 eFlexPWM	137
6.1 PWM 的基本原理	137
6.2 eFlexPWM 模块的内部结构及其特点	138
6.3 eFlexPWM 模块	140
6.3.1 时 钟	140
6.3.2 发生器	140
6.3.3 计数同步	142
6.3.4 通道独立与互补	144
6.3.5 死区时间插入逻辑	144
6.3.6 输出逻辑	148
6.3.7 中 断	150
6.4 eFlexPWM 的工作方式	151
6.4.1 对齐 PWM	151
6.4.2 移相 PWM	153
6.4.3 双转换 PWM	153
6.4.4 ADC 触发	154
6.4.5 增强型输入捕捉	154
6.4.6 输出比较	156
6.4.7 同步转换输出	156
6.5 eFlexPWM 模块的相关寄存器	157
6.6 实例:eFlexPWM 构件设计及测试	178
6.6.1 实例:边沿对齐 PWM 构件设计及测试	178
6.6.2 实例:死区时间插入逻辑构件设计及测试	184

第 7 章 ADC 模块	187
7.1 ADC 的基本知识	187
7.1.1 ADC 的基本问题	187
7.1.2 A/D 转换器	188
7.1.3 A/D 转换常用传感器	190
7.1.4 电阻型传感器采样电路设计	191
7.2 带有可编程增益放大器的 ADC 模块	193
7.2.1 时钟	193
7.2.2 工作模式	194
7.2.3 数据采样模式及处理	196
7.2.4 启动方式	197
7.3 ADC 模块的编程寄存器	198
7.4 ADC 模块编程方法与实例	209
7.4.1 ADC 模块基本编程方法	209
7.4.2 实例:ADC 构件设计与测试	210
第 8 章 DAC 模块与高速比较器 HSCMP 模块	215
8.1 DAC 的基本知识	215
8.1.1 D/A 转换器的工作原理	215
8.1.2 D/A 转换器的主要技术指标	218
8.2 DAC 模块	219
8.2.1 12 位 DAC 模块	219
8.2.2 5 位 VREF_DAC 模块	221
8.3 DAC 模块的编程寄存器	222
8.3.1 12 位 DAC 模块的编程寄存器	222
8.3.2 5 位 VREF_DAC 模块的编程寄存器	226
8.4 DAC 模块编程方法与实例	227
8.4.1 DAC 模块基本编程方法	227
8.4.2 实例:DAC 构件设计与测试	227
8.5 高速比较器 HSCMP	229
8.6 HSCMP 工作模式	230
8.6.1 连续模式	230
8.6.2 采样模式	230
8.6.3 窗口模式	231
8.7 HSCMP 模块的编程寄存器	232
8.8 DAC 与 HSCMP 模块结合编程方法与实例	235
8.8.1 HSCMP 模块基本编程方法	235

8.8.2 实例:HSCMP 构件设计与测试	236
第9章 Flash 存储器在线编程	240
9.1 概 述	240
9.2 MC56F8257 Flash 存储器编程方法	243
9.2.1 Flash 存储器编程的基本概念	244
9.2.2 Flash 存储器的编程寄存器	244
9.2.3 Flash 存储器的编程步骤	249
9.3 Flash 在线编程	252
9.4 Flash 存储器的保护特性和安全性	255
9.4.1 Flash 存储器的保护特性	255
9.4.2 Flash 存储器的安全性	255
9.4.3 实例:Flash 安全构件设计与测试	256
第10章 队列式串行外设接口 QSPI	259
10.1 QSPI 的基本工作原理	259
10.1.1 QSPI 特点	260
10.1.2 QSPI 的数据格式	262
10.1.3 QSPI 模块的数据传输时序	265
10.1.4 QSPI 模块的传输错误	267
10.2 QSPI 模块编程基础	267
10.2.1 QSPI 工作模式	267
10.2.2 QSPI 模块寄存器	269
10.2.3 QSPI 模块初始化	275
10.3 QSPI 模块编程实例	276
10.3.1 QSPI 主/从机构件共用函数	276
10.3.2 实例:QSPI 主机构件设计与测试	278
10.3.3 实例:QSPI 从机构件设计与测试	282
第11章 I2C 模块	287
11.1 概 述	287
11.2 I2C 总线的工作原理	289
11.2.1 I2C 总线上的信号	290
11.2.2 I2C 总线上的数据传输格式	291
11.2.3 I2C 总线寻址约定	292
11.2.4 主机向从机读/写 1 个字节数据的过程	292
11.3 I2C 模块的编程基础	294
11.3.1 MC56F8257 的 I2C 模块	294
11.3.2 MC56F8257 的 I2C 模块寄存器	294

11.3.3	MC56F8257 的 I2C 模块中断	301
11.3.4	MC56F8257 的 I2C 模块初始化	302
11.4	实例:I2C 模块编程	304
11.4.1	实例:I2C 主机构件设计与测试	304
11.4.2	实例:I2C 从机构件设计与测试	310
11.5	MC56F8257 的 I2C 模块的进一步讨论	315
11.5.1	仲裁程序	315
11.5.2	实现数据传输同步交换	316
第 12 章	CAN 总线	317
12.1	CAN 总线通用知识	317
12.1.1	CAN 硬件系统的典型电路	318
12.1.2	CAN 总线的有关基本概念	320
12.1.3	帧结构	323
12.1.4	位时间	328
12.2	MSCAN 模块	328
12.2.1	MSCAN 的特性	328
12.2.2	报文存储结构	329
12.2.3	标识符验收过滤	332
12.2.4	时钟系统	333
12.2.5	CAN 模块的工作模式	336
12.2.6	CAN 模块的中断	338
12.3	MSCAN 模块的编程寄存器	339
12.4	实例:MSCAN 模块的双机通信	357
12.4.1	测试模型	357
12.4.2	编程要点	357
12.4.3	CAN 模块底层构件设计	358
12.4.4	测试操作要点	365
12.5	实例:MSCAN 模块的自环通信	365
12.5.1	测试模型	365
12.5.2	编程要点及设计代码	366
第 13 章	其他功能模块	368
13.1	片内时钟合成模块	368
13.1.1	概述	368
13.1.2	锁相环技术	369
13.1.3	时钟合成模块的编程寄存器	371
13.1.4	时钟模块初始化编程方法与实例	376

13.2 SIM 模块	379
13.2.1 概 述	379
13.2.2 SIM 模块的编程寄存器	380
13.3 交叉开关模块	393
13.4 计算机运行监护模块 COP	398
13.5 循环冗余校验发生器 CRC	402
13.6 MC56F8257 的工作模式	405
第 14 章 MC56F8257 在滤波器设计中的应用	407
14.1 滤波器	407
14.2 FIR 滤波器中的应用	408
14.2.1 FIR 滤波器	408
14.2.2 实例:FIR 构件设计与测试	410
14.3 IIR 滤波器中的应用	416
14.3.1 IIR 滤波器	416
14.3.2 实例:IIR 构件设计与测试	421
14.4 自适应滤波器中的应用	429
14.4.1 自适应滤波器	429
14.4.2 实例:自适应滤波器构件设计与测试	432
附录 A MC56F825X 系列的中断向量表	438
附录 B 本书配套教学硬件开发系统	441
附录 C 本书配套教学资料目录结构	444
参考文献	445

第 1 章

DSP56800E 处理器概述

本章简要阐述 DSP 处理器,主要知识点有:①DSP 概述,简要介绍目前 DSP 处理器的类型及特点;②DSP56800E 处理器概述,包括其特点、内核结构、存储器映像及内部寄存器等;③DSP56800E 处理器的指令系统,给出了指令简表、寻址方式及指令的分类介绍;④DSP56800E 汇编语言的基本语法。

1.1 概 述

数字信号处理器是指用于数字信号处理的可编程微处理器,是微电子学、数字信号处理和计算机技术等学科综合研究的成果。目前,不同公司生产的 DSP 芯片采用的结构不尽相同,但是在处理器结构、指令系统等方面往往有许多共同点,如采用哈佛结构、流水线技术、硬件乘法器等。

Freescape 半导体公司(前身是摩托罗拉公司的半导体部)DSP 芯片内核为 DSP56800 系列,并逐步扩展到 DSP56800E、DSP56800EX 系列。DSP56800、DSP56800E 系列是 16 位的,DSP56800EX 系列是 32 位的。同时,Freescape 半导体公司将 DSP 内核与 MCU 接口相结合,形成数字信号控制器(Digital Signal Controller, DSC)。DSC 具有 DSP 内核,其外设具有 MCU 外设接口,因此 DSC 具有 DSP 数字信号处理功能,同时也具有 MCU 控制功能,常用于逆变电源、电机控制等领域。

1. DSP56800 处理器

DSP56800 处理器是 16 位处理器,采用哈佛结构;在 80 MHz 时钟频率下,可达到 40 MIPS 的指令执行速度;支持位操作;16 位乘法运算;具有 3 条内部地址总线、1 条外部地址总线、4 条内部地址总线和 1 条外部数据总线;JTAG/OnCE 程序调试接口等。采用 DSP56800 处理器作为内核的 DSC 芯片有 DSP56F800 系列,现在基本停产。

2. DSP56800E 处理器

DSP56800E 处理器也是 16 位处理器,具有 DSP56800 处理器所拥有的特点,是 DSP56800 处理器的增强型,主要体现在 AGU 算术单元从 16 位增加到 24 位;程序存储器、数据存储器容量大幅度增加;在数据处理类型上增加了字节型和长整型等类型;中断处理方面,DSP56800E 处理器增加了中断控制器,优化了中断优先级设定及处理。另外,DSP56800EX 处理器具有低功耗的特点,目前采用 DSP56800E 处理器作为内核的 DSC 芯片有 MC56F80x 系列~MC56F83x 系列。

3. DSP56800EX 处理器

DSP56800EX 处理器是 32 位处理器,具有 DSP56800E 处理器所拥有的特点,又具有以下新的特点:32 位乘法运算及 MAC;在 AGU 算术运算单元中所有寄存器都有影子寄存器,减少了相关数据存储的时间;具有逆位寻址方式,支持傅里叶变换(FFT)。另外 DSP56800EX 处理器也具有低功耗的特点,是 Freescale 半导体公司较新架构的 DSP 内核,目前以 DSP56800EX 处理器作为内核的 DSC 芯片有 MC56F84x 系列。

1.2 DSP56800E 处理器

1. DSP56800E 处理器结构及特点

DSP56800E 是一个通用中央处理单元,联合了 DSC 功能、并行和类似 MCU 的编程简单性,同时能够高效地进行数字信号处理和多种控制操作,提供了低成本、低功耗、中等性能计算的能力。

DSP56800E 内核包括数据算术逻辑单元(Data Arithmetic Logic Unit, ALU)、地址产生单元(Address Generation Unit, AGU)、程序控制器(Program Controller)、位操作单元(Bit - Manipulation Unit)、增强的片上模拟模块(EOnCE)和相关总线,如图 1-1 所示。其主要特点包括:①高性能;②兼容性:DSP56800E 源代码与飞思卡尔 DSP56800 家族兼容,DSP56800 软件通过简单地重新编译或者重新汇编就可以运行在 DSP56800E 内核上;③编程容易:DSP56800E 的指令助记类似于 MCU 的指令助记,简化了从传统微处理器编程到 DSC 编程的转换;④支持高级语言:C 编程语言适用于 DSP56800E 架构;⑤丰富的指令集:DSP56800E 提供了控制、位操作和整数小数处理指令来支持 DSP 算法,同时也提供强大的寻址模式和一系列数据类型;⑥高代码密度:DSP56800E 的基本指令字大小为 16 位,复杂操作的多字指令会产生更佳的代码密度;⑦支持多任务:DSP56800E 支持软件栈、快速 32 位上下文保存、恢复系统栈、基本测试-设置操作和 4 个优先的软件中断;⑧精度:DSP56800E 内核使能精确的 DSC 计算;⑨硬件循环;⑩并行化:每一个片上执行单元、存储设备和外围

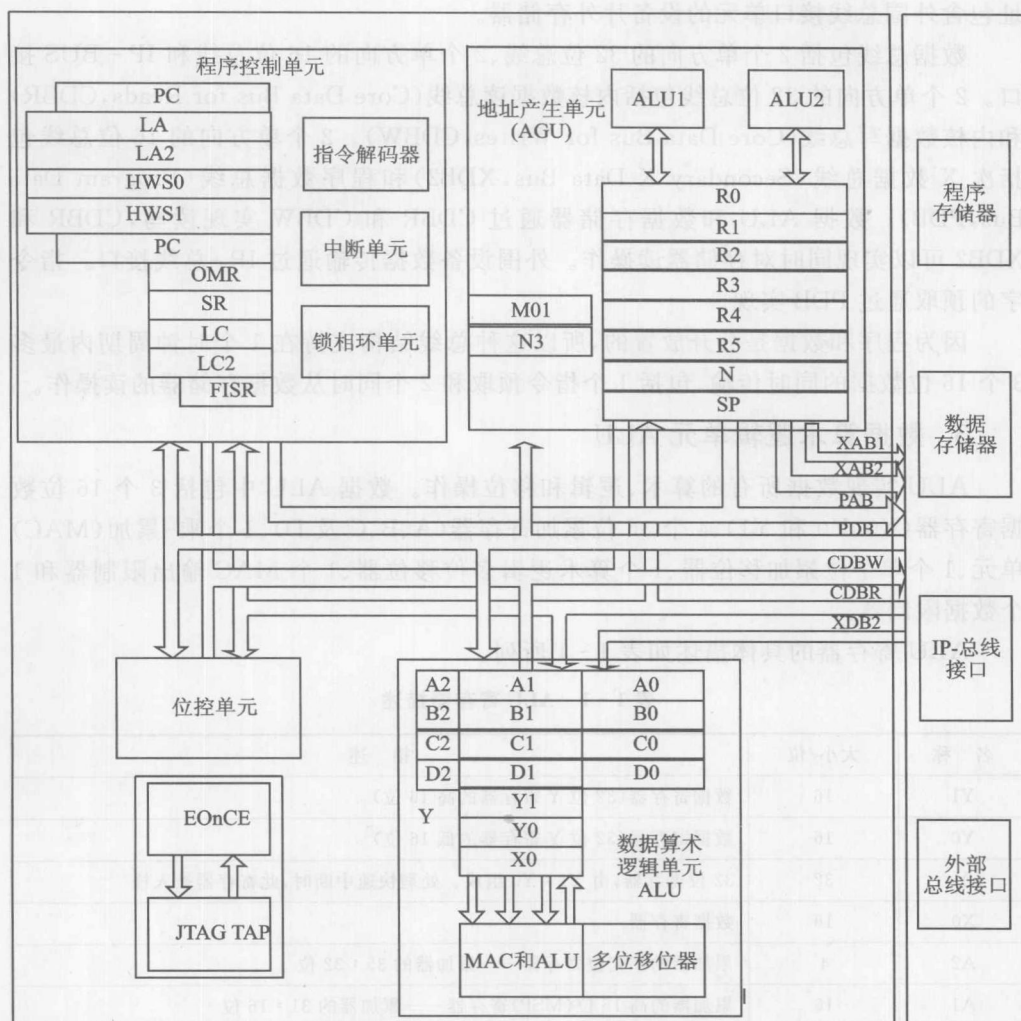


图 1-1 DSP56800E 内核

都是独立和并行操作的；⑪无形的指令管道：8 级的指令管道提供增强的性能；⑫低功耗：电源管理单元可以关闭不使用的逻辑单元；⑬实时调试。

2. DSP56800E 内核总线

DSP56800E 内核总线包括地址总线和数据总线。

地址总线包括程序地址存储空间地址总线 (PAB)、主数据地址总线 (XAB1) 和次数据地址总线 (XAB2)。程序地址总线为 21 位，用来按字访问程序存储器。XAB1 和 XAB2 为 24 位，用来访问数据存储器。XAB1 可以按字节、字和长字访问，XAB2 仅限于按字访问。3 种地址总线可以寻址片上所有的存储器，同时也可以寻

址包含外围总线接口单元的设备片外存储器。

数据总线包括 2 个单方向的 32 位总线、2 个单方向的 16 位总线和 IP - BUS 接口。2 个单方向的 32 位总线包括内核数据读总线(Core Data Bus for Reads,CDBR)和内核数据写总线(Core Data Bus for Writes,CDBW)。2 个单方向的 16 位总线包括次 X 数据总线(Secondary X Data Bus,XDB2)和程序数据总线(Program Data Bus,PDB)。数据 ALU 和数据存储器通过 CDBR 和 CDBW 实现读写,CDBR 和 XDB2 可以实现同时对存储器读操作。外围设备数据传输通过 IP - 总线接口。指令字的预取通过 PDB 实现。

因为程序和数据是分开放置的,所以这种总线结构支持在 1 个时钟周期内最多 3 个 16 位数据的同时传输,包括 1 个指令预取和 2 个同时从数据存储器的读操作。

3. 数据算术逻辑单元 ALU

ALU 实现数据所有的算术、逻辑和移位操作。数据 ALU 中包括 3 个 16 位数据寄存器(X0、Y0 和 Y1)、4 个 36 位累加寄存器(A、B、C 及 D)、1 个乘-累加(MAC)单元、1 个单个位累加移位器、1 个算术逻辑多位移位器、1 个 MAC 输出限制器和 1 个数据限制器。

ALU 寄存器的具体描述如表 1 - 1 所列。

表 1 - 1 ALU 寄存器描述

名 称	大小/位	描 述
Y1	16	数据寄存器(32 位 Y 寄存器的高 16 位)
Y0	16	数据寄存器(32 位 Y 寄存器的低 16 位)
Y	32	32 位寄存器,由 Y1 : Y0 组成。处理快速中断时,此寄存器被入栈
X0	16	数据寄存器
A2	4	累加器的扩充位寄存器——累加器的 35 : 32 位
A1	16	累加器的高 16 位(MSP)寄存器——累加器的 31 : 16 位
A0	16	累加器的低 16 位(LSP)寄存器——累加器的 15 : 0 位
A10	32	32 位累加器——31 : 0 位,由 A1 : A0 组成
A	36	累加器,由 A2 : A1 : A0 组成
B2	4	累加器的扩充位寄存器——累加器的 35 : 32 位
B1	16	累加器的高 16 位(MSP)寄存器——累加器的 31 : 16 位
B0	16	累加器的低 16 位(LSP)寄存器——累加器的 15 : 0 位
B10	32	32 位累加器——31 : 0 位,由 B1 : B0 组成
B	36	累加器,由 B2 : B1 : B0 组成
C2	4	累加器的扩充位寄存器——累加器的 35 : 32 位