



新编高等院校计算机科学与技术规划教材



FPGA设计开发 与工程实践

主 编 顾仁涛 王 强



北京邮电大学出版社
www.buptpress.com

新编高等院校计算机科学与技术规划教材

FPGA 设计开发与工程实践

主 编 顾仁涛 王 强



NLIC2970937169



北京邮电大学出版社

www.buptpress.com

内 容 提 要

本书围绕 FPGA 设计开发与工程实践,介绍了 FPGA 基本原理和基本设计步骤、VHDL 语言设计基础、FPGA 常用设计技巧,结合 Xilinx 公司产品描述了 FPGA 硬件资源及使用特点、ISE 软件的基本使用方法和新款开发板选型参考,并分析了高速通信领域的典型应用案例。本书力求覆盖 FPGA 系统设计所需要的各主要方面知识,达到基础和提高并重、理论与实践并行、基础和前沿并举,使从初学者到有一定开发经验的读者都能从中获益。

本书适合作为电子信息工程、通信工程、自动化、计算机科学与技术等相关专业的高年级本科生及研究生的教学用书,也可以作为 FPGA 系统设计人员、硬件工程师和 IC 工程师的参考图书。

图书在版编目(CIP)数据

FPGA 设计开发与工程实践 / 顾仁涛,王强主编. --北京:北京邮电大学出版社,2013.8
ISBN 978-7-5635-3554-5

I. ①F… II. ①顾… ②王… III. ①可程序逻辑器件—高等学校—教材 IV. ①TP332.1

中国版本图书馆 CIP 数据核字(2013)第 158958 号

书 名: FPGA 设计开发与工程实践

著作责任者: 顾仁涛 王 强

责任编辑: 陈岚岚

出版发行: 北京邮电大学出版社

社 址: 北京市海淀区西土城路 10 号(邮编:100876)

发行部: 电话: 010-62282185 传真: 010-62283578

E-mail: publish@bupt.edu.cn

经 销: 各地新华书店

印 刷: 北京鑫丰华彩印有限公司

开 本: 787 mm×1 092 mm 1/16

印 张: 17.25

字 数: 431 千字

印 数: 1—3 000 册

版 次: 2013 年 8 月第 1 版 2013 年 8 月第 1 次印刷

ISBN 978-7-5635-3554-5

定 价: 36.50 元

• 如有印装质量问题,请与北京邮电大学出版社发行部联系 •

前言

随着当今数字时代的科技进步,数字集成电路本身在不断地发展和更新换代,它由早期的电子管、晶体管、中小规模集成电路,发展到超大规模集成电路(VLSIC, Very Large Scale Integrated Circuit)以及许多具有特定功能的专用集成电路(ASIC, Application Specific Integrated Circuit)。但是,随着微电子技术的发展,由于 ASIC 固有的灵活性较差,设计及改版周期较长等缺点,现场可编程门阵列(FPGA, Field Programmable Gate Array)和复杂可编程逻辑器件(CPLD, Complex Programmable Logic Device)在控制系统和通信领域开始得到广泛应用;同时 FPGA 还可用于构建 ASIC 前期设计的验证平台。近些年来, FPGA 又与嵌入式处理器结合日益紧密,构成了 FPGA 系统的新型应用方式。可以说现在的 FPGA 早已突破实现简单“数字逻辑”的基本目标,而日益发展成为完成复杂信息处理任务不可或缺的重要工具之一。

然而使用和设计 FPGA 系统需要较为丰富的知识和经验,除了基本的数字电路与逻辑设计方面的内容外,还需要了解至少一门 EDA 语言,如 VHDL 或者 Verilog(当然部分公司的综合工具支持基于 C 语言的 FPGA 编程,但是效率终究不是很高)。如果想充分利用 FPGA 芯片的潜力,还需要了解 FPGA 的内部芯片结构、资源情况、性能特点并熟练掌握该款芯片对应的 FPGA 设计开发软件。当然,如同 C 程序员非常讲究编程风格一样, FPGA 系统的设计者也需要了解和掌握一些基本的编程技巧,以保证系统稳定、高速、高效地运行。因此,如何迅速获得 FPGA 系统设计开发所需要的相关知识就成为该领域工程师和专业人员面临的重要问题之一,也是本书编写时考虑的重要问题。

FPGA 芯片本身和相关软件发展很快,从 1985 年 Xilinx 公司发布全球第一款 FPGA 产品 XC2064 开始, FPGA 已经发展了将近 30 年。单芯片的门数量从最初的 1 000 门,到现在轻松突破 1 000 万级,芯片容量突飞猛进。制程则从 2 微米发展到现在的 28 纳米, 22 纳米 3D 工艺和 20 纳米的研发也在紧锣密鼓地进行中,平均功耗大幅降低。高速收发器的研制,更是将 FPGA 应用领域扩展到 40G/100G 通信领域,芯片性能进一步提高。FPGA 设计软件更是不断进行优化,集成的工具越来越丰富。因此, FPGA 系统设计人员需要跟踪最新技术的成果,将其应用于自己的系统之中。这是该领域工程师和专业人员面临的又一重要问题,也是本书编写时考虑的问题之一。

与此同时,高等学校的数字电路设计类课程也发生了很大的变化,基于 VHDL/Verilog 等语言的教学开始深入到课程教学当中,逐步培养学生使用 FPGA/CPLD 等可编程逻辑器件的能力和經驗,以适应当前技术发展的需要。很多大学配备了 EDA 实验室,安排学生参加基于 FPGA 的数字电路或者数字系统设计实验,并编写了讲义供学生使用。但是通过调研发现,大部分讲义相对简单,未能覆盖 FPGA 设计所需要的主要知识模块;且多数讲义未

能结合现代通信系统的应用,对于激发学生的学习兴趣效果不佳。因此,如何满足高等学校相关专业学生学习 FPGA 设计基本知识和前沿应用的需要,并对学生实践有一定的指导意义,成为本书编写时需要考虑的另一问题。

本书主要围绕 FPGA 设计开发与工程实践,结合 Xilinx 公司最新的芯片系列和软件,力求覆盖从事 FPGA 系统设计所需要的各个方面,并希望通过介绍有线通信领域和无线通信领域 3 个典型应用案例使读者了解 FPGA 在高速通信领域的应用方式,使从初学者到有一定开发经验的读者都有一定的获益。具体章节安排如下。

第 1 章,FPGA 设计总论:主要介绍了可编程逻辑设计发展历史、FPGA 基础、FPGA 设计的基本步骤和主要的 FPGA 芯片厂商介绍,为读者提供 FPGA 设计的基础知识。

第 2 章,VHDL 设计基础:主要介绍 VHDL 语言的基本结构、数据类型、运算符、描述语句、状态机等,使读者初步掌握一门 EDA 设计语言。

第 3 章,Xilinx 芯片资源:主要以 Xilinx 公司芯片为例,介绍 FPGA 芯片内部资源的概念,包括 CLB、RAM、DSP 模块、高速串行收发器等,使读者了解其可以使用的硬件资源以及使用注意事项。

第 4 章,Xilinx ISE 的安装与使用:以 Xilinx 公司最新版本的 ISE 14.3 为例,讲解 ISE 软件的安装使用过程,包括 HDL 代码输入、原理图输入、基于 ISE 的仿真和实现、PlanAhead 的使用以及约束文件的编写等,使读者了解如何利用 EDA 软件实现自己的系统功能。

第 5 章,FPGA 常用设计技巧:该部分主要面向具有一定实际经验的读者,探讨 FPGA 设计时在时钟方面、三态门、块 RAM、乘法器、计数器、加法器、匹配滤波器等方面的设计技巧和注意事项,使读者能够进一步提高代码的质量。

第 6 章,Xilinx 开发板介绍:该部分介绍了 Xilinx 新近推出的多个开发板系列,其中部分开发板可以通过 Xilinx 大学计划获得捐赠或者优惠,使得学习数字电路设计等课程的学生可以选择一款适合的开发板对前面所讲授内容进行巩固和练习,同时也为 FPGA 设计人员找到一个符合系统要求的稳定开发平台提供了参考。

第 7 章,FPGA 通信开发案例介绍:该部分选择了高速有线通信领域的 10G 以太网 MAC 核使用、以太网自学习模块设计和无线通信领域的 DDC 数字下变频器 3 个案例,介绍了 FPGA 技术在通信领域的应用,为通信相关专业的学生以及从事通信领域的 FPGA 开发人员提供基础性综合训练案例和设计参考。

本书在写作过程中凝聚了作者所在课题组多年来的教学科研经验和成果。魏培、杨书茂、王震、李忠楠、任乙广、徐骥、许艳红、陈海云等参与了部分章节的组织和编写工作。

本书编写过程中得到了 Xilinx 公司的大力支持和帮助,在此表示衷心的感谢!

鉴于作者水平有限,书中难免有错误或周漏之处,敬请有关专家和广大读者批评指正,以求提高。

作者

目 录

第 1 章	FPGA 设计总论	1
1.1	可编程逻辑设计发展路线	1
1.2	FPGA 原理基础	3
1.2.1	FPGA 的基本结构	3
1.2.2	FPGA 的工作方式	6
1.2.3	软核、硬核以及固核的概念	7
1.3	FPGA 设计的基本步骤	8
1.4	主流 FPGA 芯片介绍	10
1.4.1	Xilinx 公司的代表产品	10
1.4.2	Altera 公司的代表产品	18
1.4.3	Lattice 公司的代表产品	23
第 2 章	VHDL 设计基础	25
2.1	关于 VHDL	25
2.2	VHDL 的基本结构	26
2.3	命名法则	28
2.4	数据类型	30
2.5	VHDL 语言要素	33
2.5.1	运算符及其种类	34
2.5.2	数据对象	39
2.6	VHDL 的主要描述语句	40
2.6.1	VHDL 顺序语句	40
2.6.2	VHDL 并行语句	48
2.7	状态机	56
第 3 章	Xilinx 芯片资源	60
3.1	概述	60
3.2	可配置逻辑模块	60
3.2.1	CLB 综述	60
3.2.2	切片描述	61

3.2.3	CLB / Slice 配置	63
3.2.4	查找表 (LUT)	64
3.2.5	存储元件	64
3.2.6	分布式 RAM 和内存 (仅在 SliceM 可用)	66
3.2.7	分布式 RAM 数据流	72
3.2.8	只读存储器 (ROM)	73
3.2.9	移位寄存器 (仅在 SliceM 可用)	73
3.2.10	移位寄存器数据流	76
3.2.11	多路复用器	77
3.2.12	快速先行进位逻辑	79
3.3	块存储器	81
3.3.1	RAM 块简介	81
3.3.2	同步双端口和单端口的 RAM	81
3.3.3	简单的双端口 RAM 块	85
3.3.4	级联 RAM 块	87
3.3.5	RAM 块纠错码	88
3.4	数字信号处理器 DSP48E	88
3.4.1	Virtex-6 FPGA DSP48E 结构的特色	88
3.4.2	DSP48E1 块和互连器件	91
3.4.3	DSP48E1 切片原型	92
3.5	高速串行收发器 GTX/GTH/GTP	94
3.5.1	概述	94
3.5.2	Virtex-6 FPGA GTX 收发器向导	97
第 4 章	Xilinx ISE 14.3 的安装与使用	103
4.1	关于 ISE	103
4.1.1	ISE 简要介绍	103
4.1.2	ISE 14.3 软件的安装	104
4.1.3	ISE 14.3 软件的基本操作	108
4.2	HDL 代码输入	112
4.2.1	新建工程	112
4.2.2	创建源文件	114
4.2.3	标准语言模板的使用	116
4.2.4	Xilinx IP Core 的使用	118
4.3	原理图输入	123
4.3.1	新建工程	123
4.3.2	原理图文件	125
4.4	基于 ISE 的开发流程	133
4.4.1	基于 Xilinx XST 的综合	134

4.4.2 基于 ISE 的仿真	137
4.4.3 基于 ISE 的实现	144
4.4.4 使用 PlanAhead 分配 FPGA 管脚	146
4.4.5 使用 UCF 文件分配 FPGA 管脚	147
4.4.6 基于 ISE 的硬件编程	150
第 5 章 FPGA 常用设计技巧	156
5.1 关于 Virtex FPGA 中 DCM 的使用	156
5.2 关于 Virtex FPGA 中三态门的使用	174
5.2.1 关于 Virtex 的内部的三态资源	174
5.2.2 三态门的描述	175
5.2.3 对信号直接赋值	175
5.2.4 三态门的定位方法	176
5.2.5 对布线结果的分析	176
5.3 Virtex 器件 Block RAM 的使用	180
5.3.1 Virtex 器件 Block RAM 的结构特点	180
5.3.2 通过图形化界面 Core Generator 使用 Block RAM	183
5.4 关于乘法器	187
5.4.1 乘法器的标准写法	187
5.4.2 资源使用情况及延迟特性	187
5.4.3 结论	188
5.5 关于计数器	189
5.5.1 标准写法	189
5.5.2 资源使用情况及延迟特性	190
5.5.3 结论	191
5.6 关于加法器	191
5.6.1 标准写法	191
5.6.2 资源使用情况及延迟特性	191
5.6.3 结论	192
5.7 关于匹配滤波器	193
5.7.1 标准结构的匹配滤波器	193
5.7.2 倒置结构的匹配滤波器	194
5.7.3 倒置结构的匹配滤波器(不需要累加 RAM)	195
5.7.4 结论	197
5.8 时间约束	198
5.8.1 时间约束参数的意义	198
5.8.2 时间约束参数的设定方法	198
5.8.3 时间约束参数的取值	200
5.8.4 时间约束参数的加入时机	202

第 6 章 Xilinx 开发板介绍	203
6.1 Spartan 系列开发板	203
6.1.1 符合 RoHS 规范的 SP605 基础板	204
6.1.2 Avnet Spartan-6 LX150T 开发板	207
6.2 Virtex 系列开发板	208
6.2.1 Virtex-6 系列开发板	208
6.2.2 Virtex-7 系列开发板	214
6.3 Kintex-7 系列开发板	215
6.4 NetFPGA 和 NetFPGA-10G	217
6.4.1 NetFPGA	217
6.4.2 NetFPGA-10G	221
第 7 章 FPGA 通信开发案例介绍	225
7.1 10G MAC	225
7.1.1 MAC 模块与 10GbE 系统结构	225
7.1.2 10GbE MAC 模块实现和功能描述	226
7.1.3 模块接口与模块列表	227
7.1.4 使用 10G MAC IP 核以及时序分析	231
7.2 以太网 MAC 地址自学习模块设计	235
7.2.1 设计任务描述	235
7.2.2 原理分析与系统方案	236
7.2.3 设计实现	239
7.2.4 MAC 地址表的其他方案——CAM	243
7.2.5 VHDL 代码实现	245
7.2.6 仿真结果及分析	247
7.3 DDC 数字下变频器	249
7.3.1 设计目标	249
7.3.2 DDC 原理分析	250
7.3.3 参数设定	251
7.3.4 NCO 模块	251
7.3.5 数字混频模块	255
7.3.6 CIC 模块	257
7.3.7 HB 模块	260
7.3.8 FIR 模块	262
7.3.9 DDC 集成与验证	263
主要缩略语表	266
参考文献	268

第 1 章 FPGA 设计总论

1.1 可编程逻辑设计发展路线

随着当今数字时代的科技进步,数字集成电路本身在不断地发展和更新换代,它由早期的电子管、晶体管、中小规模集成电路,发展到超大规模集成电路(VLSIC, Very Large Scale Integrated Circuit)以及许多具有特定功能的专用集成电路(ASIC, Application Specific Integrated Circuit)。但是,随着微电子技术的发展,由于 ASIC 固有的灵活性较差,设计及改版周期较长等缺点,数字集成电路的发展有了一个重大的飞跃,这个飞跃便是现场可编程逻辑器件(FPLD, Field Programmable Logic Device)的出现,其中在如今最常见并且得到最广泛应用的便是现场可编程门阵列(FPGA, Field Programmable Gate Array)和复杂可编程逻辑器件(CPLD, Complex Programmable Logic Device)。

具体来看数字集成电路的发展,促使 ASIC 向 FPLD(CPLD、FPGA)发展的原因主要包括硬件和软件两个方面的原因。在硬件层面,数字集成电路的性能发展终极目标永远是:更快,更小,能耗更低,同时成本更小。这个目标促使了客户化集成电路设计(ASIC)的出现,但是,这种设计方式中每一块集成电路都需要进行单独的设计、布局布线、制作和封装,同时这种数字集成电路的设计及生产方式的成本昂贵,并且设计及改版周期也极其耗时。在软件层面,ASIC 这种数字集成电路的设计方式更多使用的是标准处理器架构,例如, Intel Pentium、PowerPC 或 ARM,并且在这类平台上可以下载操作系统。很显然,这种方式能让设计人员更快地搭建好电路开发平台。但是,由于操作系统、编译器的需要,以及处理器上软硬件之间的非直接关系等因素,ASIC 这种数字集成电路又给电路设计带来了显著的开销。因此,可编程逻辑器件作为一种有效的解决方案出现了。在可编程逻辑器件上的硬件设计是在一个高性能的平台上进行的,同时能够最优化资源用量。同时,其作为可编程器件也无须操作系统并且可以进行配置。下面以表格的形式对比 ASIC 与如今使用得最广泛的 FPGA 各自的特点,见表 1-1。

表 1-1 FPGA 与 ASIC 设计特点比较

FPGA 的设计特点	ASIC 的设计特点
更快的上市时间:无须布局、掩模和其他制造步骤	全定制性能:实现设计,因为器件根据设计规范进行生产
无前期 NRE(非重发性设计成本):与 ASIC 设计有关的成本	降低单位成本:用于实现大批量设计

续 表

FPGA 的设计特点	ASIC 的设计特点
缩短了设计周期:由于软件可以处理很多布线、布局和时序问题	小型化:因为器件根据设计规范进行生产
更加可预测的项目周期:由于消除了可能的重置、晶圆容量等阶段	较高的原始内部时钟速
现场可重编程能力:可远程上传新的程序文件	无现场可重编程能力

进一步纵观可编程逻辑设计的发展历史,可以按以下几个发展阶段来进行划分。

第一阶段:从 20 世纪 70 年代初到 70 年代中期。出现了最早的可编程的器件,包括只读存储器(PROM)、紫外线可擦除只读存储器(EPROM)和电可擦除只读存储器(EEPROM)三种。这类结构简单的可编程器件功能简单,只能完成简单的数字逻辑功能。

第二阶段:20 世纪 70 年代中期到 80 年代中期。以上三类简单的可编程器件不久后便被结构上稍微复杂的可编程阵列逻辑(PAL)和通用阵列逻辑(GAL)器件所替代。PAL 和 GAL 通常被称为第一类正式的可编程逻辑器件(PLD,Programmable Logic Device)。它们由一组以阵列的方式连接起来的逻辑门组成,能够支持少量的触发器(通常少于 10 个),并且能够实现小型的状态机。

第三阶段:20 世纪 80 年代中期到现在。出现了与 PAL 结构类似的扩展型 CPLD。CPLD 主要用于解决简单 PAL 器件的限制而发展起来的,其使用了类似于 PAL 的结构,但又进一步包含了一系列的宏模块(Marco Block),而每个宏模块都大致相当于一个 PAL,并且由布线模块(Routing Block)进行连接。但是,数字集成电路发展到这个时期在发展的连续性上面出现了明显的间隔。一方面,CPLD 的出现使得可编程逻辑器件变得高度的可配置,并且拥有快速的设计和修改时间,但是 CPLD 不能够支持大规模或复杂的功能;另一方面,ASIC 却能够支持规模庞大且复杂的数字电路功能,但其成本又相对昂贵,并且设计及改版也相当耗时。为了弥补 IC 发展连续性上的这种间隔,Xilinx 开发了新一代 IC,并命名为现场可编程门阵列(FPGA,Field Programmable Gate Array),并于 1984 年将其推向市场。简单地说,FPGA 就是将 CPLD 的电路规模、功能、性能等方面强化之后的产物。可以通过表 1-2 来简要说明 CPLD 与 FPGA 的区别。

表 1-2 CPLD 与 FPGA 的特点比较

	CPLD	FPGA
组合逻辑的实现方法	乘积项(product-term),查找表(LUT,Look Up Table)	查找表(LUT)
触发器数量	少	多
Pin to Pin 延时	固定	不可预测
编程元素	非易失性(Flash、EEPROM)	易失性(SRAM)
特点	• 非易失性:即使切断电源,电路上的数据也不会丢失 • 立即上电:上电后立即开始运作 • 可在单芯片上运作	• 内置高性能硬宏功能 ✓ PLL ✓ 存储器模块 ✓ DSP 模块 • 用最先进技术实现高集成度,高性能 • 需要外部配置 ROM

续 表

	CPLD	FPGA
成本与价格	低	高
应用范围	偏向于简单的控制通道应用以及胶合逻辑	偏向于较复杂且高速的控制通道应用及数据处理
集成度	中小规模	大中规模

如今,FPGA 被广泛地使用在通信基站、大型路由器等高端网络设备,以及显示器(电视)、投影仪等日常家用电器里,其已经从最早的只应用于辅助功能以及胶合逻辑(连接各种功能块以及集成电路的逻辑电路)的简单器件,发展到现今众多产品的核心器件。

1.2 FPGA 原理基础

FPGA 是在 PAL、GAL、CPLD 等可编程器件的基础上进一步发展的产物。FPGA 是作为专用集成电路(ASIC)领域中的一种半定制电路而出现的,既解决了定制电路的不足,又克服了原有可编程器件门电路数有限的缺点。相对于专为特定设计定制构建的专用集成电路(ASIC)而言,FPGA 能通过编程来满足应用和功能要求。它是当今数字系统设计的主要硬件平台,其主要特点就是完全由用户通过软件进行配置和编程,从而完成某种特定的功能,且可以反复擦写。在修改和升级时,不需额外地改变 PCB 电路板,只是在计算机上修改和更新程序,使硬件设计工作成为软件开发工作,缩短了系统设计的周期,提高了实现的灵活性并降低了成本,因此获得了广大硬件工程师的青睐。

1.2.1 FPGA 的基本结构

概括地说,FPGA 是由通过可编程互连连接的可配置逻辑块(CLB)矩阵构成的可编程半导体器件。FPGA 在结构上采用了逻辑单元阵列(LCA,Logic Cell Array)的概念,其内部结构包括 3 个主要部分:可配置逻辑模块(CLB,Configurable Logic Block,Xilinx 的称呼方式)或逻辑阵列模块(LAB,Logic Array Block,Altera 的称呼方式)、输出输入模块(IOB,Input Output Block)和内部连接线(Interconnect)。当前的 FPGA 还整合了内嵌 RAM 模块、内嵌的底层功能单元和内嵌专用硬核模块等。典型的 Xilinx FPGA 芯片内部结构如图 1-1 所示。

FPGA 的各个 CLB 之间、CLB 和 IOB 之间通过可编程开关连接起来,FPGA 的可编程实际上是改变了 CLB 和 IOB 的逻辑及其相互之间的开关连接,从而实现不同的功能。FPGA 的组合逻辑的基本结构采用 CLB 中一种可配置的查找表(LUT,Look Up Table)的结构实现的。对于一个 k 输入的逻辑运算,最多存在 2^k 种结果。所以如果事先将相应的结果存放于一个存储单元,就相当于实现了与非门电路的功能。一个 LUT 是一个小的位宽度的存储器阵列,当用户通过原理图或 HDL 语言描述了一个逻辑电路以后,软件会计算逻辑电路的所有可能结果,并把真值表事先写入 LUT 中,这样把逻辑块的输入作为 LUT 的地

址线,逻辑块的输出就是 LUT 的输出,就实现了一个组合逻辑。

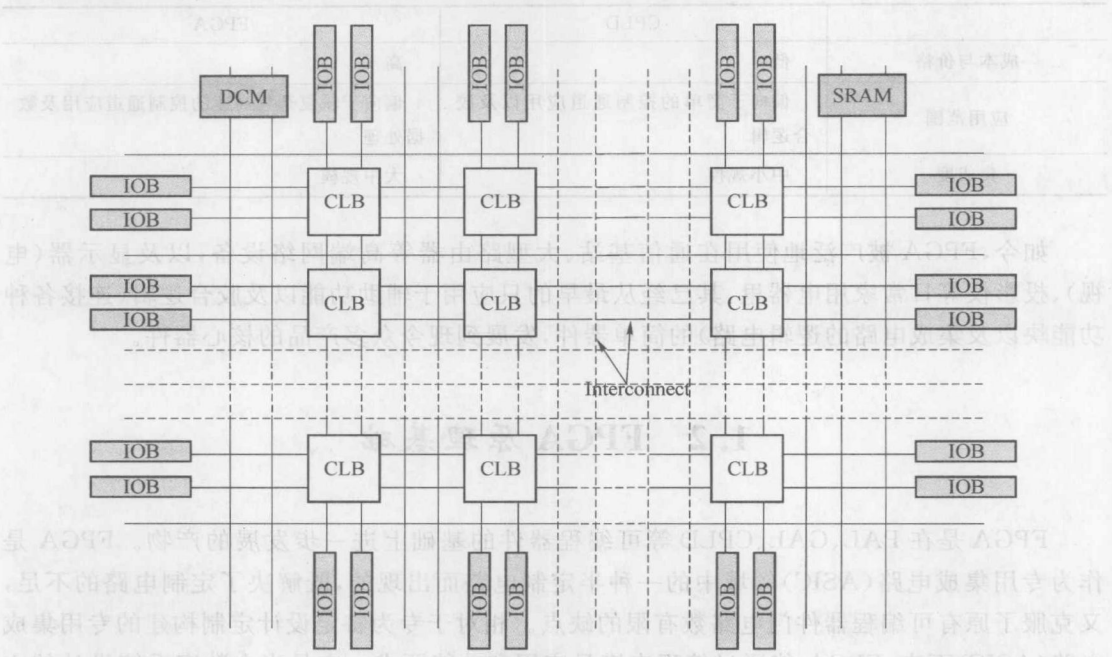


图 1-1 典型 FPGA 芯片(Xilinx)内部结构图

1. 可配置逻辑块(CLB)

与固定的门阵列不同的是,FPGA 使用了 CLB 的概念。CLB 是 FPGA 内的基本逻辑单元,也是可编程逻辑的主体。一块 FPGA 芯片包含有数百或数千个不同类型的 CLB,这些 CLB 能够在单片 FPGA 上轻松地配置和实现一个复杂器件的功能,其不仅支持器件上的布线,同时还支持每个逻辑块的最优化配置。CLB 的实际数量和特性会依器件的不同而不同,但是每个 CLB 通常包含一个可配置开关矩阵。该矩阵由在编程时能够配置特定逻辑功能的 4 或 6 输入查找表、选通电路(多路复用器等)和 D 触发器组成。开关矩阵是高度灵活的,可以对其进行配置以便处理组合逻辑、移位寄存器或 RAM。一个典型的 CLB 如图 1-2 所示。

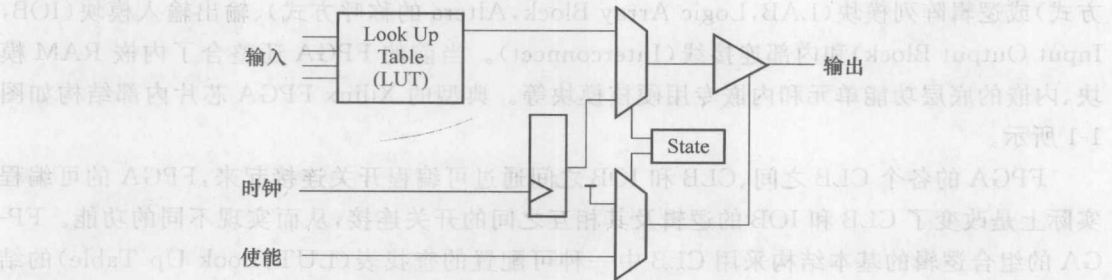


图 1-2 典型的 CLB 结构图

以 Xilinx 公司的 FPGA 芯片为例,其 CLB 由多个(一般为 4 个或 2 个)相同的 Slice (Slice 是 Xilinx 公司定义的基本逻辑单位,一个 Slice 由两个 4 输入的函数、进位逻辑、算术

高端 FPGA 可以支持 3.3 Gbit/s 甚至 10 Gbit/s 以上的数据速率。

3. 内部连接线 (Interconnect)

Interconnect 连通 FPGA 内部的所有单元,而连接线的长度和工艺决定着信号在连线上的驱动能力和传输速度,FPGA 内部互连布线如图 1-5 所示。FPGA 芯片内部有着丰富的布线资源,根据工艺、长度、宽度和分布位置的不同而划分为 4 类不同的类别。第一类是全局布线资源,用于芯片内部全局时钟和全局复位/置位的布线;第二类是长线资源,用以完成芯片 Bank 间的高速信号和第二全局时钟信号(亦称 Low Skew 信号)的布线;第三类是短线资源,用于完成基本逻辑单元之间的逻辑互连和布线;第四类是分布式的布线资源,用于专用时钟、复位等控制信号线。

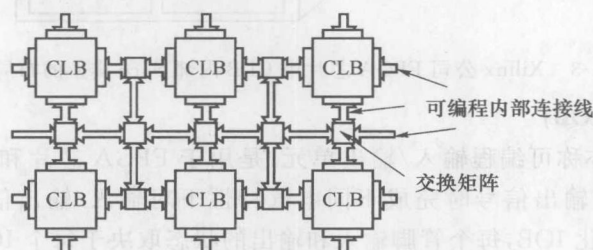


图 1-5 FPGA 内部互连布线

实际使用中,设计者不需要直接选择布线资源,布局布线器会自动地根据输入逻辑网表的拓扑结构和约束条件选择合适的布线资源连通各个模块单元。虽然布线资源通常为电路设计者所忽略,但从本质上讲,布线资源的使用方法和设计实现的结果(包含速度和面积两个主要指标)有密切、直接的关系。

当前的 FPGA 芯片在组成上还包含内嵌 RAM 模块(可配置为单端口 RAM 即 SPRAM,双端口 RAM 即 DPRAM,伪双端口 RAM、CAM、FIFO 等常用存储结构),内嵌的底层功能单元(如 PLL、DLL、CPU、DSP 等)和内嵌专用硬核(Hard Core)模块等基本模块,在此不作一一介绍。

1.2.2 FPGA 的工作方式

FPGA 是由存放在片内 RAM 中的程序来设置其工作状态的。因此,工作时它需要对片内的 RAM 进行编程,用户可以根据不同的配置模式,采用不同的编程方式。加电时,FPGA 芯片将 EPROM 中数据读入片内编程 RAM 中,配置完成后,FPGA 进入工作状态。掉电后,FPGA 恢复成白片,内部逻辑关系消失,因此,FPGA 能够反复使用。FPGA 的编程无须专用的 FPGA 编程器,只需要通用的 EPROM、PROM 编程器即可。这样,同一片 FPGA,不同的编程数据,可以产生不同的电路功能。因此,FPGA 的使用非常灵活。

目前,FPGA 市场占有率最高的两大公司 Xilinx 公司和 Altera 生产的 FPGA 都是基于 SRAM 工艺的,需要在使用时外接一个片外存储器以保存程序。上电时,FPGA 将外部存储器中的数据读入片内 RAM,完成配置后,进入工作状态;掉电后 FPGA 恢复为白片,内部逻辑消失。这样 FPGA 不仅能反复使用,还无须专门的 FPGA 编程器,只需通用的 EPROM、PROM 编程器即可。Actel、QuickLogic 等公司还提供反熔丝技术的 FPGA,具有

抗辐射、耐高低温、低功耗和速度快等优点,在军品和航空航天领域中应用较多,但这种 FPGA 不能重复擦写,开发初期比较麻烦,费用也比较昂贵。

1.2.3 软核、硬核以及固核的概念

根据美国咨询公司 Dataquest 的定义,半导体产业的 IP(Intelligent Property)核是应用于 ASIC、ASSP、PLD 等芯片当中,并且预先设计好的电路功能模块的总称。所以,IP 核不仅是经过反复测试、验证和优化过的具有特定功能的宏模块,还与芯片制造工艺无关,并且通常被设计成参数可修改的模块,因此可以移植到不同的半导体工艺和电路设计中。

到了 SOC 阶段,IP 核设计已成为 ASIC 电路设计公司和 FPGA 提供商的重要任务,也是其实力的体现。对于 FPGA 开发软件,其提供的 IP 核越丰富,用户的设计就越方便,且越能够有效减少设计和调试时间,降低电路开发的成本投入,有效地提高开发的效率,这样, FPGA 提供商的产品的市场占用率就越高。

IP 核是指预先通过程序设计好的优化的逻辑功能块。该程序与集成电路工艺无关,可以移植到不同的半导体工艺中去生产集成电路芯片。通常将一些在数字电路中常用但比较复杂的功能块,如 TCAM 核、MAC 核、FIR 滤波器等设计成可配置的专用模块,使用者可以通过向导配置参数,调用相应的核,这样大大提高了程序的重用性,避免重复劳动。

IP 核模块有行为(Behavior)、结构(Structure)和物理(Physical)三级不同程度的设计,对应描述功能行为的不同分为三类,即软核(Soft IP Core)、完成结构描述的固核(Firm IP Core)和基于物理描述并经过工艺验证的硬核(Hard IP Core)。

IP 内核可以在不同的硬件描述级实现,由此将其分为三类 IP 内核,分为行为描述的软核(Soft IP Core)、结构描述的固核(Firm IP Core)和物理描述的硬核(Hard IP Core)。

1. 软核

软核又称虚拟组件。在 FPGA 中,软核是指通过硬件语言设计的电路功能块。其实质就是硬件描述语言,通常也是以加密的 HDL 文本的形式提交给用户,并不涉及具体电路元件。软核仅仅经过了 RTL 级的设计优化和功能仿真,因此其应用开发过程和普通的硬件描述语言设计类似,必须经过综合及布局布线才能使用。软核具有高灵活性、设计周期短、投资少等优点,可借助 EDA 综合工具加载到用户设计中,也允许用户通过头文件或设置好的 GUI 接口方便地对参数进行操作,从而实现用户自配置设计。软核由于其灵活性的特点而获得广泛应用。

2. 固核

固核通常是经过 RTL 级设计并完成综合的功能块,一般以网表的形式提供,其设计深度实质是介于软核和硬核之间的。固核是在软核设计的基础上还完成了门级电路的综合和时序仿真等,通过布局布线工具之后就可以直接使用。通常对于时序要求高的常用模块,可对特定信号预先分配好布线资源以达到其时序要求。其主要优点是拥有一定的灵活性且可靠性较软核有一定的提高,因此固核的应用比较多。

3. 硬核

硬核是完成完整设计的功能块。它在固核综合的基础上还完成了布局布线、综合验证等工作,是具体的物理设计,具有可预见性。通常对于时序要求严格的模块,采用硬核设计,

通过事先固化好其布局布线资源来满足高时序要求。由于是完整的功能设计，硬核通常是不能修改的。硬核灵活性和可移植性很差，只能应用于某些特定的应用，但是硬核具有高可靠性。

1.3 FPGA 设计的基本步骤

FPGA 的设计流程就是利用 EDA 开发软件和编程工具对 FPGA 芯片进行开发的过程。通常 FPGA 的开发流程如图 1-6 所示，主要包括以下步骤：器件选型、功能设计、功能仿真、综合优化、设计实现、时序仿真、硬件调试等。

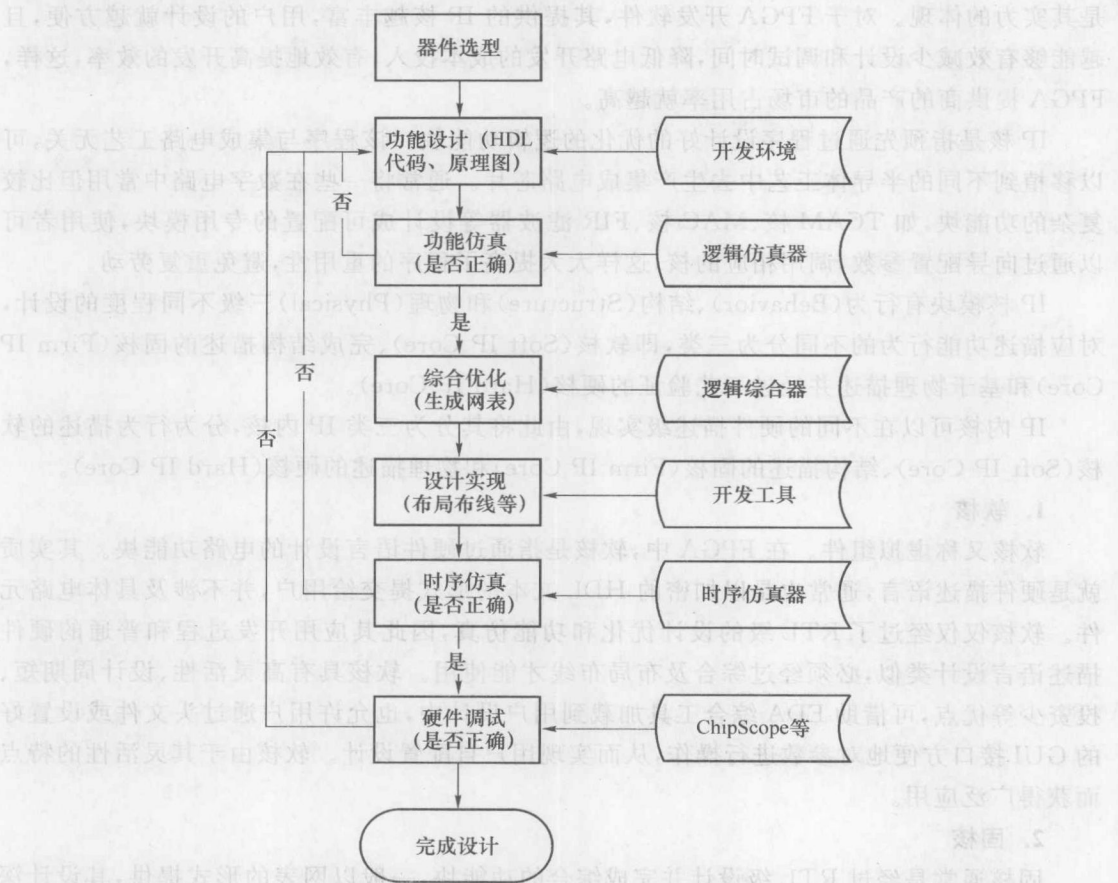


图 1-6 FPGA 设计流程

(1) 器件选型

通常在具体的系统设计之前，对系统有一个需求分析。依据需求分析选择合适的 FPGA 作为系统芯片。选型中主要考虑的问题包括器件厂商、器件资源、器件电气接口特性、器件最大速度、器件封装、器件价格等特性。合理的选型可以提高系统设计的性价比和可靠性，并缩短项目开发周期。