

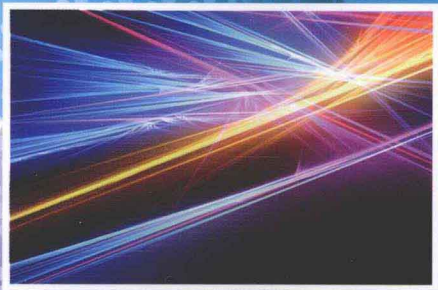


普通高等教育“十二五”规划教材

◎ 电子信息科学与工程类专业 规划教材

# 基于FPGA的 数字系统设计与实践

◎ 杨 军 蔡光卉 黄 倩 陈 成 编著



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

普通高等教育“十二五”规划教材  
电子信息科学与工程类专业规划教材

# 基于 FPGA 的数字系统 设计与实践

杨 军 蔡光卉 黄 倩 陈 成 编著

电子工业出版社  
Publishing House of Electronics Industry

## 内 容 简 介

本书介绍了 VHDL 硬件描述语言以及使用该语言设计数字逻辑电路和数字系统的方法。全书共分为 7 章,第 1~3 章介绍了开发语言及项目开发环境;第 4 章介绍了常用基本数字逻辑器件的设计;第 5 章介绍了 FPGA 开发过程中常用设计方法;第 6 章介绍了 FPGA 设计综合数字系统实例;第 7 章介绍了面向 SOPC 的 FPGA 开发实例。

本书内容分为基础篇和综合实践篇两部分,基础篇细致地讲解了 FPGA 开发过程中使用的硬件描述语言 VHDL、设计软件 Quartus II 8.0、专业仿真工具 Modelsim 6.0 的使用,并对设计综合实验平台、常用基本器件的设计做了介绍;为了帮助读者更好地理解 and 掌握相关理论知识,在综合实践篇中介绍了 FPGA 开发常用的设计方法,包括消除毛刺设计技巧、触发器、锁存器、时延电路、时钟设计等典型的基础入门实例,同时,提供了矩阵键盘扫描接口设计等 4 个综合设计实例,以及基于 Avalon 总线的 PWM 控制器等 3 个面向 SOPC 的嵌入式项目开发实例。

本书的配套教学资源中包含了各章节的电子教案、习题参考答案,丰富的实例原图文件和程序源代码,以及程序执行步骤和结果分析。读者通过举一反三,即可轻松地将其应用于自己的工作和课题研究中。

本书适合高校计算机科学与技术、电子信息、电气工程及机电等相关专业的本科高年级学生、硕士研究生以及从事 FPGA 开发和应用行业的科研人员使用。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。  
版权所有,侵权必究。

### 图书在版编目(CIP)数据

基于 FPGA 的数字系统设计与实践 / 杨军等编著. —北京:电子工业出版社, 2014.1  
电子信息科学与工程类专业规划教材  
ISBN 978-7-121-22261-0



I. ①基… II. ①杨… III. ①可编程序逻辑器件—数字系统—系统设计—高等学校—教材 IV. ①TP332.1

中国版本图书馆 CIP 数据核字(2013)第 317873 号

策划编辑:任欢欢

责任编辑:章海涛 文字编辑:任欢欢

印 刷:北京丰源印刷厂

装 订:三河市鹏成印业有限公司

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本:787×1092 1/16 印张:17.5 字数:448 千字

印 次:2014 年 1 月第 1 次印刷

印 数:3000 册 定价:38.00 元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010) 88254888。

质量投诉请发邮件至 zlts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010) 88258888。

# 前 言

目前数字系统的设计正朝着速度快、容量大、体积小、质量轻,及面向用户需求的方向发展。根据系统的行为和功能要求,可以自上而下地逐层完成相应的描述、综合、优化、仿真与验证,直到生成器件。上述设计过程除了系统行为和功能描述以外,其余所有的设计过程都可以用计算机来完成,这样可以大大地缩短系统的设计周期,以适应当今品种多、批量小的电子市场需求,提高产品的竞争力。

基于 FPGA (Field Programmable Gate Array) 的电子系统设计技术是 21 世纪电子应用工程师必备的基本技能之一,而基于 FPGA 的数字系统设计与嵌入式 SOPC 设计是当前电子系统设计领域最前沿的技术之一。电子设计自动化(EDA)的关键技术之一是用硬件描述语言来描述系统的逻辑功能。

硬件描述语言 VHDL 的发展至今已有几十年的历史。20 世纪 80 年代后期由美国国防部开发的 VHDL (VHSIC Hardware Description Language) 于 1987 年 12 月由 IEEE 标准化(定为 IEEE std 1076—1987 标准,1993 年经进一步修订为 ANSI/IEEEstd 1076—1993 标准)。它的出现为电子设计自动化的普及和推广奠定了基础。

作者编写本书的目的就在于向广大电子设计人员介绍 VHDL 的基本知识及使用 VHDL 设计数字系统硬件电路的方法。本书强调从基础/综合/嵌入式 SOPC 三个层面讲解基于 FPGA 的设计技术,是根据作者多年积累的开发经验、实践教学经验,针对学生面临的实际问题,参考了大量设计书籍和技术文献组织编写的。本书强调采用讲练结合、循序渐进的方式:在实例的安排上,着重突出“应用”和“实用”的原则;在实例的讲解上,既介绍了设计原理、基本步骤和流程,也穿插了一些经验技巧和注意事项,在潜移默化的过程中提高读者的理论知识和实践能力。

本书共分 7 章,第 1~3 章主要介绍 FPGA 项目开发用到的软硬件工具、VHDL 的基本知识和使用 VHDL 设计简单逻辑电路的基本方法;第 4、6 章分别详述了用 VHDL 语言设计简单数字电路及复杂逻辑电路的步骤和过程;在前几章的基础上,第 5 章详细描述了 FPGA 开发过程中可能遇到的问题与技巧;第 7 章详细讲解了三个 SOPC 实例开发的细节。读者只要通读全书,就可以基本掌握用 VHDL 设计逻辑电路的方法。

本书由杨军、蔡光卉、黄倩、陈成编著。其中第 2、5、6、7 章由杨军教授编写,第 1、3、4 章由蔡光卉副教授编写,黄倩、陈成完成了本书实例、习题的仿真、验证。另外为本书的顺利完成做出贡献的人员还有张彬彬、于艳艳、王磊、袁英、李文龙、朱若鑫、康健、赵仕东、陶玲、文鹏、郑树文、吕辉、陶福寿,他们在资料的收集、整理,源代码的设计、分析、仿真,硬件平台的验证,书稿的录入、排版、绘图等方面做了大量的工作;尤其是张彬彬老师在申报选题、框架设计、内容安排、材料组织等方面做了许多工作,在此一并向他们

表示最诚挚的谢意!同时,本书的出版得到了云南省高等学校教学改革研究项目(X3113008)、云南大学信息学院本科实践教学能力提升项目的资助。

本书的配套教学资源中包含了各章节的电子教案、习题参考答案,丰富的实例原图文件、程序源代码,以及程序执行步骤和结果分析。任课教师和相关读者可以到华信教育资源网进行免费注册下载,网址是<http://www.hxedu.com.cn>。

基于FPGA的SOPC电子系统设计技术涉及的知识范围广,本书的目的是为初学者提供一些帮助和指导,只要读者能从中有所收获,都会令作者感到十分欣慰。

由于作者水平有限,加之编写时间仓促,书中难免有错误和不足之处,恳请广大读者批评、指正。

编著者

2013年9月

## 反侵权盗版声明

电子工业出版社依法对本作品享有专有出版权。任何未经权利人书面许可，复制、销售或通过信息网络传播本作品的行为；歪曲、篡改、剽窃本作品的行为，均违反《中华人民共和国著作权法》，其行为人应承担相应的民事责任和行政责任，构成犯罪的，将被依法追究刑事责任。

为了维护市场秩序，保护权利人的合法权益，我社将依法查处和打击侵权盗版的单位和个人。欢迎社会各界人士积极举报侵权盗版行为，本社将奖励举报有功人员，并保证举报人的信息不被泄露。

举报电话：(010) 88254396；(010) 88258888

传 真：(010) 88254397

E-mail: [dbqq@phei.com.cn](mailto:dbqq@phei.com.cn)

通信地址：北京市万寿路 173 信箱

电子工业出版社总编办公室

邮 编：100036

# 目 录

## 基 础 篇

第 1 章 概述	2
1.1 CPLD/FPGA 简介	2
1.1.1 CPLD/FPGA 的结构与工作原理	2
1.1.2 CPLD/FPGA 的发展趋势	7
1.2 CPLD/FPGA 产品概述	7
1.2.1 Lattice 的 CPLD 器件系列	8
1.2.2 Xilinx 的 CPLD/FPGA 器件系列	9
1.2.3 Altera 的 CPLD/FPGA 器件系列	11
1.2.4 Altera 的 FPGA 配置方式与配置器件	14
习题与思考题	15
第 2 章 VHDL 语言基础	16
2.1 硬件描述语言特点	16
2.2 VHDL 程序基本结构	16
2.3 VHDL 程序主要构件	17
2.3.1 库	18
2.3.2 实体	18
2.3.3 结构体	19
2.3.4 包集合	20
2.3.5 配置	21
2.4 VHDL 数据类型	23
2.4.1 标准数据类型	23
2.4.2 IEEE 定义的逻辑位与矢量	24
2.4.3 用户自定义数据类型	24
2.4.4 数据类型转换	26
2.5 运算符	26
2.5.1 算术运算符	26
2.5.2 逻辑运算符	26
2.5.3 关系运算符	27
2.5.4 其他运算符	27
2.5.5 运算优先级	27

2.6	VHDL 数据对象	28
2.6.1	常量	28
2.6.2	变量	28
2.6.3	信号	29
2.6.4	信号与变量的比较	30
2.7	VHDL 基本语句	30
2.7.1	并行语句	30
2.7.2	顺序语句	37
2.7.3	属性描述语句	42
2.8	测试基准	44
2.9	其他语句和有关规定的说明	45
2.9.1	命名规则和注解的标记	45
2.9.2	ATTRIBUTE(属性)描述与定义	46
2.9.3	GENERATE 语句	53
2.10	VHDL 程序的其他构件	56
2.10.1	块	56
2.10.2	函数	58
2.10.3	过程	59
2.10.4	程序包	60
2.11	结构体的描述方法	62
	习题与思考题	63
<b>第3章</b>	<b>项目开发环境介绍</b>	<b>65</b>
3.1	软件平台	65
3.1.1	系统设计软件 Quartus II 8.0	65
3.1.2	ModelSim 6.0 仿真工具	66
3.1.3	Nios II IDE 8.0 软件集成环境	67
3.2	硬件平台	67
3.2.1	DE2 平台介绍	67
3.2.2	DE2 板上资源及硬件布局	69
3.2.3	DE2 原理	70
3.2.4	DE2 平台的开发环境	73
3.2.5	DE2 开发板测试说明	74
	习题与思考题	75
<b>第4章</b>	<b>常用基本器件设计</b>	<b>76</b>
4.1	寄存器设计	76
4.1.1	寄存器原理图设计	76
4.1.2	寄存器工作原理	76
4.1.3	寄存器程序描述	77
4.1.4	寄存器仿真	78



4.2	移位运算器设计	78
4.2.1	移位运算器原理图设计	78
4.2.2	移位运算器程序描述	79
4.2.3	移位运算器仿真	80
4.3	加减法运算器设计	81
4.3.1	加减法单元原理图设计	81
4.3.2	加减单元编码	81
4.3.3	多位加减法单元连接	82
4.3.4	加减法运算器原理图设计	83
4.3.5	加减法运算器程序描述	84
4.3.6	加减法运算器仿真	87
4.4	乘法器设计	88
4.4.1	乘法阵列原理图设计	88
4.4.2	乘法阵列编码	89
4.4.3	有符号数乘法运算器	90
4.5	同步计数器设计	93
4.5.1	设备同步工作	93
4.5.2	程序计数器	93
4.5.3	通用计数器	95
4.6	节拍器设计	98
4.6.1	节拍器电路设计	98
4.6.2	节拍器程序描述	98
4.6.3	节拍器工作原理	101
4.7	译码器设计	101
4.7.1	译码器电路设计	101
4.7.2	译码器程序描述	102
4.7.3	选择与通断控制电路	103
4.8	标志线设计	106
4.8.1	累加器标志线设计	106
4.8.2	数据监测标志设计	107
4.9	存储器设计	107
4.9.1	地址译码器电路设计	107
4.9.2	存储单元设计	109
4.9.3	包含 256 个存储单元的存储器设计	110
	习题与思考题	112

## 综合实践篇

第 5 章	FPGA 开发常用设计方法	114
5.1	消除毛刺	114

5.2	几种逻辑器件及信号处理方法	115
5.2.1	触发器及锁存器	115
5.2.2	消除及置位信号处理	117
5.3	FPGA 中的同步设计	118
5.4	FPGA 时延电路产生及用法	119
5.5	FPGA 中的时钟设计	121
5.5.1	全局时钟	121
5.5.2	门控制时钟	122
5.5.3	多级逻辑时钟	124
5.5.4	行波时钟	125
5.5.5	多时钟系统	126
5.6	FPGA 电路优化方法	130
	习题与思考题	133
<b>第 6 章</b>	<b>综合数字系统实例</b>	<b>134</b>
6.1	矩阵键盘扫描接口设计	134
6.1.1	实例内容说明	134
6.1.2	设计思路与原理	134
6.1.3	程序设计与验证	136
6.1.4	实例总结	143
6.2	交通灯控制的设计	144
6.2.1	实例内容说明	144
6.2.2	设计思路与原理	144
6.2.3	程序设计与注释	145
6.2.4	实例总结	152
6.3	6 层电梯控制器的设计	152
6.3.1	实例内容说明	152
6.3.2	设计思路与原理	152
6.3.3	程序设计与验证	153
6.3.4	实例总结	162
6.4	快速傅里叶变换 FFT 处理器的设计	162
6.4.1	FFT 算法特点	162
6.4.2	旋转因子算法	163
6.4.3	蝶形处理器	165
6.4.4	实例总结	168
	习题与思考题	168
<b>第 7 章</b>	<b>面向 SOPC 的 FPGA 设计实例</b>	<b>170</b>
7.1	SOPC 系统设计流程	170
7.2	基于 Avalon 总线的 PWM 控制器	171
7.2.1	实例介绍	171

7.2.2	设计思路与原理 .....	171
7.2.3	硬件设计 .....	174
7.2.4	软件设计 .....	190
7.2.5	实例总结 .....	194
7.3	基于 SOPC 的 SD 卡音乐播放器 .....	194
7.3.1	实例介绍 .....	194
7.3.2	设计思路与原理 .....	194
7.3.3	硬件设计 .....	200
7.3.4	软件设计 .....	210
7.3.5	实例总结 .....	216
7.4	基于 AES 算法的实时加/解密系统 .....	216
7.4.1	实例介绍 .....	216
7.4.2	设计思路与原理 .....	217
7.4.3	硬件设计 .....	223
7.4.4	软件设计与综合测试 .....	255
7.4.5	实例总结 .....	264
	习题与思考题 .....	264
	附录 A .....	265
	参考文献 .....	269



# 基础篇

# 第1章 概述

FPGA 和 CPLD 都是可编程 ASIC 器件，二者有着很多共同特点，但是由于 CPLD 和 FPGA 结构上的差异，因此具有各自的特点。本章将着重对 CPLD/FPGA 的结构、原理以及目前市场上比较流行的几种器件进行详细介绍。

## 1.1 CPLD/FPGA 简介

CPLD 是复杂可编程逻辑器件 (Complex Programmable Logic Device) 的简称，FPGA 是现场可编程门阵列 (Field Programmable Gate Array) 的简称，两者的功能基本相同，只是实现原理略有不同，所以有时可以忽略这两者的区别，统称为可编程逻辑器件或者 CPLD/FPGA。

CPLD 最早由 Altera 公司推出 MAX 系列，多为 Flash、E<sup>2</sup>PROM 架构或者乘积项 (Product Term) 架构的 PLD。FPGA 最早由 Xilinx 公司推出，多为 SRAM 架构或者查表 (Look Up Table) 架构，需外接配置用的 EPROM 下载。因为 Altera 的 FELX/ACEX/APEX 系列也是 SRAM 架构，所以通常把 Altera 的 FELX/ACEX/APEX 系列芯片也称为 FPGA。

### 1.1.1 CPLD/FPGA 的结构与工作原理

#### 1. 乘积项结构器件 (CPLD)

简单 PLD 器件在实用中已经被淘汰，主要原因如下：

- 阵列规模较小，资源不够用于数字系统。
- 片内寄存器资源不足，且寄存器的结构限制较多，难以构成丰富的时序电路。I/O 不够灵活，限制了片内资源的利用率。
- 编程不便，需用专用的编程工具。

取而代之的是 CPLD/FPGA，以 Altera 的 MAX3000A CPLD 为例，如图 1.1 所示。MAX3000A 有 32~512 个宏单元。单个宏单元的结构包括可编程的与阵列和固定的或阵列，可配置寄存器，并包含共享扩展乘积项和高速并联扩展乘积项。

MAX3000A 结构中包括 5 个主要部分：逻辑阵列块、宏单元、扩展乘积项、可编程连线阵列和 I/O 控制块。

##### (1) 逻辑阵列块 (LAB)

1 个 LAB 由 16 个宏单元的阵列组成。多个 LAB 通过可编程连线阵 PIA 和全局总线连接在一起，如图 1.2 所示。

##### (2) 宏单元

逻辑阵列用于实现组合逻辑，即可实现逻辑函数及将宏单元寄存器的辅助输入单独地配置为时序逻辑和组合逻辑工作方式。

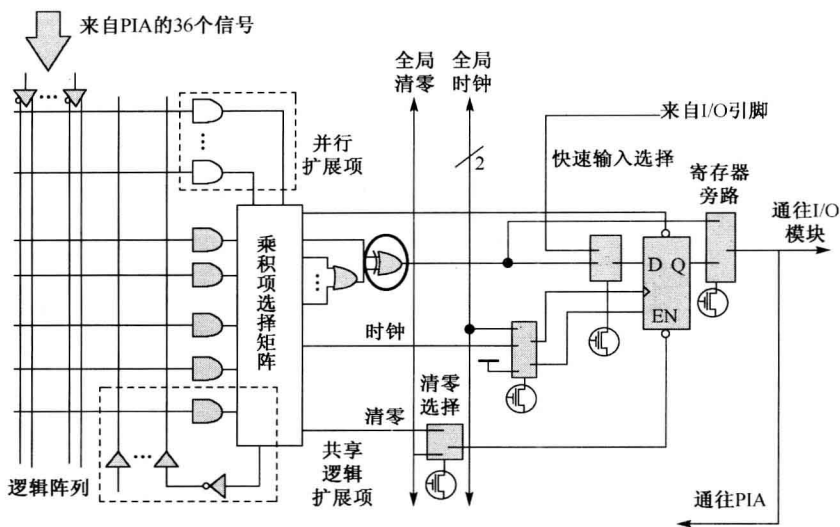


图 1.1 MAX3000A 结构

### (3) 扩展乘积项

复杂的逻辑函数需要附加乘积项，可利用其他宏单元以提供逻辑资源，即扩展项。

由每个宏单元提供一个单独的乘积项，通过一个非门取反后反馈到逻辑阵列中，可被 LAB 内任何一个或全部宏单元使用和共享，如图 1.3 所示。

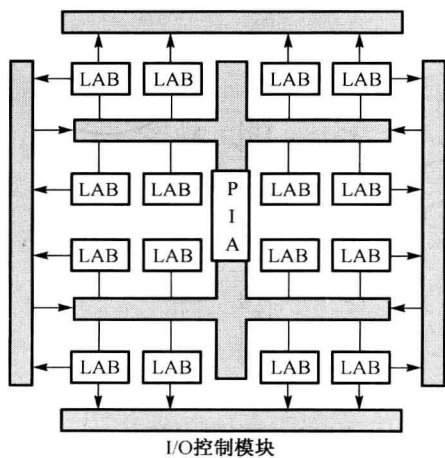


图 1.2 逻辑阵列

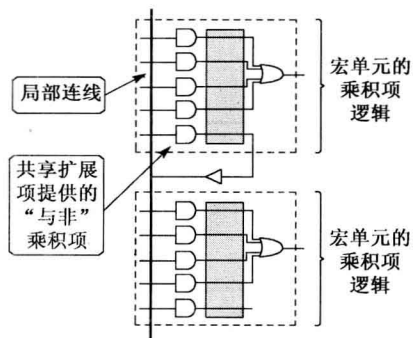


图 1.3 共享扩展乘积项结构

### (4) 可编程连线阵列

不同的 LAB 通过在可编程连线阵列 PIA 上布线，以相互连接构成所需逻辑。MAX3000A 的专用输入、I/O 引脚和宏单元输出都可连接到 PIA，PIA 可以把信号送到整个器件的各个地方，如图 1.4 所示。

### (5) I/O 控制块

I/O 控制块允许每个 IO 引脚单独被配置为输入、输出和双向工作模式。所有 IO 引脚都有一个三态缓冲器，控制信号来自多路选择器，可以选择用信号、GND 和  $V_{CC}$  控制，如图 1.5 所示。

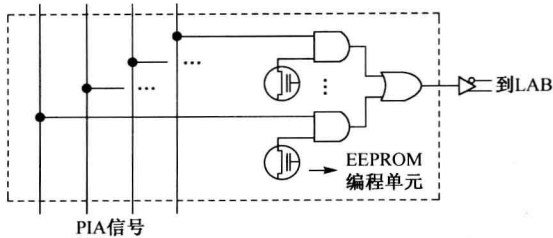


图 1.4 PIA 信号布线到 LAB 的方式

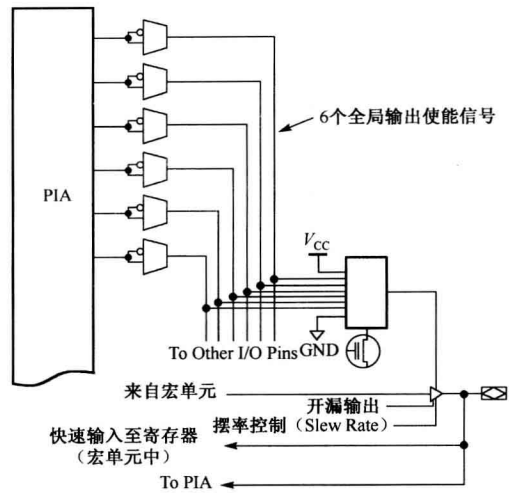


图 1.5 器件的 I/O 控制块

## 2. 查找表结构器件 (FPGA)

大部分 FPGA 采用基于 SRAM 的查找表结构，即用 SRAM 来构成逻辑函数发生器。一个  $N$  输入的 LUT 可以实现  $N$  个输入变量的任何逻辑，如图 1.6 所示。

一个  $N$  输入的 LUT，需要 SRAM 存储  $N$  个输入构成的真值表，需要  $2^N$  位的 SRAM 单元，如图 1.7 所示。

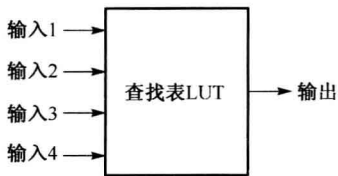


图 1.6 FPGA 查找表单元

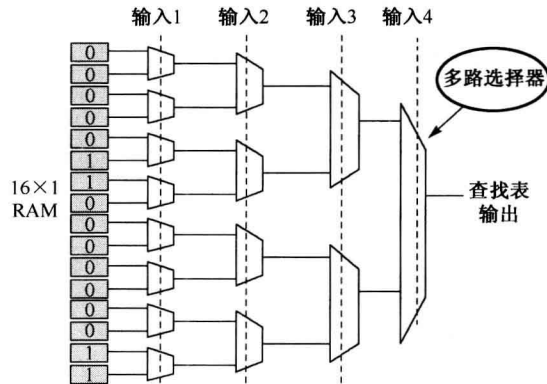


图 1.7 FPGA 查找表单元内部结构

下面以 CycloneIII 系列器件的结构与原理为例。

Cyclone 主要由逻辑阵列块 LAB、嵌入式存储器块、嵌入式硬件乘法器、IO 单元、PLL 等模块构成，各个模块之间存在丰富的互连线和时钟网络。

LAB 由多个逻辑宏单元 LE 构成，LE 是 FPGA 器件的最基本的可编程单元，LE 主要由一个 4 输入的查找表 LUT、进位链逻辑、寄存器链逻辑和一个可编程的寄存器构成，如图 1.8 所示。

4 输入的 LUT 可完成所有的 4 输入 1 输出的组合逻辑功能。每个 LE 中的可编程寄存器可以被配置为各种触发器形式，而且寄存器具有数据、时钟、时钟使能和清零输入信号。寄存器可旁路。LE 有三个输出驱动内部互连，一个驱动局部互连，另两个驱动行或列互连，LUT 和寄存器的输出均可单独控制。

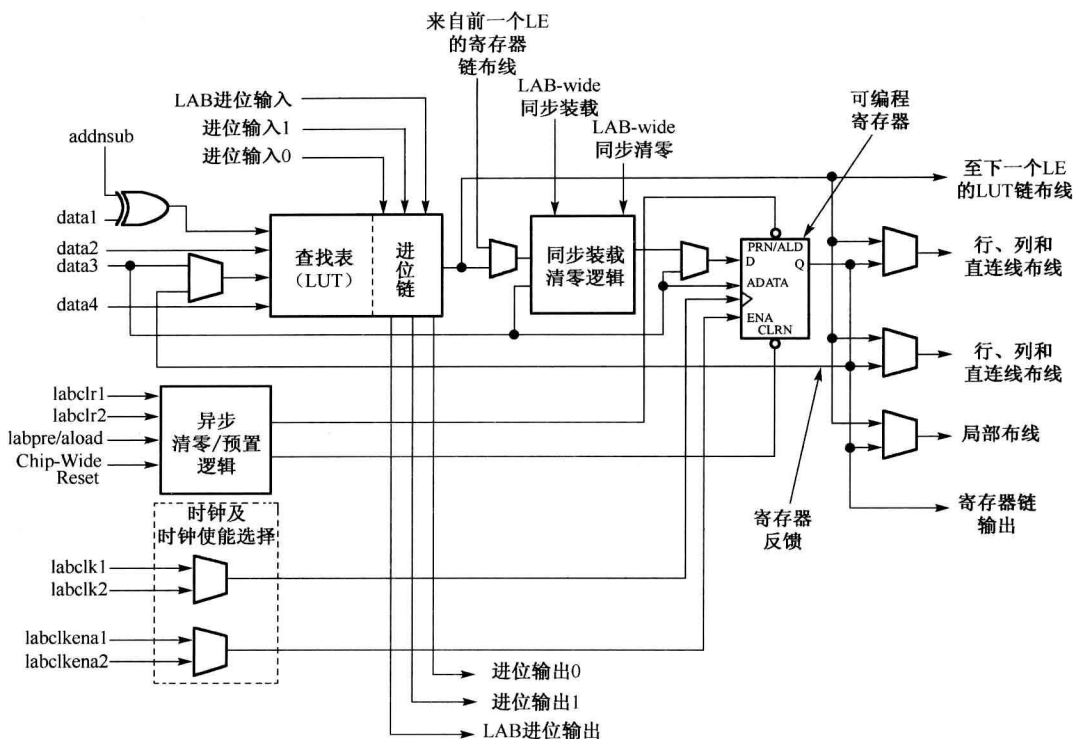


图 1.8 Cyclone LE 结构图

CycloneLE 可工作在两种操作模式下：

普通模式，适合通用逻辑应用和组合逻辑的实现，如图 1.9 所示；

算术模式，可以更好地实现加法器、计数器、累加器和比较器，如图 1.10 所示。

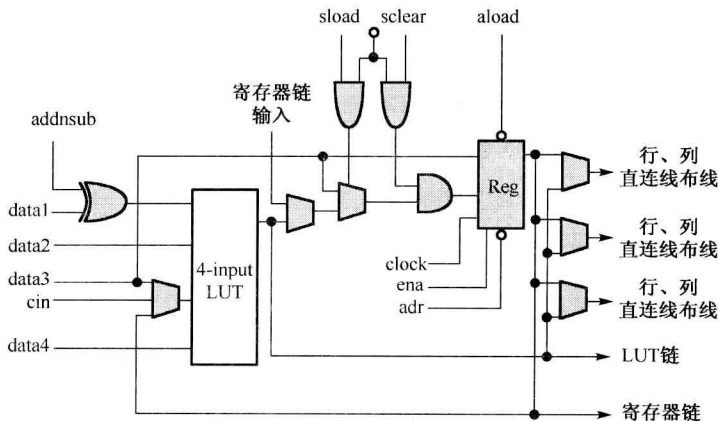


图 1.9 Cyclone LE 普通模式

逻辑阵列块 LAB 由一系列相邻的 LE 构成，如图 1.11 所示。Cyclone III LAB 包含 16 个 LE，LAB 间存在行互连、列互连、直连通路互连、LAB 局部互连、LE 进位链和寄存器链，如图 1.12 所示。局部互连可以在同一个 LAB 的 LE 间传输信号；进位链用来连接 LE 的进位输出和下一个 LE 的进位输入；寄存器链用来连接下一个 LE 的寄存器输出和下一个 LE 的寄存器数据输入。



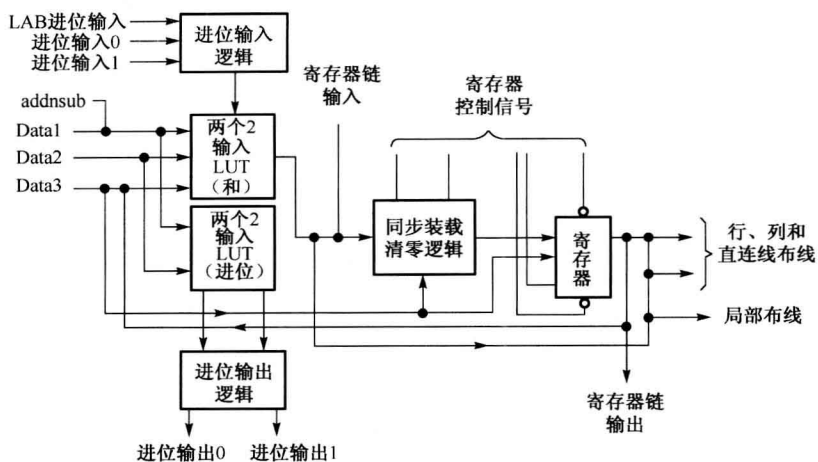


图 1.10 Cyclone LE 动态算术模式

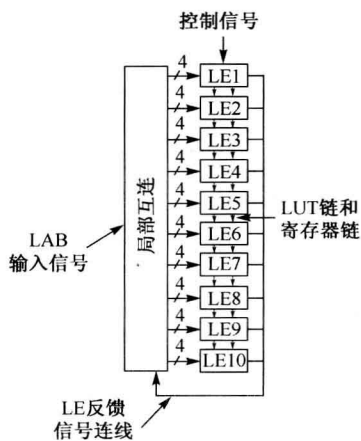


图 1.11 Cyclone LAB 结构

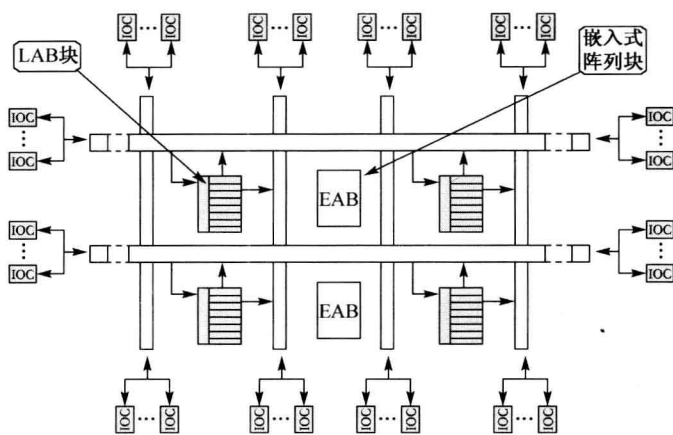


图 1.12 LAB 阵列

控制信号生成：每个 LAB 都有专用的逻辑来生成 LE 的控制信号，LE 的控制信号包括时钟信号、时钟使能信号、异步清零、同步清零、异步预置/装载信号、同步装载和加/减控制信号，如图 1.13 所示。

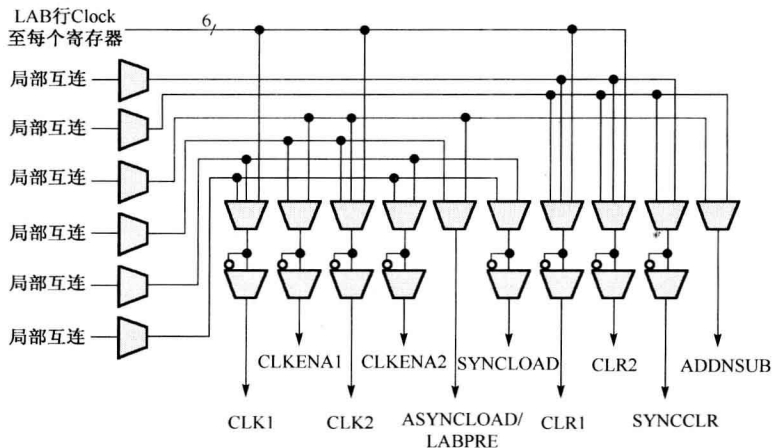


图 1.13 LAB 控制信号生成