

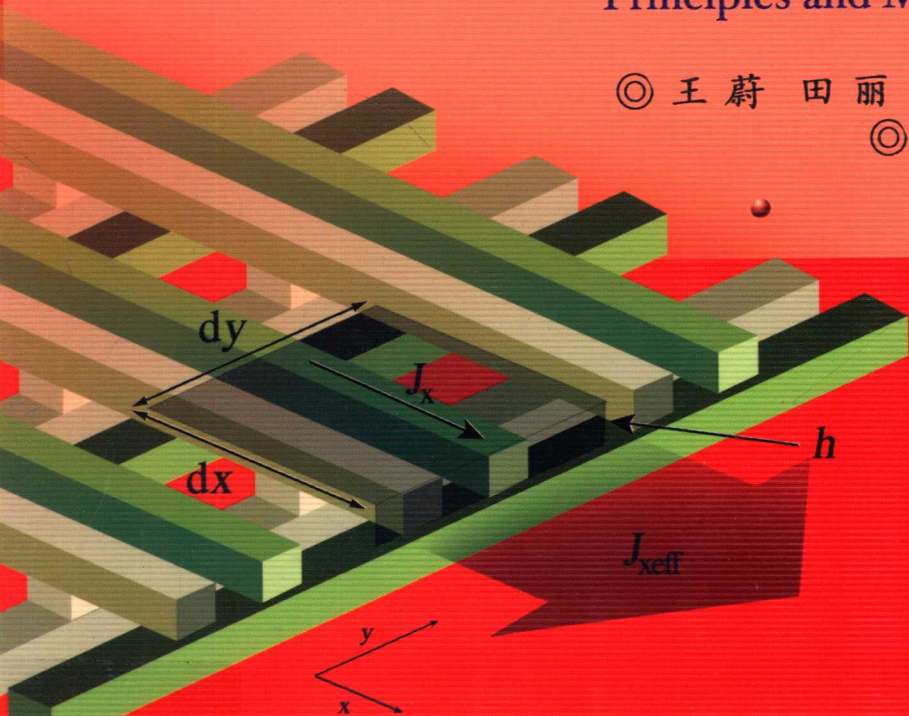
电子科学与技术类专业精品教材

# 集成电路制造技术

## ——原理与工艺(修订版)

Integrated Circuit Manufacturing Technology,  
Principles and Methodology

◎ 王蔚 田丽 任明远 编著  
◎ 刘晓为 主审



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY <http://www.phei.com.cn>

TN405  
2011.2

阅 览

电子科学与技术类专业精品教材

# 集成电路制造技术

## ——原理与工艺

(修订版)

王蔚 田丽 任明远 编著  
刘晓为 主审



电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

## 内 容 简 介

本书是哈尔滨工业大学“国家集成电路人才培养基地”教学建设成果,全书分5个单元系统地介绍了当前集成电路制造普遍采用的工艺技术。第1单元介绍硅衬底,主要介绍硅单晶的结构特点,单晶硅锭的控制,硅片(包含体硅片和外延硅片)的制造工艺及相关理论。第2~5单元介绍硅芯片制造基本单项工艺(氧化与掺杂、薄膜制备、光刻、工艺集成与封装测试)的原理、方法、设备,以及所依托的技术基础及发展趋势。附录A介绍以制作双极型晶体管为例的微电子生产实习,双极型晶体管的全部工艺步骤与检测技术;附录B介绍工艺模拟知识和SUPREM软件。附录部分可帮助学生从理论走向生产实践,对微电子产品制造技术的原理与工艺全过程有更深入的了解。

本书配有PPT、习题解答、微电子工艺视频等丰富教学资源。

本书可作为普通高等学校电子科学与技术、微电子学与固体电子学、微电子技术、集成电路设计及集成系统等专业的专业课教材,也可作为从事集成电路芯片制造的企业工程技术人员的参考书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

## 图书在版编目(CIP)数据

集成电路制造技术:原理与工艺 / 王蔚,田丽,任明远编著. —修订本. —北京:电子工业出版社,2013.7

电子科学与技术类专业精品教材

ISBN 978-7-121-20680-1

I. ①集… II. ①王… ②田… ③任… III. ①集成电路工艺—高等学校—教材 IV. ①TN405

中国版本图书馆CIP数据核字(2013)第127323号



责任编辑:陈晓莉

印 刷:北京市李史山胶印厂

装 订:北京市李史山胶印厂

出版发行:电子工业出版社

北京市海淀区万寿路173信箱 邮编100036

开 本:787×1092 1/16 印张:23 字数:681千字

印 次:2013年7月第1次印刷

定 价:42.00元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010)88254888。

质量投诉请发邮件至 zlts@phei.com.cn,盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010)88258888。



# 修订版前言

从1996年开始,编者就在哈尔滨工业大学讲授“微电子工艺”课程,至今已有近二十年。最初因没有合适的教材,编者编写了《微电子工艺讲义》作为微电子科学与技术专业本科生的校内教材,并在2002年进行了修订。该讲义主要介绍硅基微电子分立器件与集成电路基本单项工艺的原理与方法、典型分立器件工艺流程,以及集成电路工艺特有的隔离技术等。微电子科技是高速发展的产业推动型学科,微电子产品制造技术更是日新月异。随着工艺技术的发展进步,原讲义内容需要更新,且原讲义是针对30授课学时使用的教材,内容涵盖面小、偏浅。因此,编者从2008年开始在原讲义基础之上重新编写本教材,并得到哈尔滨工业大学“十一五”规划教材项目的资助。鉴于本教材内容及硅基集成电路在微电子产品中的主导地位,且集成电路制造工艺已涵盖了分立器件工艺的内容,本教材最终定名为《集成电路制造技术——原理与工艺》。

本书共分5个单元。第1单元介绍硅衬底,主要介绍硅单晶的结构特点,单晶硅锭的拉制及硅片(包含体硅片和外延硅片)的制造工艺及相关理论。第2~5单元介绍硅芯片制造基本单项工艺的原理、方法、设备,以及所依托的技术基础及发展趋势。其中,第2单元氧化与掺杂,介绍热氧化生长二氧化硅工艺,以及通过热扩散和离子注入与退火相结合的在硅片特定区域的定量掺杂工艺,这是最基本的硅平面工艺;第3单元薄膜制备,介绍化学气相淀积(CVD)和物理气相淀积(PVD)两类薄膜制备方法,以及二氧化硅、氮化硅介质薄膜,多晶硅薄膜,金属薄膜和化合物薄膜的淀积工艺;第4单元光刻技术,介绍光刻工艺过程,现代光刻技术和刻蚀工艺;第5单元工艺集成与封装测试,介绍典型工艺集成技术的要点,典型的CMOS电路、双极型电路工艺流程,以及芯片制造过程中的工艺监控、测试和芯片封装技术。另外,附录A介绍以制作双极型晶体管为例的微电子生产实习,双极型晶体管的全部工艺步骤与检测技术;附录B介绍工艺模拟知识和SUPREM软件。

本书配有PPT、习题解答、微电子工艺视频等丰富教学资源,请登录电子工业出版社华信教育资源网(<http://www.hxedu.com.cn>),免费注册下载。

本次修订在原教材的基础,除订正了上一版的错误之外,对第4单元的光刻、第5单元的工艺集成部分做了较大修改,增补了近几年科技进步的内容使之更适合课程教学,亦使本书内容跟上时代的步伐,反映当今集成电路制造技术的最新水平。

本书适合作为电子科学与技术类本科生的微电子工艺(或集成电路工艺)课程教材,建议授课学时40学时。学生在学习完“微电子工艺”课程之后,若再进行3周的微电子生产实习,就能从理论走向生产实践,对微电子产品制造技术的原理与工艺全过程有更深入的了解。本教材也适合作为微电子领域及相关专业技术人员了解集成电路制造工艺技术的参考书。

本书绪论、第1单元、第3单元和附录A由王蔚执笔,并进行了全书的统稿;第2单元和附录B由田丽执笔;第4单元和第5单元由任明远执笔。总装微/纳米技术专家组成员、哈尔滨工业大学国家集成电路培养基地主任刘晓为教授对全书进行了主审。

本书编撰过程中兰蒸杰教授对初稿进行了审校,并给予许多宝贵意见;另外,学生宣雷、傅建齐、

李昊鸣在初稿编写中帮助收集资料并撰写部分内容。在此,对上述各位,以及为本书出版给予支持与帮助的人士表示衷心的感谢!

由于作者水平有限,书中错漏之处在所难免,恳请读者予以指正。

王蔚

2013年5月于哈尔滨工业大学

# 目 录

<b>第 0 章 绪论</b> .....	(1)
0.1 何谓集成电路工艺 .....	(1)
0.2 集成电路制造技术发展历程 .....	(3)
0.3 集成电路制造技术特点 .....	(5)
0.3.1 超净环境 .....	(5)
0.3.2 超纯材料 .....	(6)
0.3.3 批量复制和广泛的用途 .....	(7)
0.4 本书内容结构 .....	(7)
<b>第 1 单元 硅衬底</b>	
<b>第 1 章 单晶硅特性</b> .....	(9)
1.1 硅晶体的结构特点 .....	(9)
1.1.1 硅的性质 .....	(9)
1.1.2 硅晶胞 .....	(11)
1.1.3 硅单晶的晶向、晶面 .....	(12)
1.2 硅晶体缺陷 .....	(14)
1.2.1 点缺陷 .....	(15)
1.2.2 线缺陷 .....	(16)
1.2.3 面缺陷和体缺陷 .....	(17)
1.3 硅晶体中的杂质 .....	(17)
1.3.1 杂质对硅电学性质的影响 .....	(17)
1.3.2 固溶度和相图 .....	(18)
本章小结 .....	(21)
<b>第 2 章 硅片的制备</b> .....	(22)
2.1 多晶硅的制备 .....	(22)
2.1.1 冶炼 .....	(22)
2.1.2 提纯 .....	(22)
2.2 单晶硅生长 .....	(23)
2.2.1 直拉法 .....	(23)
2.2.2 单晶生长原理 .....	(24)
2.2.3 晶体掺杂 .....	(25)
2.2.4 磁控直拉法 .....	(28)
2.2.5 悬浮区熔法 .....	(29)
2.3 切制硅片 .....	(30)
2.3.1 切片工艺 .....	(31)
2.3.2 硅片规格及用途 .....	(32)
本章小结 .....	(33)
<b>第 3 章 外延</b> .....	(34)
3.1 概述 .....	(34)
3.1.1 外延概念 .....	(34)

3.1.2	外延工艺种类 .....	(34)
3.1.3	外延工艺用途 .....	(35)
3.2	气相外延 .....	(36)
3.2.1	硅的气相外延工艺 .....	(37)
3.2.2	外延原理 .....	(38)
3.2.3	影响外延生长速率的因素 .....	(40)
3.2.4	外延掺杂 .....	(43)
3.2.5	外延设备 .....	(45)
3.2.6	外延技术 .....	(46)
3.3	分子束外延 .....	(49)
3.3.1	工艺及原理 .....	(49)
3.3.2	外延设备 .....	(50)
3.3.3	MBE 工艺特点 .....	(51)
3.4	其他外延方法 .....	(52)
3.4.1	液相外延 .....	(52)
3.4.2	固相外延 .....	(53)
3.4.3	先进外延技术及发展趋势 .....	(54)
3.5	外延缺陷与外延层检测 .....	(55)
3.5.1	外延缺陷类型及分析检测 .....	(55)
3.5.2	图形漂移和畸变现象 .....	(56)
3.5.3	外延层参数测量 .....	(57)
	本章小结 .....	(58)
	单元习题一 .....	(58)

## 第 2 单元 氧化与掺杂

<b>第 4 章</b>	<b>热氧化 .....</b>	<b>(59)</b>
4.1	二氧化硅薄膜概述 .....	(59)
4.1.1	二氧化硅结构 .....	(60)
4.1.2	二氧化硅的理化性质及用途 .....	(60)
4.1.3	二氧化硅薄膜中的杂质 .....	(61)
4.1.4	杂质在 $\text{SiO}_2$ 中的扩散 .....	(62)
4.1.5	二氧化硅的掩蔽作用 .....	(62)
4.2	硅的热氧化 .....	(64)
4.2.1	热氧化工艺 .....	(64)
4.2.2	热氧化机理 .....	(66)
4.2.3	硅的 Deal-Grove 热氧化模型 .....	(67)
4.2.4	热氧化生长速率 .....	(69)
4.2.5	影响氧化速率的各种因素 .....	(70)
4.3	初始氧化阶段及薄氧化层制备 .....	(76)
4.4	热氧化过程中杂质的再分布 .....	(77)
4.4.1	杂质的分凝效应 .....	(78)
4.4.2	再分布对硅表面杂质浓度的影响 .....	(79)
4.5	氧化层的质量及检测 .....	(81)
4.5.1	$\text{SiO}_2$ 层厚度的测量 .....	(81)
4.5.2	$\text{SiO}_2$ 层成膜质量的测量 .....	(82)
4.6	其他氧化方法 .....	(85)

4.6.1	掺氯氧化 .....	(85)
4.6.2	高压氧化 .....	(86)
4.6.3	热氧化工艺展望 .....	(87)
	本章小结 .....	(87)
<b>第5章</b>	<b>扩散</b> .....	(88)
5.1	扩散机构 .....	(88)
5.1.1	替位式扩散(Substitutional) .....	(88)
5.1.2	填隙式扩散(Interstitial) .....	(89)
5.1.3	填隙—替位式扩散 .....	(90)
5.2	晶体中扩散的基本特点与宏观动力学方程 .....	(90)
5.2.1	基本特点 .....	(90)
5.2.2	扩散方程 .....	(91)
5.2.3	扩散系数 .....	(92)
5.3	杂质的扩散掺杂 .....	(94)
5.3.1	恒定表面源扩散 .....	(94)
5.3.2	限定表面源扩散 .....	(95)
5.3.3	两步扩散工艺 .....	(97)
5.4	热扩散工艺中影响杂质分布的其他因素 .....	(98)
5.4.1	硅中点缺陷对杂质扩散的影响 .....	(98)
5.4.2	氧化增强扩散 .....	(99)
5.4.3	发射区推进效应 .....	(100)
5.4.4	横向扩散效应 .....	(101)
5.4.5	场助扩散效应 .....	(102)
5.5	扩散工艺条件与方法 .....	(103)
5.5.1	扩散方法的选择 .....	(103)
5.5.2	杂质源选择 .....	(104)
5.5.3	常用杂质的扩散工艺 .....	(106)
5.6	扩散工艺质量与检测 .....	(108)
5.6.1	结深的测量 .....	(108)
5.6.2	表面浓度的确定 .....	(109)
5.6.3	器件的电学特性与扩散工艺的关系 .....	(110)
5.7	扩散工艺的发展 .....	(111)
	本章小结 .....	(112)
<b>第6章</b>	<b>离子注入</b> .....	(113)
6.1	概述 .....	(113)
6.2	离子注入原理 .....	(114)
6.2.1	与注入离子分布相关的几个概念 .....	(114)
6.2.2	离子注入相关理论基础 .....	(115)
6.2.3	几种常用杂质在硅中的核阻止本领与能量关系 .....	(118)
6.3	注入离子在靶中的分布 .....	(119)
6.3.1	纵向分布 .....	(119)
6.3.2	横向效应 .....	(120)
6.3.3	单晶靶中的沟道效应 .....	(123)
6.3.4	影响注入离子分布的其他因素 .....	(125)
6.4	注入损伤 .....	(127)
6.4.1	级联碰撞 .....	(127)



6.4.2	简单晶格损伤	(127)
6.4.3	非晶层的形成	(128)
6.5	退火	(130)
6.5.1	硅材料的热退火特性	(130)
6.5.2	硼的退火特性	(131)
6.5.3	磷的退火特性	(132)
6.5.4	高温退火引起的杂质再分布	(132)
6.5.5	二次缺陷	(133)
6.5.6	退火方式及快速热处理技术	(134)
6.6	离子注入设备与工艺	(136)
6.6.1	离子注入机	(136)
6.6.2	离子注入工艺流程	(139)
6.7	离子注入的其他应用	(140)
6.7.1	浅结的形成	(140)
6.7.2	调整 MOS 晶体管的阈值电压	(141)
6.7.3	自对准金属栅结构	(142)
6.7.4	离子注入在 SOI 结构中的应用	(142)
6.8	离子注入与热扩散比较及掺杂新技术	(144)
	本章小结	(146)
	单元习题二	(146)

### 第 3 单元 薄膜制备

第 7 章	化学气相淀积	(148)
7.1	CVD 概述	(148)
7.2	CVD 工艺原理	(149)
7.2.1	薄膜淀积过程	(149)
7.2.2	薄膜淀积速率及影响因素	(151)
7.2.3	薄膜质量控制	(153)
7.3	CVD 工艺方法	(156)
7.3.1	常压化学气相淀积	(156)
7.3.2	低压化学气相淀积	(157)
7.3.3	等离子体的产生	(158)
7.3.4	等离子增强化学气相淀积	(162)
7.3.5	CVD 工艺方法的进展	(164)
7.4	二氧化硅薄膜的淀积	(165)
7.4.1	CVD-SiO <sub>2</sub> 特性与用途	(165)
7.4.2	APCVD-SiO <sub>2</sub>	(167)
7.4.3	LPCVD-SiO <sub>2</sub>	(169)
7.4.4	PECVD-SiO <sub>2</sub>	(170)
7.5	氮化硅薄膜淀积	(171)
7.5.1	氮化硅薄膜性质与用途	(171)
7.5.2	LPCVD-Si <sub>3</sub> N <sub>4</sub>	(172)
7.5.3	PECVD-Si <sub>3</sub> N <sub>4</sub>	(173)
7.6	多晶硅薄膜的淀积	(175)
7.6.1	多晶硅薄膜的性质与用途	(175)
7.6.2	CVD 多晶硅薄膜工艺	(176)

7.6.3	多晶硅薄膜的掺杂	(177)
7.7	CVD 金属及金属化合物薄膜	(178)
7.7.1	钨及其化学气相淀积	(178)
7.7.2	金属化合物的化学气相淀积	(179)
7.7.3	CVD 金属及金属化合物的进展	(181)
	本章小结	(182)
<b>第 8 章</b>	<b>物理气相淀积</b>	<b>(183)</b>
8.1	PVD 概述	(183)
8.2	真空系统及真空的获得	(184)
8.2.1	真空系统简介	(184)
8.2.2	真空的获得方法	(185)
8.2.3	真空度的测量	(187)
8.3	真空蒸镀	(187)
8.3.1	工艺原理	(187)
8.3.2	蒸镀设备	(190)
8.3.3	蒸镀工艺	(192)
8.3.4	蒸镀薄膜的质量及控制	(193)
8.4	溅射	(195)
8.4.1	工艺原理	(195)
8.4.2	直流溅射	(198)
8.4.3	射频溅射	(199)
8.4.4	磁控溅射	(200)
8.4.5	其他溅射方法	(201)
8.4.6	溅射薄膜的质量及改善方法	(203)
8.5	PVD 金属及化合物薄膜	(205)
8.5.1	铝及铝合金薄膜淀积	(205)
8.5.2	铜及其阻挡层薄膜的淀积	(207)
8.5.3	其他金属薄膜和化合物薄膜	(208)
	本章小结	(209)
	单元习题三	(209)

## 第 4 单元 光刻

<b>第 9 章</b>	<b>光刻工艺</b>	<b>(212)</b>
9.1	概述	(212)
9.2	基本光刻工艺流程	(215)
9.2.1	底膜处理	(216)
9.2.2	涂胶	(216)
9.2.3	前烘	(217)
9.2.4	曝光	(218)
9.2.5	显影	(219)
9.2.6	坚膜	(219)
9.2.7	显影检验	(220)
9.2.8	刻蚀	(220)
9.2.9	去胶	(221)
9.2.10	最终检验	(221)
9.3	光刻技术中的常见问题	(222)

9.3.1	浮胶	(222)
9.3.2	毛刺和钻蚀	(222)
9.3.3	针孔	(223)
9.3.4	小岛	(223)
	本章小结	(223)
<b>第 10 章</b>	<b>光刻技术</b>	(224)
10.1	光刻掩模版的制造	(224)
10.1.1	制版工艺简介	(224)
10.1.2	掩模版的基本构造及质量要求	(225)
10.1.3	铬版的制备技术	(227)
10.1.4	彩色版制备技术	(229)
10.1.5	光刻制版面临的挑战	(230)
10.2	光刻胶	(233)
10.2.1	光刻胶的特征量	(234)
10.2.2	光学光刻胶	(235)
10.2.3	其他光刻胶	(237)
10.3	光学分辨率增强技术	(237)
10.3.1	离轴照明技术	(238)
10.3.2	其他分辨率增强技术	(239)
10.4	紫外光曝光技术	(241)
10.4.1	接近式曝光	(241)
10.4.2	接触式曝光	(243)
10.4.3	投影式曝光	(243)
10.5	其他曝光技术	(244)
10.5.1	电子束曝光	(244)
10.5.2	X 射线曝光	(245)
10.5.3	离子束曝光	(246)
10.5.4	新技术展望	(247)
10.6	光刻设备	(251)
10.6.1	接触式光刻机	(251)
10.6.2	接近式光刻机	(252)
10.6.3	扫描投影光刻机	(252)
10.6.4	分步重复投影光刻机	(254)
10.6.5	步进扫描投影光刻机	(255)
10.6.6	光刻设备的发展趋势	(256)
	本章小结	(257)
<b>第 11 章</b>	<b>刻蚀技术</b>	(258)
11.1	概述	(258)
11.2	湿法刻蚀	(259)
11.2.1	硅的湿法刻蚀	(260)
11.2.2	二氧化硅的湿法刻蚀	(261)
11.2.3	氮化硅的湿法刻蚀	(261)
11.2.4	铝的湿法刻蚀	(262)
11.2.5	铬的湿法刻蚀	(262)
11.2.6	湿法刻蚀设备	(263)
11.3	干法刻蚀	(263)

11.3.1	刻蚀参数	(265)
11.3.2	多晶硅的干法刻蚀	(266)
11.3.3	二氧化硅的干法刻蚀	(267)
11.3.4	氮化硅的干法刻蚀	(268)
11.3.5	铝及铝合金的干法刻蚀	(268)
11.3.6	钨的刻蚀	(269)
11.3.7	干法刻蚀设备	(270)
11.3.8	终点检测	(273)
11.4	刻蚀技术新进展	(274)
11.4.1	四甲基氢氧化铵湿法刻蚀	(274)
11.4.2	软刻蚀	(275)
11.4.3	约束刻蚀剂层技术	(275)
	本章小结	(276)
	单元习题四	(276)

## 第5单元 工艺集成与封装测试

<b>第12章</b>	<b>工艺集成</b>	(277)
12.1	金属化与多层互连	(277)
12.1.1	欧姆接触	(278)
12.1.2	布线技术	(279)
12.1.3	多层互连	(281)
12.1.4	铜多层互连系统工艺流程	(283)
12.2	CMOS集成电路工艺	(284)
12.2.1	隔离工艺	(285)
12.2.2	阱工艺结构	(286)
12.2.3	薄栅氧化技术	(286)
12.2.4	非均匀沟道掺杂	(287)
12.2.5	栅电极材料与难熔金属硅化物自对准工艺	(287)
12.2.6	源/漏技术与浅结形成	(288)
12.2.7	CMOS电路工艺流程	(289)
12.3	双极型集成电路工艺	(292)
12.3.1	隔离工艺	(292)
12.3.2	双极型集成电路工艺流程	(294)
12.3.3	多晶硅在双极型电路中的应用	(295)
	本章小结	(296)
<b>第13章</b>	<b>工艺监控</b>	(297)
13.1	概述	(297)
13.2	实时监控	(298)
13.3	工艺检测片	(298)
13.3.1	晶片检测	(299)
13.3.2	氧化层检测	(300)
13.3.3	光刻工艺检测	(301)
13.3.4	扩散层检测	(302)
13.3.5	离子注入层检测	(302)
13.3.6	外延层检测	(303)
13.4	集成结构测试图形	(303)

13.4.1	微电子测试图形的功能与配置 .....	(304)
13.4.2	几种常用的测试图形 .....	(305)
13.4.3	微电子测试图形实例 .....	(309)
	本章小结 .....	(309)
<b>第 14 章</b>	<b>封装与测试</b> .....	(310)
14.1	芯片封装技术 .....	(310)
14.1.1	封装的作用和地位 .....	(310)
14.1.2	封装类型 .....	(311)
14.1.3	几种典型封装技术 .....	(313)
14.1.4	未来封装技术展望 .....	(319)
14.2	集成电路测试技术 .....	(319)
14.2.1	简介 .....	(320)
14.2.2	数字电路测试方法 .....	(322)
14.2.3	数字电路失效模型 .....	(324)
14.2.4	准静态电流测试分析法 .....	(326)
14.2.5	模拟电路及数模混合电路测试 .....	(327)
14.2.6	未来测试技术展望 .....	(329)
	本章小结 .....	(331)
	单元习题五 .....	(331)
<b>附录 A</b>	<b>微电子器件制造生产实习</b> .....	(332)
A.1	硅片电阻率测量 .....	(332)
A.2	硅片清洗 .....	(334)
A.3	一次氧化 .....	(336)
A.4	氧化层厚度测量 .....	(337)
A.5	光刻腐蚀基区 .....	(338)
A.6	硼扩散 .....	(339)
A.7	pn 结结深测量 .....	(341)
A.8	光刻腐蚀发射区 .....	(342)
A.9	磷扩散 .....	(343)
A.10	光刻引线孔 .....	(344)
A.11	真空镀铝 .....	(344)
A.12	反刻铝 .....	(345)
A.13	合金化 .....	(346)
A.14	中测 .....	(347)
A.15	划片 .....	(347)
A.16	上架烧结 .....	(347)
A.17	压焊 .....	(348)
A.18	封帽 .....	(349)
A.19	晶体管电学特性测量 .....	(349)
<b>附录 B</b>	<b>SUPREM 模拟</b> .....	(352)
B.1	SUPREM 软件简介 .....	(352)
B.2	氧化工艺 .....	(353)
B.3	扩散工艺 .....	(353)
B.4	离子注入 .....	(354)
	<b>参考文献</b> .....	(355)



# 第0章 绪论

微电子工业是飞速发展的高技术产业,其产品在各个领域得到广泛应用。近年来,信息技术、计算机行业及家电产业之所以能取得如此巨大的成就,主要是得益于微电子工业的发展,特别是集成电路的发展。集成电路的发展水平已成为一个国家工业发展水平的标志。

微电子产品主要是半导体分立器件和集成电路,集成电路是最主要的微电子产品,它们占整个微电子产品的90%以上。本书着重介绍集成电路制造技术的原理与工艺。在绪论中,仅就集成电路工艺的概念、发展历程、特点、主要用途,以及本书的内容结构加以介绍。

## 0.1 何谓集成电路工艺

所谓“工艺”,是指将原材料或半成品加工成产品的工作、方法和技术等。

硅基微电子产品的生产过程示意图如图0-1所示。单晶硅锭被切割加工成硅片后,微电子芯片厂商从硅片开始,经过20~30个工艺步骤,在硅片上制造出各种集成电路或分立器件结构,然后对其进行测试、划片、封装,最后将成品测试(简称:成测)合格的微电子产品提供给用户。

而当前,多数集成电路芯片生产企业只完成从硅片到在其上制造出集成电路结构的芯片加工部分,后期工作由专门的芯片测试和芯片封装厂商完成。

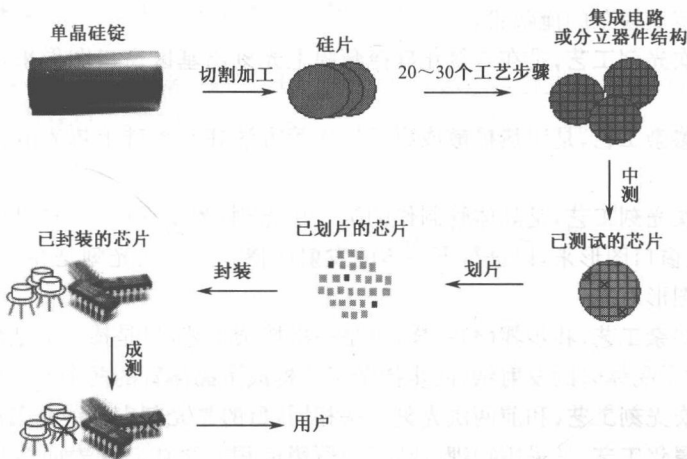


图0-1 硅基微电子产品的生产过程示意图

集成电路工艺(或称微电子工艺)狭义上是指在半导体硅片上制造出集成电路或分立器件的芯片结构,这20~30个工艺步骤的工作、方法和技术即为芯片制造工艺。不同的集成电路芯片其制造工艺亦不同,且结构复杂的超大规模集成电路芯片其制造工艺相当繁琐复杂。不同产品芯片的20~30个工艺步骤中,通常将工作内容近似、工作目标基本相同的单元步骤称为单项工艺。也就是可以把集成电路工艺分解为多个基本相同的单项工艺,不同产品芯片的制造工艺就是将多个单项工艺按照需要以一定顺序进行排列,具体产品制造工艺分解的单项工艺的排列顺序称为该产品的工艺流程。

双极型晶体管是集成电路产品中最基本的器件,也是双极型集成电路的基本单元,它的制造工艺具有代表性。图0-2给出了硅基双极型 npn 晶体管芯片制造的主要工艺流程。

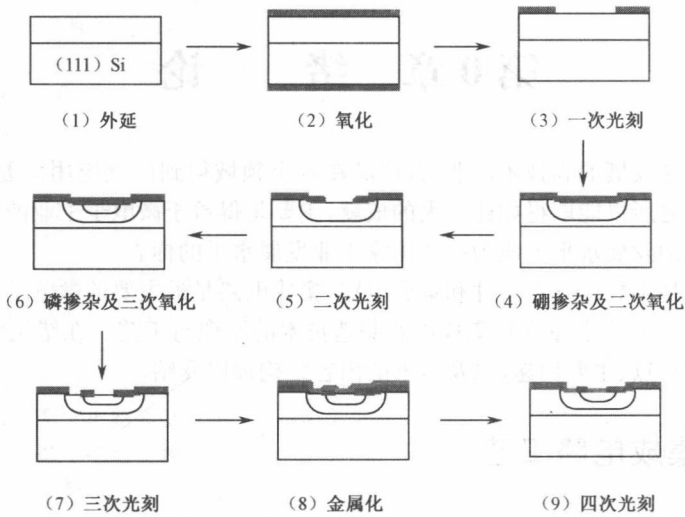


图 0-2 硅基双极型 npn 晶体管芯片制造的主要工艺流程

由图 0-2 可知,双极型晶体管芯片的制造主要由 9 个工艺步骤完成。

步骤(1)——**外延工艺**,是在重掺杂的单晶硅片上通过物理(或化学)的方法生长轻掺杂的单晶硅层,晶体管两个 pn 结就是做在这层轻掺杂的外延层上。

步骤(2)——**氧化工艺**,是在硅片表面用热氧化方法或物理(或化学)薄膜淀积方法得到一层二氧化硅薄膜,作为后续定域掺杂的掩蔽膜。

步骤(3)——**一次光刻工艺**,是在二氧化硅掩蔽膜上光刻出基区窗口图形来,以进行下一步的基区掺杂。

步骤(4)——**硼掺杂工艺**,是用热扩散或离子注入等方法在 n 型硅上掺入 p 型杂质硼,目的是获得晶体管的集电结。

步骤(5)——**二次光刻工艺**,是晶体管制作的第二次光刻,和步骤(3)一样,目的是在二氧化硅掩蔽膜上光刻出发射区窗口图形来,以进行下一步的发射区掺杂。二次光刻是在一次光刻基础上进行的,必须与一次光刻图形对准。

步骤(6)——**磷掺杂工艺**,和步骤(4)一样,也是一次掺杂工艺,只是掺入的杂质是磷,在 p 型基区上掺入 n 型杂质形成了晶体管的发射结,两步掺杂工艺构成了晶体管的两个 pn 结。

步骤(7)——**三次光刻工艺**,和前两次光刻方法相同,目的是光刻出引线孔图形。

步骤(8)——**金属化工艺**,是采用物理(或化学)薄膜淀积方法在芯片表面淀积金属层,作为晶体管芯片内的引出电极。

步骤(9)——**四次光刻工艺**,这次光刻与前三次光刻承载图形的薄膜不同,是金属薄膜。但光刻方法与前三次光刻工艺的方法大致相同。

由以上晶体管芯片工艺流程可知,晶体管的制造工艺实质上是由外延、氧化、光刻、掺杂、金属化 5 个单项工艺按一定顺序排列构成的。这 5 个单项工艺是集成电路工艺的核心内容,其中,光刻工艺在晶体管芯片制造中用到了 4 次,掺杂工艺用到了 2 次。

晶体管制造工艺包含前工艺和后工艺两部分。晶体管芯片工艺称为晶体管制造前工艺,是集成电路产品生产的特有工艺。晶体管芯片工艺完成之后,接下来的工艺称为晶体管制造后工艺,如图 0-1 微电子产品的生产过程示意图后面部分所示。后工艺也称为测试封装工艺。

晶体管制造后工艺流程内容为:中测,测试整个硅片上的晶体管性能;分割硅片,剔除性能不合格

的管芯,得到合格的单个管芯;管芯黏结,用导电胶等将管芯黏结在管壳的底座上,或者通过烧结等方法使底座与管芯之间形成欧姆接触;压焊,用压焊机将硅铝丝或金丝一端焊接在芯片压焊点上,另一端焊接在管座的接线柱上,目的是将管芯的发射极和基极用金属丝分别与管座上相应的接线柱连接起来,实现内部电连接;封帽,扣上管壳的管帽,用封帽机将管帽密封焊接在管座上。最后,通过测试选出合格的晶体管。

在硅基微电子产品中,目前分立器件除大功率晶体管以及高频、微波等特殊用途器件之外,常规元器件多以集成方式出现。主要是各种类型的集成电路,如特大规模集成电路(U LSI)、超大规模集成电路(VLSI)、大规模集成电路(LSI)、中规模集成电路(MSI)、小规模集成电路(SS I),以及用户专用电路(ASIC)。

集成电路把一个电路中所需的晶体管、二极管、电阻、电容和电感等元器件及金属布线互连在一起,制作在半导体芯片上,然后封装在管壳内,具有所需的电路功能。集成电路的制造工艺与分立器件的制造工艺一样,都是在硅平面工艺基础上发展起来的,有很多相同之处,如氧化、光刻等单项工艺,其工艺方法、原理及使用的设备都基本相同。但是,也有许多不同之处,最大的不同之处是各元器件之间的电隔离和芯片内部实现电连接的金属化系统。而且,集成电路(特别是 ULSI)比分立器件复杂得多,因此,ULSI 制造工艺是在和分立器件类似的单项工艺基础上又增加了一些特有的工艺技术,如芯片表面平坦化工艺、选择性(局部)氧化工艺等。

集成电路工艺从广义上讲,包含半导体集成电路和分立器件芯片制造及测试封装的工作、方法和技术。集成电路工艺是微电子学中最基础的、最主要的研究领域之一。

## 0.2 集成电路制造技术发展历程

1947年年末,美国的贝尔实验室(Bell Lab)发明了半导体点接触式晶体管,这是最早的半导体器件,随后出现了合金结晶体管,它们采用的半导体材料都是锗晶体。合金法制造 pn 结工艺示意图如图 0-3 所示。



图 0-3 合金法制造 pn 结工艺示意图

直到 1954 年,第一块硅晶体才由美国德州仪器公司(Texas Instruments)研发成功。几乎同时,利用气体扩散把杂质掺入半导体的技术也由贝尔实验室研发出来。有重要意义的突破是,在硅片上热生长出了既具有优良电绝缘性能又能掩蔽杂质扩散的二氧化硅层。此后不久,在照相印刷业中早已广泛应用的光刻技术,以及透镜制造业中应用的薄膜蒸发技术被引进到半导体工艺中来。仙童半导体公司(Fairchild Semiconductor)研制的硅平面工艺使制造性能稳定的平面晶体管成为可能。

以平面工艺制造 pn 结的工艺流程如图 0-4 所示,其要点如下:

- ① 在硅的平坦表面上生长出一层稳定的二氧化硅;
- ② 采用光刻技术在二氧化硅上刻出窗口;
- ③ 通过刻出的窗口将掺杂剂掺入硅,掺杂剂沿垂直和水平两个方向在硅中扩散,在窗口附近形成一定的杂质分布;
- ④ pn 结在表面处被二氧化硅覆盖,这层二氧化硅不再被去掉,可使器件性能更加稳定。

硅平面工艺的发明使集成电路的制造成为可能。1958 年美国的德州仪器公司和仙童半导体公司各自研制出了双极型集成电路。1962 年 MOS 场效应晶体管和 MOS 场效应集成电路也相继诞生。

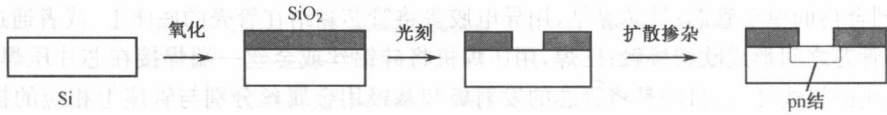


图 0-4 以平面工艺制造 pn 结的工艺流程图

1960 年外延技术出现,诞生了外延晶体管。20 世纪 70 年代初,美国研制出第一台离子注入机,使在硅片的定域掺杂更精确、更均匀,可以在更薄的表面层内实现精确掺杂,由此集成电路也向更大规模方向发展。随后等离子干法刻蚀、化学气相淀积等新工艺、新技术也不断出现。

从集成电路诞生到 20 世纪 80 年代,是以工艺技术的发展为主导来促进微电子产品、特别是集成电路的高速发展时期。

进入 20 世纪 80 年代中后期,集成电路设计从微电子生产制造业中独立出来,微电子工艺也进一步完善和规范,形成了集成电路标准制造工艺。全球第一家集成电路标准加工厂 (Foundry) 是 1987 年成立的台湾积体电路公司,它的创始人张忠谋也被誉为“晶体芯片加工之父”。

20 世纪 90 年代之后,集成电路制造向高度专业化的转化成为一种趋势,开始形成电路设计、芯片制造、电路测试和芯片封装 4 个相对独立的行业。基于实际应用需求而进行的集成电路设计成为引领和推动微电子工艺高速发展的源动力,它不断对工艺技术提出更高要求。这时芯片制造的横向加工精度开始进入亚微米范围,出现了电子束光刻、X 射线光刻、深紫外光刻工艺技术;纵向加工精度也进一步提高,出现了可生长几个原子厚度外延层的分子束外延工艺、薄层氧化工艺和浅结掺杂技术等。在集成电路金属互连工艺方面,从 1985 年起 IBM 公司 (International Business Machine Corporation) 就开始研发用铜代替铝作为超大规模集成电路多层金属互连系统的工艺技术,直到 1998 年才在诺发公司 (Novellus System) 的协助下研制出了铜互连工艺,并将其应用在实际的集成电路制造中,1999 年苹果公司 (Apple Computer, Inc.) 也在 400 MHz 微处理器中采用了铜互连工艺。围绕着铜互连产生了一系列芯片制造工艺的改进技术,如铜层电镀技术、化学机械抛光技术等。

现代微电子工艺是以硅平面工艺为基础而发展起来的。最能体现微电子工艺发展水平的单项工艺是光刻工艺,一般用光刻工艺或光刻特征尺寸 (光刻图形能够分辨的最小线条宽度) 来表征微电子工艺水平。

计算机动态随机存储器 (DRAM) 芯片,从出现到现在,几十年时间里其使用功能基本相同,具有很高的集成度,也最能反映出集成电路工艺的发展历程。所以,通常用 DRAM 芯片的发展历程来表明集成电路工艺水平的进步。DRAM 芯片发展历程如表 0-1 所示。

表 0-1 DRAM 芯片发展历程

年 代	1985 年	1988 年	1991 年	1994 年	1997 年	2000 年
集成度	1 MB	4 MB	16 MB	64 MB	256 MB	1 GB
最小线宽	1.25 $\mu\text{m}$	0.8 $\mu\text{m}$	0.6 $\mu\text{m}$	0.5 $\mu\text{m}$	0.35 $\mu\text{m}$	0.18 $\mu\text{m}$
光刻技术	光学曝光		准分子/电子束	电子束	X 射线 (电子束)	

2000 年,集成电路芯片主流产品的特征尺寸已在 0.18  $\mu\text{m}$  以下,集成电路工艺开始向纳米阶段发展。到 2004 年,集成电路的特征尺寸正式进入到纳米量级,90 nm 线宽的集成电路工艺被大规模应用在中央处理器 (CPU)、数字信号处理电路 (DSP) 等复杂集成电路芯片中。目前,浸润式光刻技术已经在 45 nm 水平工艺上应用,准分子激光光刻技术、远紫外曝光光刻技术和电子束投影光刻技术不断完善,有望成为主流光刻技术。铜互连技术已应用于高端电路芯片的生产工艺中,并由最初的 6~7 层互连发展到现今的 9~10 层互连。铜互连技术本身及相关技术将继续拓展并趋于成熟和完善,最终将完全替代铝互连技术成为主流互连技术。