



PEKING UNIVERSITY
DEPARTMENT OF ELECTRONICS

数字信号处理实验

指导书 (初稿)

李朝晖 编

北京大学电子学系
一九九九年九月

求

数字信号处理实验是为电子学系本科四年级及研究生一年级开设的实验课程。对学生的教学要求分为两个层次：

基本要求：

- 培养较好的数字信号处理的基本理论基础。
- 对数字信号处理的基本技术、基本算法、应用领域等有一定了解。
- 能够掌握一种常用数字信号处理芯片（TMS320C54X）的汇编编程方法。
- 能够在 DSKplus 简单系统上调试自己的程序。
- 能够利用 DSKplus 简易开发系统完成几个简单的实验。
- 通过实验体会 DSP 的应用和系统实现的初步经验。
- 对 TMS320C54X 的 C 语言开发工具的使用有初步了解。

高级要求：

在初步要求的基础上，达到：

- 熟练地运用 C 语言开发工具
- 掌握 EVM、XDS510 等硬件仿真工具的使用
- 能够利用上述开发工具调试较为复杂的程序。
- 能够在上述开发工具上实现一个较为独立的完整的复杂系统或算法。如语音编码、图像压缩等。
- 能够按照国际标准开发某种 IT 产品。

对于一个学期的实验课程而言，要求学生达到基本要求；对于研究生实验训练，本科毕业设计而言，要求应能达到高级要求。本科学生在课程之外有兴趣继续做些工作的同学，可按高级要求实行。

编者

一九九九年九月十日

1.2 噪声与干扰

噪声通常是指一种无规的随机干扰信号。噪声的来源很多，电火花、器件的热噪声，抽样时的量化噪声，数字运算时的舍入误差等等。

干扰通常是指有规的干扰信号，例如电力系统的 50Hz 工频干扰，无线电射频干扰，研究对象之外的其他同类信号的干扰等。

数字信号处理中常用高斯白噪声来作为理想的噪声模型，进行一些典型的理论分析。

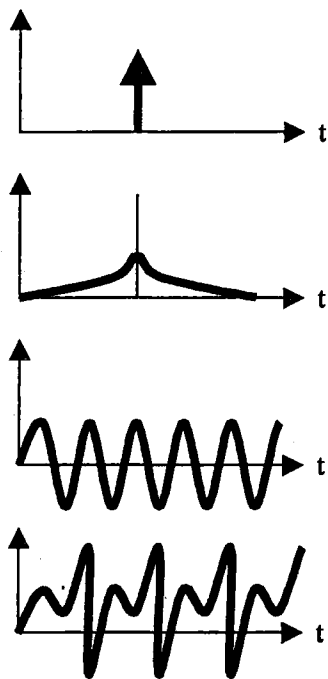
1.3 信号的频谱

描述信号特征的基本参数有两个，信号的幅度和频率，幅度反映了信号的功率或能量，频率则反映了信号的频谱范围，例如人耳能感知的声音的频率范围是 20Hz-20000Hz，而低于 20Hz 或高于 20000Hz 的声波虽然存在，却不能被人耳感知，可见，信号的频率特性是与处理器的特性直接相关的。

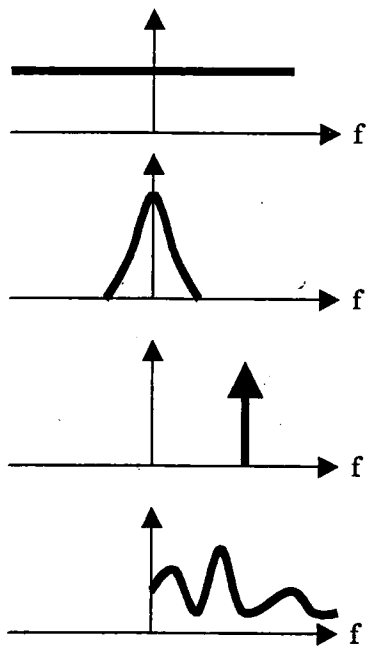
一个确知的周期信号可以分解为多个离散单频信号的线性组合，这就是付里叶级数，各频率所占分量的系数，反映了信号关于频率的幅度分布，称为信号的频谱函数，对于周期性函数，其频谱分布为频率离散的幅度分布。对于非周期性函数，可以作类似的处理，将信号分解为无数频率分量的积分，其频率分量的系数是一个关于连续频率的函数，反映了信号关于频率的密度分布，称为谱密度函数。

一个随机信号也可通过频谱估计的方法求出其功率谱密度分布。持续时间较长的信号有较窄的频带，而持续时间较短的信号有较宽的频带。

如下图：



a) 信号的时域特性



b) 信号的频域特性

1.4 信号的时域分析

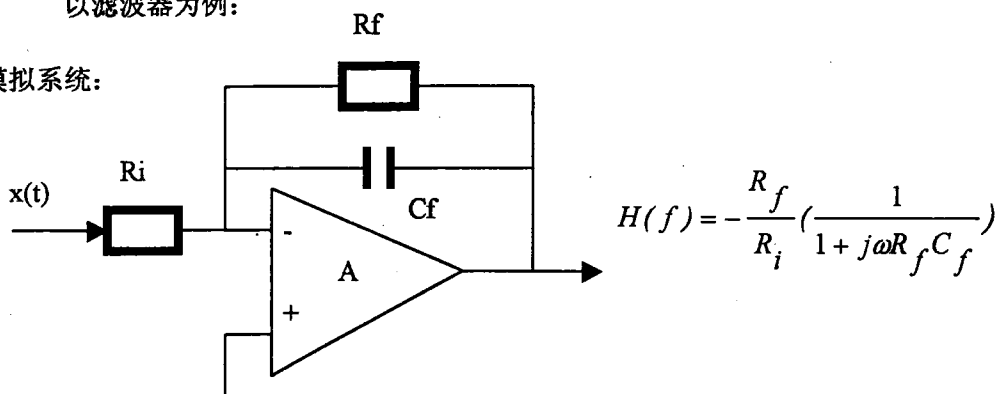
- 信号的分解与合成
- 信号的相加与相乘
- 卷积
- 相关
- 估值
- 滤波

1.5 信号的变换域分析

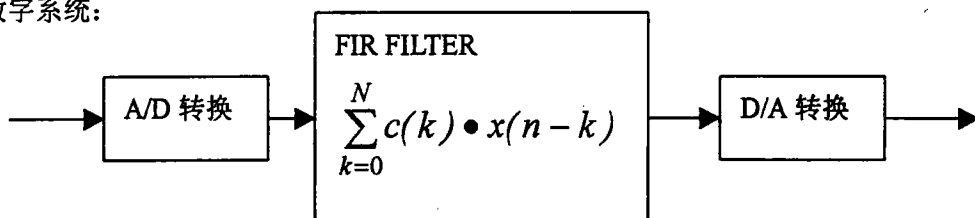
- 傅氏变换
- 拉氏变换
- Z 变换
- 小波变换

以滤波器为例：

模拟系统：



数字系统：



数字系统相对于模拟系统具有：

- 较少的元件
- 稳定而精确的性能
- 更易实现自适应滤波特性
- 容许更为紧密的滤波器中心频率
- 很宽的应用范围
- 高的噪声与电源抑制性能
- 无须任何调节
- 可实现自测试功能

3.2 数字系统的实现

如上。

4.3 常见的数字信号处理器

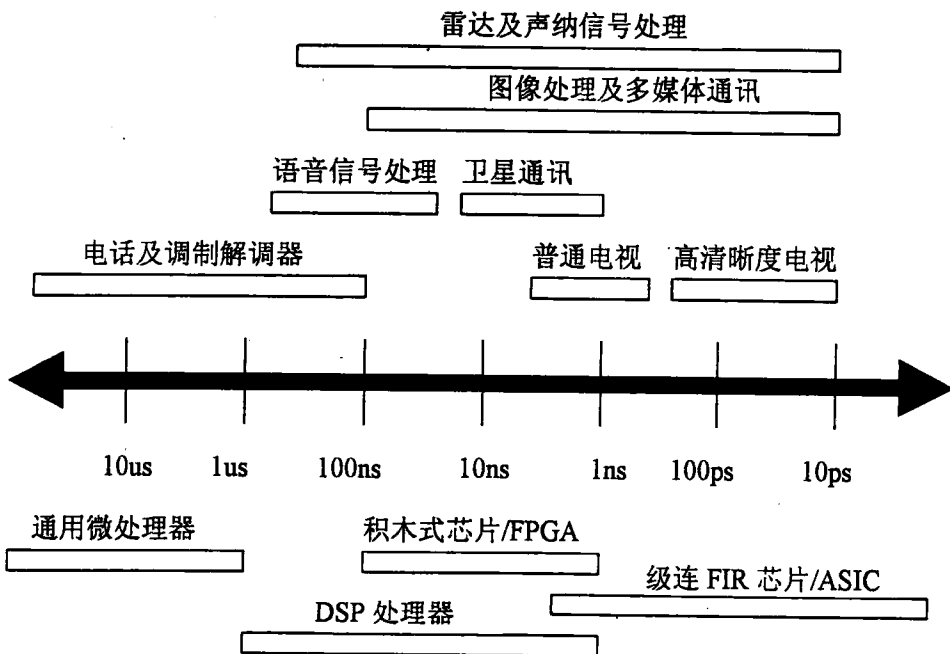
- 定点处理器

TMS320C2X	TMS320C5X	TMS320C62XX	(TI)
DSP56XXX			(MOTOROLA)
ADSP21XX			(AD)
uPD7723X			(NEC)

- 浮点处理器

TMS320C3X	TMS320C4X	TMS320C67XX	(TI)
DSP96XXX			(MOTOROLA)
ADSP210XX			(AD)
uPD7724X			(NEC)
DSP32			(AT&T)

§ 5 数字信号处理系统的应用领域



- 自动控制
电机引擎控制、声控、自动驾驶、机器人控制、磁盘控制等
- 医疗
助听、超声设备、诊断工具、病人监护等
- 家电
高保真音响、音乐合成、音调控制、玩具游戏、数字电话、数字电视

目 录

绪论.....	I
第一章 TMS320C54X 硬件结构及寻址方式简介.....	1
第二章 TMS320C54X 开发工具简介.....	20
第三章 TMS320C54X DSKplus 汇编命令（伪指令）简介.....	26
第四章 TMS320C54X 汇编指令简介.....	34
第五章 DSKplus 硬件系统的初始化及其例程.....	49
第六章 用 TMS320C54X 进行算术运算.....	74
第七章 TMS320C54X 在信号处理中的应用	117
第八章 数字信号处理基本实验内容	153
§ 8.1 实验一 学习 TMS320C54X 指令伪指令及 DSKplus 的使用	153
§ 8.2 实验二 FIR 数字滤波器的设计与运行	154
§ 8.3 实验三 IIR 数字滤波器的设计与运行	159
§ 8.4 实验四 自适应数字滤波器的设计与运行	169
§ 8.5 实验五 函数波形发生器的设计与运行	173
§ 8.6 实验六 FFT 的设计与实现	177
第九章 数字信号处理高级实验内容.....	182
第十章 TMS320C54X 部分应用的源代码.....	186

第一章 TMS320C54X 硬件结构及寻址方式简介

§ 1.1 TMS320C54X 系列 DSP 的主要特征

TMS320CXX 是 TI 公司的系列数字信号处理器 (DSPs) 芯片, 包括定点、浮点处理器。

定点处理器有:

TMS320C1X

TMS320C2X、TMS320C2XX

TMS320C5X、TMS320C54X

TMS320C62X

浮点处理器有:

TMS320C3X

TMS320C4X

TMS320C67X

TMS320C8X (多处理器)

TMS320C54X 是 16-bit 定点 DSP, 适用于远程通讯等实时嵌入式应用需要。主要有如下特点:

- 改进的哈佛结构, 采用多总线结构, 3 组 16-bit 数据总线和 1 组 16-bit 程序总线, 允许同时对程序和数据空间进行访问, 可以在一个周期内完成两个读和一个写操作, 提高了并行度。支持数据在程序空间和数据空间之间传送
- 40-bit 算术逻辑单元
- 17×17bit 并行乘法器, 连接一个 40-bit 的专用加法器, 可用来进行非流水单周期乘/加 (MAC) 运算
- 比较、选择和存储单元 (CSSU) 用于 Viterbi 运算
- 指数编码器在一个周期内计算一个 40-bit 累加器的指数值
- 两个地址发生器中有八个辅助寄存器 (ARx)、两个辅助寄存器算术逻辑单元 (ARAU_s)
- 数据总线具有总线保持特性
- 可访问的存储空间最大可为 192K×16-bit (64K 程序存储器、64K 数据存储器、64K I/O 存储器), C548 具有扩展寻址方式, 最大可寻址空间为: 8M×16-bit
- 支持单指令循环和块循环
- 存储器块移动指令提供了更好的程序和数据管理
- 支持 32-bit 长操作数指令, 支持两个或三个操作数指令, 支持并行存储和

并行装入的算术指令，支持条件存储指令和中断快速返回指令

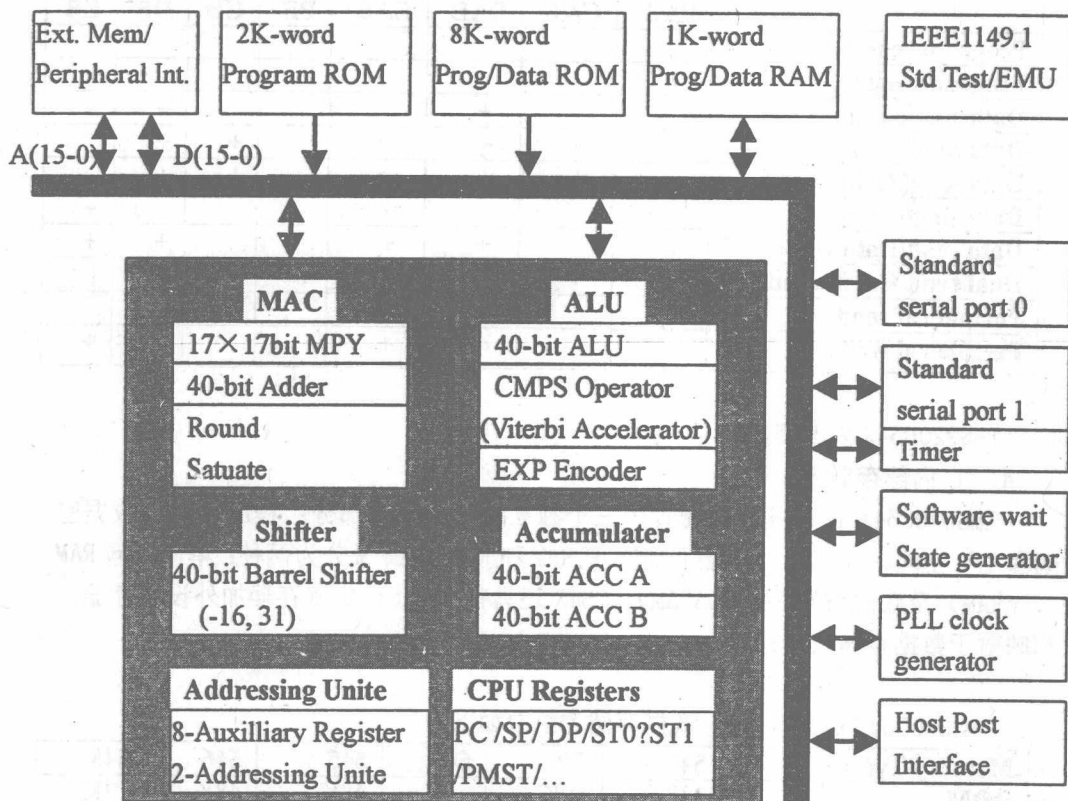
- 软件可编程等待状态发生器和可编程的存储单元转换
- 连接内部振荡器或外部时钟源的锁相环（PLL）发生器
- 支持 8-bit 或 16-bit 传送的全双工串口（C541, LC541, LC545, LC546）
- 时分多路（TDM）串口（C542, LC542, LC543, LC548）
- 缓冲串口（BSP）（C542, LC542, LC543, LC545, LC546, LC548）
- 8-bit 并行主机接口（HPI）（C542, LC542, LC545, LC548）
- 一个 16-bit 定时器
- 外部输入/输出（XIO）关闭控制，禁止外部数据总线、地址总线和控制信号。
- 片内基于扫描的仿真逻辑，JTAG 边界扫描逻辑（IEEE1149.1）
- 单周期定点指令执行时间 15-25ns

§ 1. 2 TMS320C54X 的硬件结构概述

1. TMS320C54X 的基本配置:

DSP TYPE	NOMINAL VOLTAGE (V)	ON_CHIP MEMORY		PERIPHERALS			CYCLE TIME (ns)	PACKAGE TYPE
		RAM word	ROM Word	SERIAL PORT	TIMER	HPI		
C541	5.0	5K	28K	2	1	No	25	100 TQFP
LC541	3/3.3	5K	28K	2	1	No	20/25	100 TQFP
C542	5.0	10K	2K	2	1	Yes	25	144 TQFP
LC542	3/3.3	10K	2K	2	1	Yes	20/25	128/144 TQFP
LC543	3/3.3	10K	2K	2	1	No	20/25	100 TQFP
LC545	3/3.3	6K	48K	2	1	Yes	20/25	128 TQFP
LC545A	3/3.3	6K	48K	2	1	Yes	25/20 /25	128 TQFP
LC546	3/3.3	6K	48K	2	1	No	20/25	100 TQFP
LC546A	3/3.3	6K	48K	2	1	No	15/20 /25	100 TQFP
LC548	3/3.3	32K	2K	3	1	Yes	15/20	144 TQFP/ 144 ustar

2. TMS320C54X 结构框图



3. TMS320C54X 总线结构

TMS320C54X 有八组 16-bit 总线（四组程序/数据总线，四组地址总线）：

- ☐ 程序总线（PB）：传送从程序存储器来的指令代码和立即数。
- ☐ 三组数据总线（CB, DB, EB）：在 CPU、数据存储器、片内外设等之间传送数据。CB、DB 用于读数据操作，EB 用于写数据操作。
- ☐ 四组地址总线（PAB, CAB, DAB, EAB）：传送所需地址。

TMS320C54X 通过两个辅助寄存器算术单元（ARAU0, ARAU1），每周期能产生两个数据存储器地址。

读写访问程序/数据存储器使用总线的情况：

Access Mode	Address Bus				Data Bus			
	PAB	CAB	DAB	EAB	PB	CB	DB	EB
Program read	+				+			
Program write	+							+
Data single read			+				+	
Data dual read		+	+			+	+	
Data long(32-bit) read		+	+			+	+	
Data single write				+				+
Data read/Data write			+	+			+	+
Dual read/Coeff. read	+	+	+		+	+	+	
Peripheral read			+				+	
Peripheral write				+				+

4. TMS320C54X 内部资源

4. 1 内部存储器配置

TMS320C54X 的存储空间配置为三个独立的可选的部分：程序空间、数据空间和 I/O 空间。所有的 C54X 器件都具有 RAM 和 ROM，RAM 又分为两种：单向访问 RAM（SARAM）及双向访问 RAM（DARAM）。C54X 还具有 26 个 CPU 寄存器加外设寄存器，都映射于数据存储空间。

TMS320C54X 的片上程序/数据存储配置如下：

Memory Type	541	542	543	545	546	548
ROM	28K	2K	2K	48K	48K	2K
Program	20K	2K	2K	32K	32K	2K
Program/Data	8K	0	0	16K	16K	0
DARAM	5K	10K	10K	6K	6K	8K
SARAM	0	0	0	0	0	24K

存储空间映像图：

C541 程序空间

0000	ONLY=0	0000-FFFF External
	ONLY=1	0000-FFFF Reserved
		0000-FFFF IO device
13FF		DARAM
1400		I/O-SRAM DARAM
8FFF		
9000	MIPMIC=0	
		0000-FFFF On-chip ROM
		0000-FFFF Interrupt vector
		- reserved -
	MIPMIC=1	
		0000-FFFF External
		0000-FFFF Interrupt vectors
		- reserved -
FFFF		

C541 数据空间

0000

0000-00-01 New-Market Research

0000-00-01 Search-and-RESEARCH

0000-00-01 Search-and-RESEARCH

13FF

1400

1400-00-01 Search-and-RESEARCH

DFFF

E000

FFFF

C542/C543 程序空间

0000	0000-FFFF External
0000-FFFF	Reserved
0080-FFFF	On-chip
27FF	SRAM
2800	2800-FFFF External
FFFF	
F000	MP/MC=0
E000-FFFF	Reserved
F800-FFFF	On-chip ROM
FF80-FFFF	Interrupt vectors
MP/MC=1	
E000-FFFF	External
FF80-FFFF	Interrupt vectors
FFFF	

C542/C543 数据空间

0000 0000-01FF Main Memory Registers

0060-007F Scratch-pad DRAM

0080-27FF On-chip DRAM

27FF

2800 2800-FFFF External

FFFF

□ 片上 ROM

片上 ROM 是程序存储空间的一部分,有时也可作为数据空间的一部分。片上较小的 ROM (2K words)含有一个 boot loader 程序,用来加载程序至快速的片内或片外 RAM 中。如果 MP/MC-在硬件复位时被置为低电平,执行从单元 FF80H 开始,这个单元存有转移到引导程序开始处的转移指令。

片上较大的 ROM,一部分 ROM 可以映射成数据和程序存储空间。片上较大的 ROM 同时也是用户 ROM。

C541 有 28K-word 片内 ROM,如果 PMST 寄存器中的 ROM(DROM)位被置位,则其中的 8K 就可以映射到程序和空间,此时允许一条指令使用 ROM 中的数据作为操作数。C545/C546 都有 48K-word 片内可屏蔽 ROM,如果它们各自的 PMST 寄存器中的 DROM 位被置位,那么其中的 16K 可以映射到程序和空间。

□ 片上双向访问 RAM (DARAM)

片内 DARAM 由几块组成,每块在一个机器周期内可以被访问两次(读或写),优先存储数据值,也可以映射到程序空间来存储程序代码。复位时,DARAM 被映射到数据空间,也可以通过设置 PMST 中的 OVLY 位,映射到程序/数据空间。

□ 片上单向访问 RAM (SARAM)

片内 SARAM 由几块组成,每块在一个机器周期内只能访问一次(读或写),优先存储数据值,也可以映射到程序空间来存储程序代码。

□ 片上存储空间保护

C54X 具有一个可屏蔽存储器保护选项,用来保护片内存储器的内容。当选定该项时,所有外部指令都不能访问片内存储器空间。

□ 存储器映像寄存器 (MMR)

数据存储空间的 0 页中包含了 CPU 和外设的存储器映像寄存器。存储器映射访问为保护和恢复用于内容切换的寄存器,以及在累加器和其他寄存器之间传递信息提供了方便。

CPU 的存储器映像寄存器如下表:

名 称	地 址		说 明
	十进制	十六进制	
IMR	0	0	中断屏蔽寄存器
IFR	1	1	中断标志寄存器
--	2-5	2-5	为测试保留

ST0	6	6	状态寄存器 0
ST1	7	7	状态寄存器 1
AL	8	8	累加器 A 的低位字 (15-0)
AH	9	9	累加器 A 的高位字 (31-16)
AG	10	A	累加器 A 的保护字 (39-32)
BL	11	B	累加器 B 的低位字 (15-0)
BH	12	C	累加器 B 的高位字 (31-16)
BG	13	D	累加器 B 的保护字 (39-32)
TREG	14	E	暂存器
TRN	15	F	转换寄存器
AR0	16	10	辅助寄存器 0
AR1	17	11	辅助寄存器 1
AR2	18	12	辅助寄存器 2
AR3	19	13	辅助寄存器 3
AR4	20	14	辅助寄存器 4
AR5	21	15	辅助寄存器 5
AR6	22	16	辅助寄存器 6
AR7	23	17	辅助寄存器 7
SP	24	18	堆栈指针寄存器
BK	25	19	循环缓冲区大小寄存器
BRC	26	1A	块重复计数器
RSA	27	1B	块重复首地址
REA	28	1C	块重复尾地址
PMST	29	1D	处理器方式状态寄存器
XPC	30	1E	扩展程序计数器 (548 only)
--	31	1F	保留

片内外设的存储器映像寄存器如下表:

名 称	地 址		说 明
	十进制	十六进制	
BDRR	32	20	缓冲串口数据接收寄存器
BDXR	33	21	缓冲串口数据发送寄存器
BSPC	34	22	缓冲串口控制寄存器
BSPCE	35	23	缓冲串口控制扩展寄存器
TIM	36	24	定时器寄存器
PRD	37	25	定时器周期计数器
TCR	38	26	定时器控制寄存器
--	39	27	保留
SWWSR	40	28	外部总线 S/W 等待状态寄存器
BSCR	41	29	外部总线块转换控制寄存器
--	42-43	2A-2B	保留

HPIC	44	2C	主机接口控制寄存器
--	45-47	2D-2F	保留
TRCV	48	30	TDM 数据接收寄存器
TDXR	49	31	TDM 数据发送寄存器
TSPC	50	32	TDM 串口控制寄存器
TCSR	51	33	TDM 信道选择寄存器
TRTA	52	34	TDM 接收/发送寄存器
TRAD	53	35	TDM 接收地址寄存器
--	54-55	36-37	保留
AXR	56	38	BSP ABU 发送地址寄存器
BKX	57	39	BSP ABU 发送缓冲大小寄存器
ARR	58	3A	BSP ABU 接收地址寄存器
BKR	59	3B	BSP ABU 接收缓冲大小寄存器

重要的控制及状态寄存器：

状态寄存器 ST0 (16 bits)

15-13	12	11	10	9	8-0
ARP	TC	C	OVA	OVB	DP

ARP--- 3-bit 辅助寄存器指针, 当 DSP 为标准模式 (CMPT=0) 时, ARP 应置 0。

TC --- 测试/控制标志位, 存储 ALU 的位测试操作的结果。受 BIT, BITF, BITT, CMPM, CMPR, CMPS, SFTC 指令的影响。

C ---进位/借位。当加法产生进位时置 1, 减法产生借位时清 0; 否则, 加法运算后清 0, 减法运算后置 1, 带 16-bit 移位的 ADD 或 SUB 指令例外, 此时 ADD 只能置 1, SUB 只能清 0, 但不影响该位。受 ROR, ROL, SFTA, SFTL, MIN, MAX, ABS, NEG 的影响。

OVA---累加器 A 的溢出标志位。Reset 命令, BC[D], CC[D], RC[D], XC 指令使之置 1, RSBX 使之清 0。

OVB---累加器 B 溢出标志位, 同上。

DP ---9-bit 数据存储器页指针。当 ST1 中的 CPL=0 时, 与一条指令中的低 7-bit 数构成直接寻址地址, 可以使用 LD 指令进行装载。

状态寄存器 ST1 (16 bits)

15	14	13	12	11	10	9	8	7	6	5	4-0
BRAF	CPL	XF	HM	INTM	0	OVM	SXM	C16	FRCT	CMPT	ASM

BRAF——块重复激活标志位。1/0—— 激活/去激活。

CPL ——汇编模式，0/1——直接寻址时使用 DP/SP 寄存器。

XF ——XF 引脚的状态指示。SSBX 指令可使之置 1，RSBX 指令可使之清 0。

HM ——保持模式。0/1—— 应答一个 HOLD 信号时，继续/暂停内部程序执行。

INTM——中断模式。0/1——允许所有的非屏蔽中断/禁止所有可屏蔽中断。SSBX 指令，Reset，可屏蔽中断陷阱使之置 1，RSBX 指令，RETE，RETF 指令可使之清 0。

OVM ——溢出模式。0/1——运算时取正常/溢出方式。SSBX，RSBX 可分别对该位置位和复位。

SXM ——符号扩展模式。0/1——禁止/扩展符号。ADDS，LDU，SUBS 禁止符号扩展，而不管 SXM 的值，SSBX，RSBX 可分别对该位置位和复位。

C16 ——双 16-bit/ 双精度算术模式——1/0。

FRCT——小数模式。决定乘法运算时，是否左移一位并进行符号扩展。

CMPT——兼容模式。0/1——ARP=0/ARP 更新。

ASM ——5-bit 累加器移位模式。并行存储指令及 STH，STL，ADD，SUB，LD 使用这种模式。该内容可使用 LD 指令，装载一个存储器内容或短立即数。

控制寄存器 PMST (16 bits)

15-7	6	5	4	3	2	1	0
IPTR	MP/MC	OVLY	AVIS	DROM	CLKOFF	SMUL	SST

IPTR—— 9-bit 中断矢量指针。复位时均为 1。

MP/MC——微处理器/微计算机模式。0/1——片内 ROM 允许并可寻址/不可用。

OVLY—— RAM 覆盖。允许片内双向存储 RAM 映射成程序空间。0/1——可寻址的数据空间/映射至程序空间但 0 页（0-07FH）例外。

AVIS——可视化模式。0/1——外部地址引脚不可见/可见内部程序地址。

DROM——数据 ROM，可使得片内 ROM 映射到数据空间。0/1——不可/可映射。

CLKOFF——CLOCKOUT 关。0/1——允许输出/不允许，高电平。

SMUL——乘法时饱和处理。0/1——正常/饱和处理。

SST ——存储时饱和处理。0/1——正常/饱和处理。

中断屏蔽寄存器 (IMR) 及中断标志寄存器 (IFR)