

普通高等教育“十一五”规划教材

# EDA技术实验 教程

邹其洪 编著  
张洪欣 主审



中国电力出版社  
<http://jc.cepp.com.cn>

普通高等教育“十一五”规划教材

主要内容

# EDA技术实验 教程

图书在版编目(CIP)数据

编著 邹其洪

主审 张洪欣

中国电力出版社

http://www.cepp.com.cn

地址：北京市西城区三里河

邮编：100044

电话：(010) 63910000

电传：(010) 63910000

网址：http://www.cepp.com.cn

责任编辑

中国电力出版社

地址：北京市西城区三里河



中国电力出版社

<http://jc.cepp.com.cn>

## 内 容 提 要

全书共分8章,主要介绍了EDA技术实验平台,基于Quartus II的设计输入方法、功能仿真、综合、实现、编译与编程,组合逻辑电路、时序逻辑电路、高速数字系统、全国大学生电子设计竞赛赛题的程序设计与仿真实验,8051/89C51 CPU核及片上系统设计,模拟EDA实验。本书内容丰富,叙述详尽清晰,图文并茂,通过大量的实验实例说明设计中的一些问题,工程性好,实践性强,便于读者自学。

本书是为高等院校电气信息类专业编著的EDA实验教材,适合本科生和研究生使用,也可作为参加全国大学生电子设计竞赛的培训教材,以及从事电子电路系统设计的工程技术人员的参考书。

## 图书在版编目(CIP)数据

EDA技术实验教程 / 邹其洪编著. —北京: 中国电力出版社, 2009

普通高等教育“十一五”规划教材

ISBN 978-7-5083-8761-1

I. E… II. 邹… III. 电子电路—电路设计: 计算机辅助设计—高等学校—教材 IV. TN702

中国版本图书馆CIP数据核字(2009)第062007号

中国电力出版社出版、发行

(北京三里河路6号 100044 <http://jc.cepp.com.cn>)

北京市同江印刷厂印刷

各地新华书店经售

\*

2009年5月第一版 2009年5月北京第一次印刷

787毫米×1092毫米 16开本 16.75印张 410千字

定价 27.00元

## 敬告读者

本书封面贴有防伪标签,加热后中心图案消失  
本书如有印装质量问题,我社发行部负责退换

版权专有 翻印必究

# 前言

为贯彻落实教育部《关于进一步加强高等学校本科教学工作的若干意见》和《教育部关于以就业为导向深化高等职业教育改革的若干意见》的精神,加强教材建设,确保教材质量,中国电力教育协会组织制订了普通高等教育“十一五”教材规划。该规划强调适应不同层次、不同类型院校,满足学科发展和人才培养的需求,坚持专业基础课教材与教学急需的专业教材并重、新编与修订相结合。本书为新编教材。

本书是为高等院校电子信息、通信工程、自动化、电气控制、计算机应用技术类专业编写的 EDA 实验教材,以 Altera 公司的可编程逻辑器件 FPGA 和 Quartus II 软件为基础,通过大量的实例说明设计方法和设计技巧,叙述详尽清晰,图文并茂,工程性好,实践性强,便于学生自学,有利于培养其综合分析、开发创新和工程设计能力。本书可作为本科生和研究生教材,也可作为参加全国大学生电子设计竞赛的培训教材,以及从事电子电路系统设计的工程技术人员的参考书。

本书共分 8 章。第 1 章 EDA 技术实验平台,介绍了 GW48 教学实验系统原理与使用方法、实验电路结构图说明、Altera Quartus II 软件设计流程及可编程逻辑器件的结构;第 2 章通过两个设计实例介绍了基本的设计流程,引脚设置和下载,嵌入式逻辑分析仪使用方法,以及原理图输入设计方法;第 3 章介绍了与门电路、数据选择器、编码器、比较器、加法器、译码器、奇偶校验电路 7 个典型的组合逻辑电路程序设计方法及实验;第 4 章介绍了 RS 触发器、T 触发器、JK 触发器、D 触发器、4 位寄存器、移位寄存器、异步计数器、同步计数器、可逆计数器、分频器、序列检测器 11 个典型的时序逻辑电路程序设计方法及实验仿真;第 5 章介绍了 4 人抢答器、电子时钟、电子琴、电子密码锁、出租车自动计价器、交通灯控制器、汽车尾灯控制器、电梯控制器、自动售货机控制系统、采用测频法的数字频率计、移位相加硬件乘法器、正弦信号发生器、嵌入式锁相环 PLL 13 个数字系统程序设计与仿真实验;第 6 章介绍了直接数字式频率合成器(DDS)、FPGA 步进电机细分驱动控制、等精度数字频率/相位测试仪、基于 DDS 的数字移相信号发生器、等精度数字频率/相位测试仪等 7 个与全国大学生电子设计竞赛赛题有关电路的程序设计与仿真实验;第 7 章介绍了 K8051 单片机软核基本功能和结构,K8051 单片机软核实用系统构建和软件测试,基于 8051/89C51 的等精度频率计与液晶显示设计与仿真实验,基于 8051/89C51 的等精度频率计与数码管显示设计与仿真实验;第 8 章介绍了模拟 EDA 实验及其设计软件使用向导,ispPAC10 和 ispPAC80 芯片,基于 ispPAC10 的直流增益为 9 的放大器设计,基于 ispPAC80 的 5 阶精密低通滤波器设计。

本书特点:所设计的实验项目有验证型的实验、综合设计型的实验以及与全国大学生电子设计竞赛赛题有关的实验项目,每个实验按照实验目的、实验原理、实验内容、实验预习与思考、计算机仿真、实验总结顺序进行介绍,内容详细完整,将实际工程实验和计算机虚拟实验有机地结合在一起。

本书作为本科实验教材或者全国大学生电子设计竞赛的培训教材时,建议总学时数为



20~30, 建议第1章为2学时, 第2章为4学时, 第3章为2学时, 第4章为2学时, 第5章为4学时, 第6章为4学时, 第7章为4学时, 第8章为2学时。

在本书的编写过程中, 南华大学电气工程学院通信工程、电子信息工程、自动化、电气工程及自动化、电工电子、实验中心等教研室的老师提出了很多宝贵的建议, 并参考了大量的著作和资料, 还得到了杭州康芯有限公司的大力支持, 在此表示衷心的感谢。

由于编者水平有限, 难免存在不当之处, 敬请读者批评斧正。

邹其洪于南华大学

2009年2月

## 目 录

|                          |     |
|--------------------------|-----|
| 前 言                      | 8.2 |
| 第 1 章 EDA 技术实验平台         | 1   |
| 1.1 GW48 教学实验系统原理与使用介绍   | 1   |
| 1.2 实验电路结构图说明            | 5   |
| 1.3 Altera Quartus II 简介 | 7   |
| 1.4 Cyclone FPGA 简介      | 22  |
| 第 2 章 Quartus II 应用向导    | 24  |
| 2.1 基本设计流程               | 24  |
| 2.2 引脚设置和下载              | 38  |
| 2.3 嵌入式逻辑分析仪使用方法         | 41  |
| 2.4 原理图输入设计方法            | 45  |
| 第 3 章 组合逻辑电路程序设计与仿真实验    | 56  |
| 3.1 二输入与门电路程序设计与仿真实验     | 56  |
| 3.2 四选一数据选择器程序设计与仿真实验    | 58  |
| 3.3 8-3 编码器程序设计与仿真实验     | 61  |
| 3.4 多位数比较器程序设计与仿真实验      | 63  |
| 3.5 4 位二进制加法器程序设计与仿真实验   | 65  |
| 3.6 8 位奇偶校验电路程序设计与仿真实验   | 67  |
| 3.7 3-8 译码器程序设计与仿真实验     | 69  |
| 第 4 章 时序逻辑电路程序设计与仿真实验    | 72  |
| 4.1 RS 触发器程序设计与仿真实验      | 72  |
| 4.2 T 触发器程序设计与仿真实验       | 74  |
| 4.3 JK 触发器程序设计与仿真实验      | 76  |
| 4.4 D 触发器程序设计与仿真实验       | 79  |
| 4.5 寄存器程序设计与仿真实验         | 81  |
| 4.6 移位寄存器程序设计与仿真实验       | 83  |
| 4.7 异步二进制加法计数器程序设计与仿真实验  | 85  |
| 4.8 同步计数器程序设计与仿真实验       | 88  |
| 4.9 可逆计数器程序设计与仿真实验       | 90  |
| 4.10 分频器程序设计与仿真实验        | 93  |
| 4.11 用状态机实现序列检测器的程序设计与仿真 | 94  |
| 第 5 章 数字系统程序设计与仿真实验      | 97  |
| 5.1 四人抢答器程序设计与仿真实验       | 97  |
| 5.2 电子时钟程序设计与仿真实验        | 104 |

|       |                                                    |     |
|-------|----------------------------------------------------|-----|
| 5.3   | 电子琴程序设计与仿真实验 .....                                 | 111 |
| 5.4   | 电子密码锁程序设计与仿真实验 .....                               | 117 |
| 5.5   | 出租车计价器程序设计与仿真 .....                                | 120 |
| 5.6   | 交通灯控制器程序设计与仿真实验 .....                              | 126 |
| 5.7   | 汽车尾灯控制器程序设计与仿真实验 .....                             | 136 |
| 5.8   | 电梯控制器程序设计与仿真实验 .....                               | 142 |
| 5.9   | 自动售货机控制系统程序设计与仿真实验 .....                           | 149 |
| 5.10  | 采用测频法的数字频率计程序设计与仿真实验 .....                         | 154 |
| 5.11  | 移位相加硬件乘法器程序设计与仿真实验 .....                           | 159 |
| 5.12  | 正弦信号发生器程序设计与仿真实验 .....                             | 164 |
| 5.13  | 嵌入式锁相环 PLL 应用实验 .....                              | 173 |
| 第 6 章 | 全国大学生电子设计竞赛赛题设计与仿真实验 .....                         | 181 |
| 6.1   | 直接数字式频率合成器 (DDS) 程序设计与仿真实验 .....                   | 181 |
| 6.2   | FPGA 步进电机细分驱动控制程序设计与仿真 .....                       | 186 |
| 6.3   | FPGA 直流电机 PWM 控制程序设计与仿真 .....                      | 191 |
| 6.4   | 基于 DDS 的数字移相信号发生器程序设计与仿真 .....                     | 194 |
| 6.5   | 等精度数字频率/相位测试仪程序设计与仿真 .....                         | 196 |
| 6.6   | 采用超高速 A/D 存储示波器程序设计与仿真 .....                       | 204 |
| 6.7   | 信号采集与频谱分析电路程序设计与仿真 .....                           | 208 |
| 第 7 章 | 8051/89C51 CPU 核及片上系统设计实验 .....                    | 225 |
| 7.1   | 8051 单片机 IP 软核应用系统构建 .....                         | 225 |
| 7.2   | 8051/89C51 单片机核等精度频率计与数码管显示实验 .....                | 230 |
| 7.3   | 8051/89C51 单片机核等精度频率计与液晶显示实验 .....                 | 235 |
| 第 8 章 | 模拟 EDA 实验 .....                                    | 241 |
| 8.1   | 模拟 EDA 实验及其设计软件使用向导 (PAC_Designer 使用) .....        | 241 |
| 8.2   | ispPAC 芯片简介 .....                                  | 242 |
| 8.3   | 基于 ispPAC 的模拟 EDA 实验 .....                         | 244 |
| 附录 A  | 实验电路结构图 .....                                      | 248 |
| 附录 B  | GW48CK/PK2/PK3/PK4 系统万能接插口与结构图信号、<br>芯片引脚对照表 ..... | 258 |
| 参考文献  | .....                                              | 261 |

## 第 1 章 EDA 技术实验平台

### 1.1 GW48 教学实验系统原理与使用介绍

#### 1.1.1 GW48 系统使用注意事项

(1) 闲置不用 GW48 系统时, 必须关闭电源!

(2) 在实验中, 当选中某种模式后, 要按一下右侧的复位键, 以使系统进入该结构模式工作。注意此复位键仅对实验系统的监控模块复位, 而对目标器件 FPGA 没有影响, FPGA 本身没有复位的概念, 上电后即工作, 在没有配置前, FPGA 的 I/O 口是随机的, 故可以从数码管上看到随机闪动, 配置后的 I/O 口才会有确定的输出电平。

(3) 换目标芯片时要特别注意, 不要插反或插错, 也不要带电插拔, 确信插对后才能开电源。其他接口都可带电插拔。请特别注意, 尽可能不要随意插拔适配板及实验系统上的其他芯片。

(4) 未用到  $\pm 12\text{V}$  电源时, 请务必把右上角的开关关闭, 指示灯亮时“开”, 不亮时“关”。

下面将详述 GW48 系列 SOPC/EDA 实验开发系统 (GW48-PK2/PK3/PK4) 结构与使用方法, 对于这 3 种型号的共同之处将给予说明。

#### 1.1.2 Multi-task Reconfiguration 电路结构 (多任务重配置结构)

该电路结构能仅通过一个键, 完成纯电子切换 (有的产品只能通过许多机械开关手动切换) 的方式选择十余种不同的实验系统硬件电路连接结构, 大大提高了实验系统的连线灵活性, 但又不影响系统的工作速度 (手工插线方式虽然灵活, 但会影响系统速度和电磁兼容性, 不适合高速 FPGA/SOPC 等电子系统实验设计)。该系统的实验电路结构是可控的, 即可通过控制接口键, 使之改变连接方式以适应不同的实验需要, 因而, 从物理结构上看, 实验板的电路结构是固定的, 但其内部的信息流在主控器的控制下, 电路结构将发生变化重配置。这种“多任务重配置”设计方案的目的是有 3 个: ①适应更多的实验与开发项目; ②适应更多的 PLD 公司的器件; ③适应更多的不同封装的 FPGA 和 CPLD 器件。以下是对 GW48 系统主板功能块的注释。

“模式选择键”: 按该键能使实验板产生 12 种不同的实验电路结构, 这些结构请看附录 A。例如, 选择了 NO.3, 须按动系统板上此键, 直至数码管“模式指示”数码管显示 3, 系统即进入了附录 A 如图 A.4 所示的实验电路结构 NO.3。

#### 1.1.3 FPGA/CPLD 万能插口

图 1.1 是一块插于主系统板上的目标芯片适配座。对于不同的目标芯片可配不同的适配座, 可用的目标芯片包括目前世界上最大的 6 家 FPGA/CPLD 厂商几乎所有 CPLD, FPGA 和所有 ispPAC 等模拟 EDA 器件。附录 B 的表中已列出多种芯片与系统板引脚的对应关系, 以便于在实验时经常查用。

#### 1.1.4 ByteBlasterMV 编程配置口

此口有 3 个用途:



主板右数第2、第3列“目标板插座”信号相同

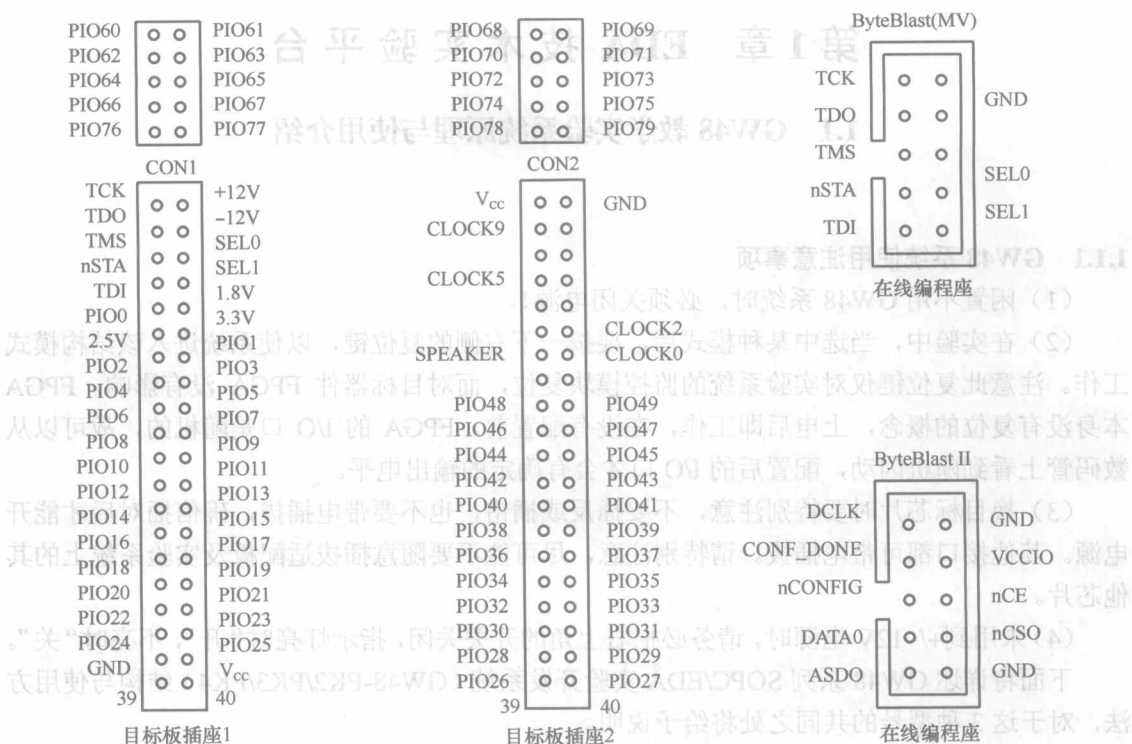


图 1.1 主系统板上的目标芯片适配座

- (1) 在对适配板 FPGA/CPLD 进行编程时，用 10 芯线将此口和适配板的 JTAG 口相连。
- (2) 如果要进行独立电子系统开发、应用系统开发、电子设计竞赛等开发实践活动，首先应该将系统板上的目标芯片适配座拔下（对于 Cyclone 器件不用拔），用配置的 10 芯编程线将 ByteBlasterMV 口和独立系统上适配板上的 JTAG 10 芯口相接，进行系统编程，进行调试测试。ByteBlasterMV 口能对不同公司、不同封装的 CPLD/FPGA 进行编程下载。
- (3) 对 isp 单片机 89S51 等进行编程。用十芯线同 MCU DAWNLOAD 口相连。

### 1.1.5 混合工作电压源

系统不必通过切换即可为 CPLD/FPGA 目标器件提供 5、3.3、2.5、1.8 和 1.5V 工作电源。

### 1.1.6 主系统电路控制说明

(1) 键 1~键 8 为实验信号控制键：此 8 个键受“多任务重配置”电路控制，它在每一张电路图中的功能及其与主系统的连接方式随模式选择键选定的模式而变，使用中需参照附录 A 中的电路结构图。

**注意：**键 1~键 8 是由“多任务重配置”电路结构控制的，所以键的输出信号没有抖动问题，不需要在目标芯片的电路设计中加入消抖动电路，这样能简化设计，迅速入门。

(2) 数码管 1~8/发光管 D1~D16：受“多任务重配置”电路控制，它们的连线形式也需参照附录 A 的电路图。

(3) “时钟频率选择”：位于主系统的右下侧，通过短路帽的不同接插方式，使目标芯片

获得不同的时钟频率信号。

对于 CLOCK0, 同时只能插一个短路帽, 以便选择输向 CLOCK0 的一种频率: 信号频率范围为 0.5Hz~50MHz。由于 CLOCK0 可选的频率比较多, 所以比较适合于目标芯片对信号频率或周期测量等设计项目的信号输入端。右侧座分 3 个频率源组, 它们分别对应 3 组时钟输入端: CLOCK2、CLOCK5、CLOCK9。例如, 将 3 个短路帽分别插于对应座的 2Hz、1024Hz 和 12MHz, 则 CLOCK2、CLOCK5、CLOCK9 分别获得上述 3 个信号频率。需要特别注意的是, 每一组频率源及其对应时钟输入端, 分别只能插一个短路帽, 也就是说最多只能提供 4 个时钟频率输入到 FPGA: CLOCK0、CLOCK2、CLOCK5、CLOCK9。

(4) 扬声器: 与目标芯片的 SPEAKER 端相接, 通过此口可以进行奏乐或了解信号的频率, 它与目标器件的具体引脚号, 应该查阅附录 B 的表格。

(5) PS/2 接口: 通过此接口, 可以将 PC 的键盘或鼠标与 GW48 系统的目标芯片相连, 从而完成 PS/2 通信与控制方面的接口实验, GW48-PK2/3 含两个 PS/2 接口, 引脚连接情况参见实验电路结构 (附录 A 的模式 NO.5, 图 A.6)。

(6) VGA 视频接口: 通过它可完成目标芯片对 VGA 显示器的控制。详细连接方式参考附录图 A.13 (GW48-PK2/4 主系统)。

(7) 单片机接口器件: 它与目标板的连接方式也已标于主系统板上, PK3 连接方式可参见附录图 A.16。

注意: GW48-PK3 系统上的用户单片机 89S51 的各引脚是独立的 (时钟已接 12MHz), 没有和其他任何电路相连, 在单片机上端给出了 4 个 14 芯的座, 第 2、第 4 座分别是单片机的部分引脚, 此单片机剩余引脚在其左边以插针方式给出, 第 1、第 3 座分别是 FPGA 和 20×4 字符液晶的引脚, 所有引脚号都在黑座旁标出, 实验时根据需要用提供的 14 芯线连接, 如用单片机控制液晶, 就用此线将 2 口和 3 口短接, 或 4 口和 3 口, 用 FPGA 控制液晶, 就将 1 口、3 口连接。

(8) RS-232 串行通信接口: 此接口电路是为 FPGA 与 PC 通信和 SOPC 调试准备的, 或使 PC、单片机、FPGA/CPLD 三者实现双向通信。对于 GW48-PK2/3 系统, 其通信端口是与中间的双排插座上的 TX30、RX31 相连的。

详细连接方式参考附录图 A.11 (GW48PK2/3 主系统)。

(9) AOUT D/A 转换: 利用此电路模块, 可以完成 FPGA/CPLD 目标芯片与 D/A 转换器的接口实验或相应的开发。它们之间的连接方式可参阅附录图 A.11, D/A 的模拟信号的输出接口是 AOUT, 示波器可挂接左下角的两个连接端。当使能拨码开关 8: “滤波 1” 时, D/A 的模拟输出将获得不同程度的滤波效果。

注意: 进行 D/A 接口实验时, 需打开系统上侧的 +/-12V 电源开关 (实验结束后关上此电源)。

(10) AIN0/AIN1: 外界模拟信号可以分别通过系统板左下侧的两个输入端 AIN0 和 AIN1 进入 A/D 转换器 ADC0809 的输入通道 IN0 和 IN1, ADC0809 与目标芯片直接相连。通过适当设计, 目标芯片可以完成对 ADC0809 工作方式的确定、输入端口选择、数据采集与处理等所有控制工作, 并可通过系统板提供的译码显示电路, 将测得的结果显示出来。此项实验首先需参阅附录图 A.6 和附录图 A.11 的有关 0809 与目标芯片的接口方式, 同时了解系统板上的接插方法以及有关 0809 工作时序和引脚信号功能方面的资料。

注意：不用 0809 时，需将左下角的拨码开关的“A/D 使能”和“转换结束”设置为禁止。向上拨，以避免与其他电路冲突。ADC0809 A/D 转换实验接插方法如附录图 A.11 和图 A.6 所示。

①下侧拨码开关的“A/D 使能”和“转换结束”拨为使能：向下拨，即将 ENABLE(9)与 PIO35 相接；若向上拨则禁止，即则使 ENABLE(9) $\leftarrow$ 0，表示禁止 0809 工作，使它的所有输出端为高阻态。

②下侧拨码开关的“转换结束”拨为使能，则使 EOC(7) $\leftarrow$ PIO36，由此可使 FPGA 对 ADC0809 的转换状态进行测控。

(11) VR1/AIN1：VR1 电位器，通过它可以产生 0V $\sim$ +5V 幅度可调的电压。其输入口是 0809 的 IN1（与外接口 AIN1 相连，但当 AIN1 插入外输入插头时，VR1 将与 IN1 自动断开）。若利用 VR1 产生被测电压，则需使 0809 的第 25 脚置高电平，即选择 IN1 通道，参考附录图 A.11。

(12) AIN0 的特殊用法：系统板上设置了一个比较器电路，主要由 LM311 组成。若与 D/A 电路相结合，可以将目标器件设计成逐次比较型 A/D 变换器的控制器件（参考附录图 A.6 及附录图 A.11）。

(13) 系统复位键：此键是系统板上负责监控的微处理器的复位控制键，同时也与接口单片机和 LCD 控制单片机的复位端相连，因此兼作单片机的复位键。

(14) 下载控制开关：（仅老式系统含此开关）在系统板的左侧的开关。当需要对实验板上的目标芯片下载时必须将开关向上打（即 DLOAD）；而当向下打（LOCK）时，将关闭下载口，这时可以将下载并行线拔下而作他用（这时已经下载进 FPGA 的文件不会由于下载口线的电平变动而丢失）。

(15) 目标芯片万能适配座 CON1/2：在目标板的下方有两条 80 个插针插座（GW48-CK 系统），其连接信号如图 1.1 所示，此图为用户对此实验开发系统作二次开发提供了条件。

(16)  $\pm$ 12V 电源开关：在实验板左上角，有指示灯。电源提供对象：①DAC0832 等相关的实验；②模拟信号发生源。在不使用系统时，此电源必须关闭！

(17) 模式切换使用举例：若模式键选中了实验电路结构图 NO.1，GW48 系统板所具有的接口方式变为：FPGA/CPLD 端口 PIO31 $\sim$ PIO28（即 PIO31、PIO30、PIO29、PIO28）、PIO27 $\sim$ PIO24、PIO23 $\sim$ PIO20 和 PIO19 $\sim$ PIO16，共 4 组 4 位二进制 I/O 端口分别通过一个全译码型 7 段译码器输向系统板的 7 段数码管。这样，如果有数据从上述任一组 4 位输出，就能在数码管上显示出相应的数值，其数值对应范围为如表 1.1 所示。

表 1.1 数码管上显示出相应的数值对应范围

| FPGA/CPLD 输出 | 0000 | 0001 | 0010 | ... | 1100 | 1101 | 1110 | 1111 |
|--------------|------|------|------|-----|------|------|------|------|
| 数码管显示        | 0    | 1    | 2    | ... | C    | D    | E    | F    |

端口 PIO32 $\sim$ PIO39 分别与 8 个发光二极管 D8 $\sim$ D1 相连，可作输出显示，高电平亮；还可分别通过键 8 和键 7，发出高低电平输出信号进入端口 PIO49 和 PIO48；键控输出的高低电平由键前方的发光二极管 D16 和 D15 显示，高电平输出为亮。此外，可通过按动键 4 至键 1，分别向 FPGA/CPLD 的 PIO0 $\sim$ PIO15 输入 4 位十六进制码，每按一次键将递增 1，

其序列为 1, 2, ..., 9, A, ..., F。

**注意：**对于不同的目标芯片，其引脚的 I/O 标号数一般是同 GW48 系统接口电路的 PIO 标号是一致的（这就是引脚标准化），但具体引脚号是不同的，而在逻辑设计中引脚的锁定数必须是该芯片的具体的引脚号。具体对应情况需要参考附录 B 的引脚对照表。

## 1.2 实验电路结构图说明

### 1.2.1 实验电路信号资源符号图说明

下面结合图 1.2 对实验电路结构图中出现的信号资源符号功能作出一些说明。

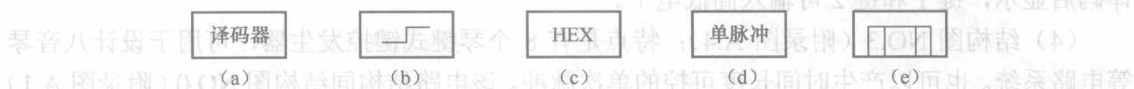


图 1.2 实验电路信号资源符号图

(1) 图 1.2 (a) 是十六进制 7 段全译码器，它有 7 位输出，分别接 7 段数码管的 7 个显示输入端：a、b、c、d、e、f 和 g；它的输入端为 D、C、B、A，D 为最高位，A 为最低位。例如，若所标输入的引脚为 PIO19~PIO16，表示 PIO19 接 D、PIO18 接 C、PIO17 接 B、PIO16 接 A。

(2) 图 1.2 (b) 是高低电平发生器，每按键一次，输出电平由高到低或由低到高变化一次，且输出为高电平时，所按键对应的发光管变亮，反之不亮。

(3) 图 1.2 (c) 是十六进制码 (8421 码) 发生器，由对应的键控制输出 4 位二进制构成的 1 位十六进制码，数的范围是 0000~1111，即 H0~HF。每按键一次，输出递增 1，输出进入目标芯片的 4 位二进制数将显示在该键对应的数码管上。

(4) 直接与 7 段数码管相连的连接方式的设置是为了便于对 7 段显示译码器的设计学习。以附录图 A.3 (模式 2 即 NO.2) 为例，若图标“PIO46~PIO40 接 g、f、e、d、c、b、a”表示 PIO46、PIO45、...、PIO40 分别与数码管的 7 段输入 g、f、e、d、c、b、a 相接。

(5) 图 1.2 (d) 是单次脉冲发生器，每按一次键，输出一个脉冲，与此键对应的发光管也会闪亮一次，时间 20ms。

(6) 图 1.2 (e) 是琴键式信号发生器，当按下键时，输出为高电平，对应的发光管发亮；当松开键时，输出为低电平，此键的功能可用于手动控制脉冲的宽度。具有琴键式信号发生器的实验结构图是 NO.3 (附录图 A.4)。

### 1.2.2 各实验电路结构图特点与适用范围简述

(1) 结构图 NO.0 (附录图 A.1)：目标芯片的 PIO19 至 PIO44 共 8 组 4 位二进制码输出，经外部的 7 段译码器可显示于实验系统上的 8 个数码管。键 1 和键 2 可分别输出两个 4 位二进制码。一方面，这 4 位码输入目标芯片的 PIO11~PIO8 和 PIO15~PIO12；另一方面，可以观察发光管 D1 至 D8 来了解输入的数值。例如，当键 1 控制输入 PIO11~PIO8 的数为 HA 时，则发光管 D4 和 D2 亮，D3 和 D1 灭。电路的键 8~键 3 分别控制一个高低电平信号发生器向目标芯片的 PIO7~PIO2 输入高电平或低电平，扬声器接在 SPEAKER 上，具体接在哪一引脚要看目标芯片的类型，这需要查附录 B 的引脚对照表，如目标芯片为 FLEX10K10，则扬声器接在 3 引脚上。目标芯片的时钟输入未在图上标出，也需查阅附录 B 的引脚对照表。



例如,目标芯片为 XC95108,则输入此芯片的时钟信号有 CLOCK0 至 CLOCK9,共 4 个可选的输入端,对应的引脚为 65 至 80。具体的输入频率,可参考主板频率选择模块,此电路可用于设计频率计、周期计、计数器等。

(2) 结构图 NO.1 (附录图 A.2): 适用于作加法器、减法器、比较器或乘法器等。例如,加法器设计,可利用键 4 和键 3 输入 8 位加数;键 2 和键 1 输入 8 位被加数,输入的加数和被加数将显示于键对应的数码管 4~数码管 1,相加的和显示于数码管 6 和数码管 5;可令键 8 控制此加法器的最低位进位。

(3) 结构图 NO.2 (附录图 A.3): 可用于作 VGA 视频接口逻辑设计,或使用数码管 8 至数码管 5 共 4 个数码管作 7 段显示译码方面的实验;而数码管 4 至数码管 1,4 个数码管可作译码后显示,键 1 和键 2 可输入高低电平。

(4) 结构图 NO.3 (附录图 A.4): 特点是有 8 个琴键式键控发生器,可用于设计八音琴等电路系统。也可以产生时间长度可控的单次脉冲。该电路结构同结构图 NO.0 (附录图 A.1) 一样,有 8 个译码输出显示的数码管,以显示目标芯片的 32 位输出信号,且 8 个发光管也能显示目标器件的 8 位输出信号。

(5) 结构图 NO.4 (附录图 A.5): 适合设计移位寄存器、环形计数器等。电路特点是,当在所设计的逻辑中有串行二进制数从 PIO10 输出时,若利用键 7 作为串行输出时钟信号,则 PIO10 的串行输出数码可以在发光管 D8 至 D1 上逐位显示出来,这能很直观地看到串出的数值。

(6) 结构图 NO.5 (附录图 A.6): 此电路结构有较强的功能,主要用于目标器件与外界电路的接口设计实验。

(7) 结构图 NO.6 (附录图 A.7): 此电路与 NO.2 (附录图 A.3) 相似,但增加了两个 4 位二进制数发生器,数值分别输入目标芯片的 PIO7~PIO4 和 PIO3~PIO0。例如,当按键 2 时,输入 PIO7~PIO4 的数值将显示于对应的数码管 2,以便了解输入的数值。

(8) 结构图 NO.7 (附录图 A.8): 此电路适合设计时钟、定时器、秒表等,因为可利用键 8 和键 5 分别控制时钟的清零和设置时间的使能;利用键 7、键 5 和键 1 进行时、分、秒的设置。

(9) 结构图 NO.8 (附录图 A.9): 此电路适用于作并进/串出或串进/并出等工作方式的寄存器、序列检测器、密码锁等逻辑设计。它的特点是利用键 2、键 1 能序置 8 位二进制数,而键 6 能发出串行输入脉冲,每按键一次,即发一个单脉冲,则此 8 位序置数的高位在前,向 PIO10 串行输入一位,同时能从 D8 至 D1 的发光管上看到串形左移的数据,十分形象直观。

(10) 结构图 NO.9 (附录图 A.10): 若欲验证交通灯控制等类似的逻辑电路,可选此电路结构。

(11) 当系统上的“模式指示”数码管显示 A 时,系统将变成一台频率计,数码管 8 将显示 F,数码 6 至数码 1 显示频率值,最低位单位是 Hz。测频输入端为系统板右下侧的插座。

(12) 实验电路结构图 COM: 除以上所述的所有电路结构,包括实验电路结构 NO.0 至实验电路结构 NO.9 共 10 套电路结构模式为 GW48-CK/PK2/3/4 两种系统共同拥有(兼容),把它们称为通用电路结构。即在原来的 10 套电路结构模式中的每一套结构图中增加附录 A 中的如图 A.11 所示的“实验电路结构图 COM”。例如,在 GW48-PK2 系统中,当“模式键”选择 5 时,电路结构将进入附录 A 中的如图 A.6 所示的实验电路结构图 NO.5 外,还应该加入“实验电路结构图 COM”。这样,在每一电路模式中就能比原来实现更多的实验项目。



实验电路结构图 COM”中各标准信号 (PIOX) 对应的器件的引脚名, 必须查附录 B 中的表。

## 1.3 Altera Quartus II 简介

### 1.3.1 Quartus II 设计流程

Altera Quartus II 设计软件是适合单芯片可编程系统 (SOPC) 的最全面的设计环境。Altera Quartus II 设计软件提供完整的多平台设计环境, 它可以轻易满足特定设计的需要, 是单芯片可编程系统 (SOPC) 设计的综合性环境。Quartus II 软件拥有 FPGA 和 CPLD 设计的所有阶段的解决方案。Quartus II 设计流程如图 1.3 所示。

此外, Quartus II 软件允许用户在设计流程的每个阶段使用 Quartus II 图形用户界面、EDA 工具界面或命令行界面, 可以在整个流程中只使用这些界面中的一个, 也可以在设计流程的不同阶段使用不同的选项。

### 1.3.2 图形用户界面设计流程

用户可以使用 Quartus II 软件完成设计流程的所有阶段, 它是完整且易用的独立解决方案。如图 1.4 所示 Quartus II 图形用户界面为设计流程的每个阶段所提供的功能。

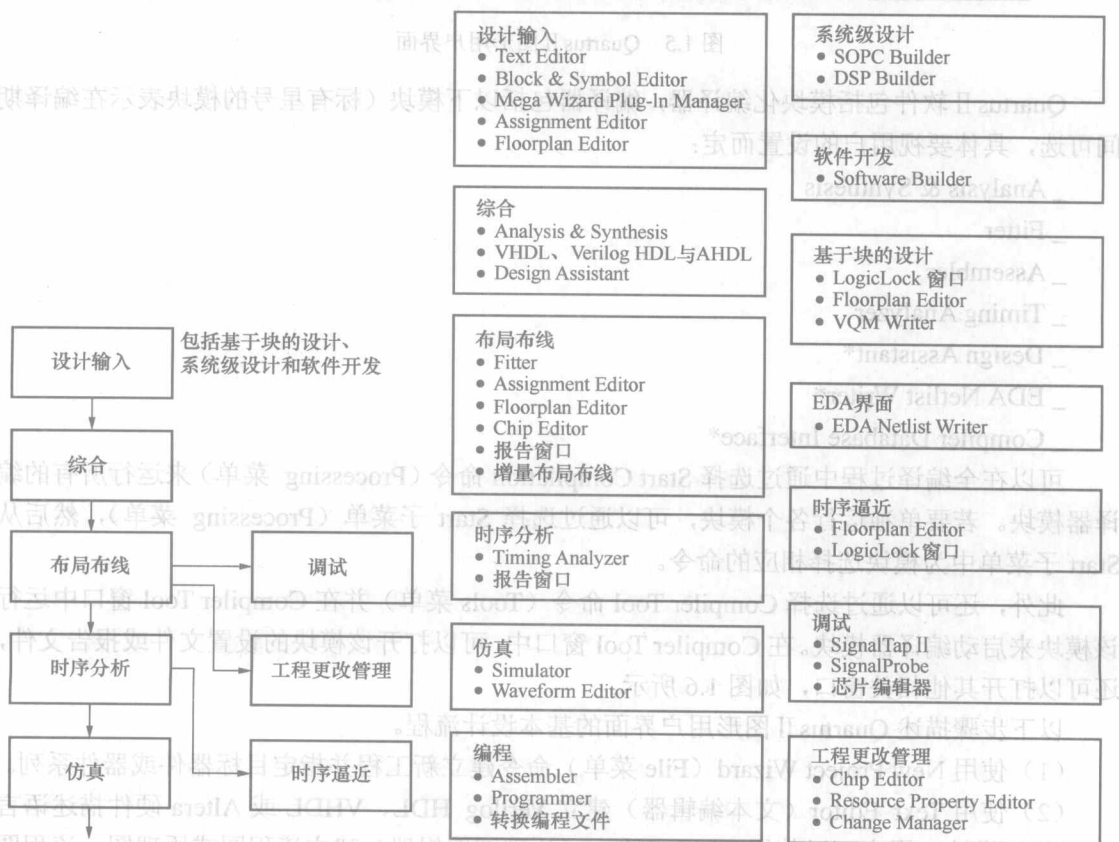


图 1.3 Quartus II 设计流程

图 1.4 Quartus II 图形用户界面的功能

首次启动 Quartus II 软件时打开的 Quartus II 图形用户界面如图 1.5 所示。

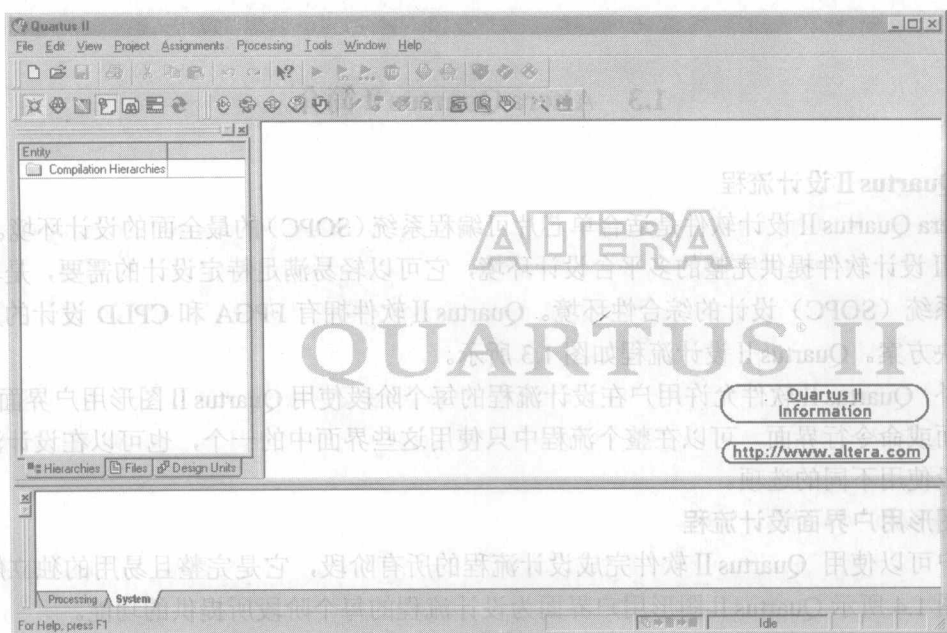


图 1.5 Quartus II 图形用户界面

Quartus II 软件包括模块化编译器，编译器包括以下模块（标有星号的模块表示在编译期间可选，具体要视用户的设置而定）：

- \_ Analysis & Synthesis
- \_ Fitter
- \_ Assembler
- \_ Timing Analyzer
- \_ Design Assistant\*
- \_ EDA Netlist Writer\*
- \_ Compiler Database Interface\*

可以在全编译过程中通过选择 **Start Compilation** 命令（**Processing** 菜单）来运行所有的编译器模块。若要单独运行各个模块，可以通过选择 **Start** 子菜单（**Processing** 菜单），然后从 **Start** 子菜单中为模块选择相应的命令。

此外，还可以通过选择 **Compiler Tool** 命令（**Tools** 菜单）并在 **Compiler Tool** 窗口中运行该模块来启动编译器模块。在 **Compiler Tool** 窗口中，可以打开该模块的设置文件或报告文件，还可以打开其他相关窗口，如图 1.6 所示。

以下步骤描述 Quartus II 图形用户界面的基本设计流程。

- (1) 使用 **New Project Wizard**（**File** 菜单）命令建立新工程并指定目标器件或器件系列。
- (2) 使用 **Text Editor**（文本编辑器）建立 Verilog HDL、VHDL 或 Altera 硬件描述语言（AHDL）设计。用户可以使用 **Block Editor**（原理图编辑器）建立流程图或原理图。流程图中可以包含代表其他设计文件的符号。还可以使用 **MegaWizard Plug-In Manager** 生成宏功能模块和 IP 内核的自定义变量，在设计中将它们实例化。

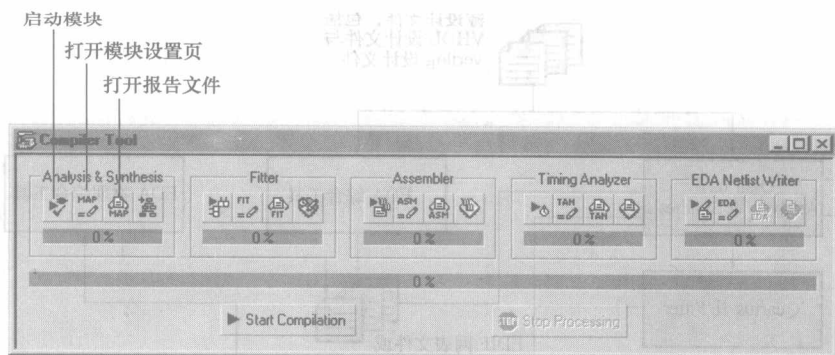


图 1.6 Compiler Tool 窗口

- (3) (可选) 使用 Assignment Editor、Settings 对话框 (Assignments 菜单)、Floorplan Editor 和/或 LogicLock 功能指定初始设计的约束条件。
- (4) (可选) 使用 SOPC Builder 或 DSP Builder 建立系统级设计。
- (5) (可选) 使用 Software Builder 为 Excalibur 器件处理器或 Nios 嵌入式处理器建立软件和编程文件。
- (6) 使用 Analysis & Synthesis 对设计进行综合。
- (7) (可选) 使用仿真器对设计执行功能仿真。
- (8) 使用 Fitter 对设计执行布局布线。在对源代码进行少量更改之后, 还可以使用增量布局布线。
- (9) 使用 Timing Analyzer 对设计进行时序分析。
- (10) 使用仿真器对设计进行时序仿真。
- (11) (可选) 使用物理综合、时序底层布局图、LogicLock 功能、Settings 对话框和 Assignment Editor 进行设计优化, 实现时序逼近。
- (12) 使用 Assembler 为设计建立编程文件。
- (13) 使用编程文件、Programmer 和 Altera 硬件编程器对器件进行编程; 或将编程文件转换为其他文件格式以供嵌入式处理器等其他系统使用。
- (14) (可选) 使用 SignalTap II Logic Analyzer、SignalProbe 功能或 Chip Editor 对设计进行调试。
- (15) (可选) 使用 Chip Editor、Resource Property Editor 和 Change Manager 进行工程更改管理。

### 1.3.3 EDA 工具设计流程

Quartus II 软件支持不同的 EDA 工具。Quartus II 软件使用户能够在设计流程的不同阶段使用自己熟悉的 EDA 工具, 可以将这些工具与 Quartus II 图形用户界面或 Quartus II 命令行可执行文件一起使用。EDA 工具设计流程如图 1.7 所示。

以下步骤描述其他 EDA 工具与 Quartus II 软件配合使用时的基本设计流程。

- (1) 建立新工程并指定目标器件或器件系列。

(2) 使用标准文本编辑程序建立 VHDL 或 Verilog HDL 设计文件。若需要, 可以对运用库函数进行实例化或使用 MegaWizard Plug-In Manager 命令 (Tools 菜单) 建立宏功能模块的自定义变量。

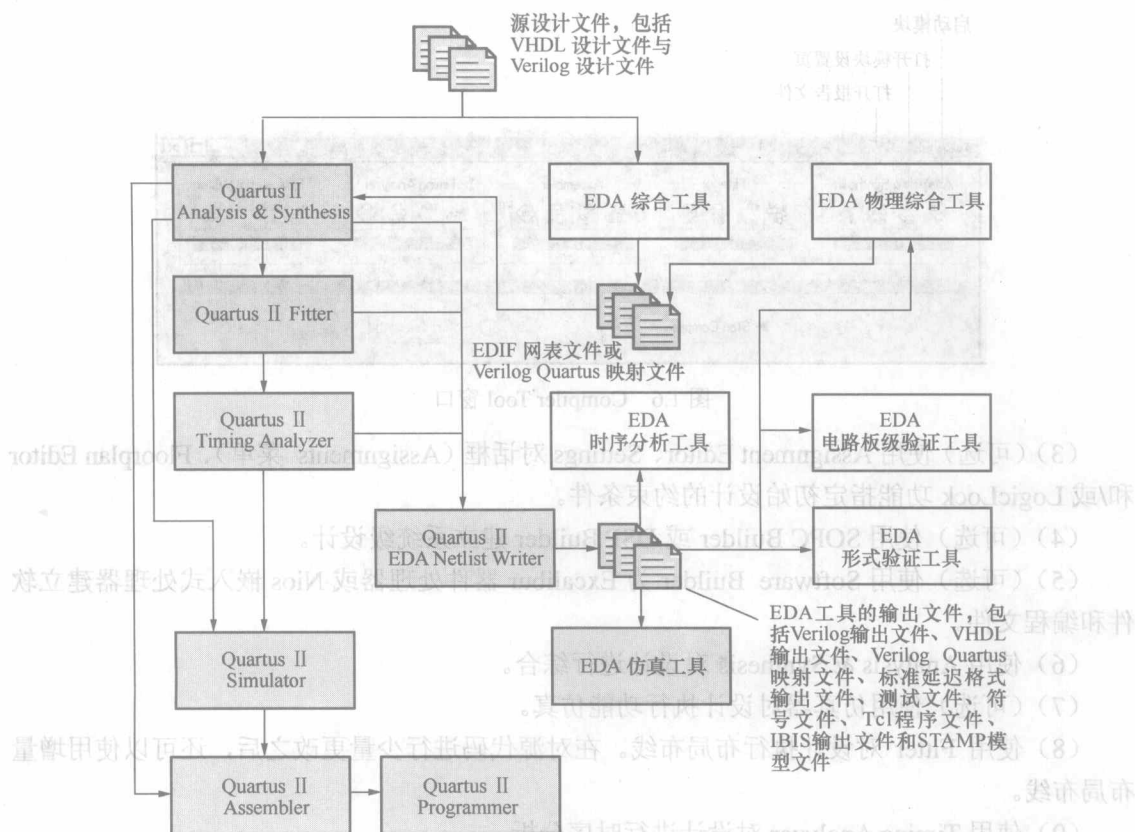


图 1.7 EDA 工具设计流程

(3) 使用其中一个 Quartus II 支持的 EDA 综合工具综合您的设计，并生成 EDIF 网表文件 (.edf) 或 VQM 文件 (.vqm)。

(4) (可选) 使用其中一个 Quartus II 支持的仿真工具对设计执行功能仿真。

(5) 在 Quartus II Settings 对话框 (Assignments 菜单) 中，指定选项和库映射文件，以处理使用其他设计输入/综合工具或通过 MegaWizard Plug-In Manager 生成的 EDIF 网表文件 (.edf)、VHDL 设计文件 (.vhd)、Verilog 设计文件 (.v)、VQM 文件 (.vqm) 和 AHDL 文本设计文件 (.tdf)。

(6) (可选) 在 Quartus II Settings 对话框中，为生成 VHDL 输出文件 (.vho)、Verilog 输出文件 (.vo)、标准延时格式输出文件 (.sdo)、标记模型文件、PartMiner XML 格式文件 (.xml) 和 IBIS 输出文件 (.ibs) 指定选项。

(7) 使用 Quartus II 软件编译设计并进行布局布线。可以执行全编译，或者分别运行编译器模块：

- 运行 Analysis & Synthesis，对设计进行综合，并将设计中的函数映射到正确的库模块上。
- 运行 Fitter，对设计进行布局布线。
- 运行 Timing Analyzer，对设计进行时序分析。
- 运行 EDA Netlist Writer，生成与其他 EDA 工具配合使用的输出文件。