



普通高等教育实验实训规划教材

电力技术类

电子技术实验指导书 (数字部分)

李保平 主 编
许丽敏 副主编



中国电力出版社

<http://jc.cepp.com.cn>



普通高等教育实验实训规划教材

电力技术类

电子技术实验指导书 (数字部分)

主 编 李保平
副主编 许丽敏
编 写 羿宗琪
主 审 王汉桥



中国电力出版社

<http://jc.cepp.com.cn>

内 容 提 要

本书为普通高等教育实验实训规划教材(电力技术类)。全书共有十二项实验,主要包括 TTL 集成逻辑门的逻辑功能与参数测试,CMOS 集成逻辑门的逻辑功能与参数测试,集成逻辑电路的连接和驱动,组合逻辑电路的设计与测试,译码器及其应用,数据选择器及其应用,触发器及其应用,计数器及其应用,寄存器及其应用,555 定时电路及其应用,D/A、A/D 转换器,智力竞赛抢答器等。

本书可作为高职高专院校电力技术类、自动化类、电子信息类等相关专业的数字电子技术实验教学用书,也可作为相关工程技术人员的参考用书。

图书在版编目(CIP)数据

电子技术实验指导书. 数字部分/李保平主编. —北京: 中国电力出版社, 2009

普通高等教育实验实训规划教材. 电力技术类

ISBN 978-7-5083-9245-5

I. 电… II. 李… III. ①电子技术—实验—高等学校—教学参考资料 ②数字电路—电子技术—实验—高等学校—教材
IV. TN-33

中国版本图书馆 CIP 数据核字(2009)第 131421 号

中国电力出版社出版、发行

(北京三里河路 6 号 100044 <http://jc.cepp.com.cn>)

汇鑫印务有限公司印刷

各地新华书店经售

*

2009 年 8 月第一版 2009 年 8 月北京第一次印刷

787 毫米×1092 毫米 16 开本 4.75 印张 107 千字

定价 7.60 元

敬告读者

本书封面贴有防伪标签,加热后中心图案消失

本书如有印装质量问题,我社发行部负责退换

版 权 专 有 翻 印 必 究

前言

随着各行各业对高等技术人才需求的不断增加,近年来我国的高等职业技术教育得到了迅速发展,高等职业技术教育的重点也越来越向着加强实验实训环节、理论实践一体化的教学模式转变。数字电子技术基础是电气工程类、电子信息类等专业的专业基础课,数字电子技术课程学习的重点是关于逻辑电路的基本单元电路的理论及应用知识;组合逻辑电路、时序逻辑电路的分析和设计的理论及实践;常用集成逻辑电路的逻辑功能、管脚排列、使用注意事项等内容。本教材是根据高职高专培养目标,并结合教学实际而编写的与数字电子技术理论教学相配合的实验教材,适用于高职高专的自动化类、电气工程类、电子信息类等相关专业的教学使用。

本书中,实验一至实验三是关于门电路的质量及参数的检测和使用注意事项;实验四至实验六是分析和设计组合逻辑电路的实践;实验七至实验九是时序逻辑电路的分析和设计;实验十、实验十一是数模电路结合的实践;实验十二是一个数字电路的综合实验,目的在于提高读者分析和设计综合数字电路的能力,读者可以根据学习情况决定是否选用。每一个实验课题都力求做到与理论教学内容的结合,使每一个实验在完成理论内容验证的同时起到帮助学生充分理解理论中的难点,同时提高实践动手能力的作用。

为了帮助学生在实践学习过程中,能够更好地将理论知识与实践相结合,有的放矢,有所收获,书中每一个实验课题中都详述了每一个实验步骤及对应的理论知识点;另外在部分实验课题后给出了适当的思考题,以帮助学生提高分析问题和解决问题的能力。

本书的实验课题以及每一个实验课题的内容都比较丰富,教师在教学过程中可以根据学生的水平和教学重点进行选择。

本书由保定电力职业技术学院李保平主编,保定电力职业技术学院许丽敏任副主编,哈尔滨电力职业技术学院羿宗琪为参编。全书由武汉电力职业技术学院王汉桥副教授审阅,在此表示衷心的感谢。

由于编者水平所限,书中难免有不妥或疏漏之处,恳请使用本书的师生和读者批评指正。

编 者

2009年5月

目 录

前言

实验一	TTL 集成逻辑门的逻辑功能与参数测试	1
实验二	CMOS 集成逻辑门的逻辑功能与参数测试	7
实验三	集成逻辑电路的连接和驱动	10
实验四	组合逻辑电路的设计与测试	14
实验五	译码器及其应用	16
实验六	数据选择器及其应用	22
实验七	触发器及其应用	29
实验八	计数器及其应用	35
实验九	寄存器及其应用	41
实验十	555 定时电路及其应用	48
实验十一	D / A、A / D 转换器	53
实验十二	智力竞赛抢答器	58
附录	部分集成电路引脚图	60
参考文献		68

实验一 TTL 集成逻辑门的逻辑功能与参数测试

一、实验目的

- (1) 掌握 TTL 集成与非门的逻辑功能和主要参数的测试方法。
- (2) 掌握 TTL 器件的使用规则。
- (3) 进一步熟悉数字电路实验装置的结构、基本功能和使用方法。
- (4) 熟悉常用集成电路的引脚识别方法。

二、实验原理

使用集成电路之前,必须认真检查集成电路的引脚处,确认电源、地、输入、输出、控制等端的引脚号连接是准确无误的,以免因错接而损坏器件。

集成电路的种类很多,若按电极引脚的形式来分,分为通孔插装式和表面安装式两大类。在一般应用中,通孔插装式集成电路应用较普遍。

按封装材料不同,通孔插装式集成电路的封装形式有三大类:

第一类,金属封装。金属封装散热性好、可靠性高,但安装使用不方便,且成本较高。这种封装形式常见于高精度集成电路或大功率器件中。

第二类,陶瓷封装。常见的陶瓷封装集成电路可分为扁平型和双列直插型两种。

第三类,塑料封装。这是目前最常见的一种封装形式,其最大特点是工艺简单、成本低。常见的塑料封装的形式,也分为扁平型和双列直插型两种。

本书中所用到的集成芯片都是塑料封装的双列直插式。其引脚排列如图 1-1 所示:正对集成电路型号(如 74LS20),看标记(左边的缺口或小圆点标记),从左下角开始按逆时针方向依次为管脚 1, 2, 3, … 排列到最后一脚(在左上角)。在标准 TTL 集成电路中,电源端 U_{CC} 一般排在左上端,接地端 GND 一般排在右下端。如 74LS20 为 14 脚芯片,14 脚为 U_{CC} , 7 脚为 GND。若集成芯片引脚上的功能标号为 NC,则表示该引脚为空脚,与内部电路不连接。

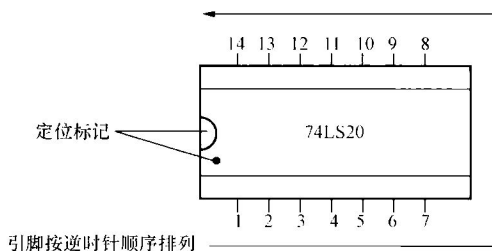


图 1-1 典型塑料封装集成芯片的引脚排列

本实验采用四输入双与非门 74LS20,即在一块集成块内含有两个互相独立的与非门,每个与非门有四个输入端。其逻辑图、逻辑符号、引脚排列分别如图 1-2 (a)、(b)、(c) 所示。

1. 与非门的逻辑功能

与非门的逻辑功能:当输入端有一个或一个以上是低电平时,输出端为高电平;只有当输入端全部输入为高电平时,输出端才输出低电平(即有“0”得“1”,全“1”得“0”)。

其逻辑表达式为

$$Y = \overline{ABCD}$$

2. TTL 与非门的主要参数

- (1) 低电平输出电源电流 I_{CCL} 和高电平输出电源电流 I_{CCH} 。与非门处于不同的工作状

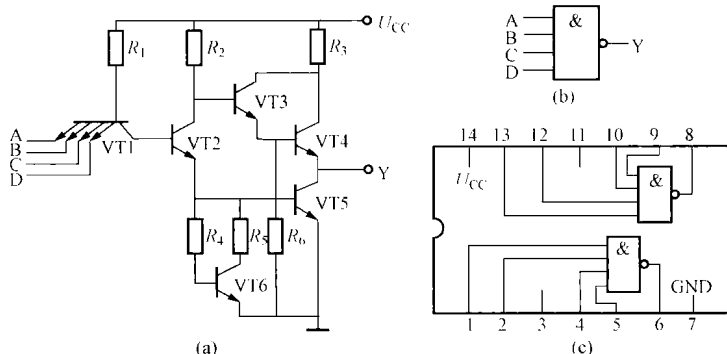


图 1-2 74LS20 逻辑图、逻辑符号及引脚排列

(a) 逻辑图; (b) 逻辑符号; (c) 引脚排列图

态, 电源提供的电流是不同的。 I_{CCL} 是指所有输入端悬空, 输出端空载时, 电源提供给器件的电流。 I_{CCH} 是指输出端空载, 每个门各有一个以上的输入端接地, 其余输入端悬空时, 电源提供给器件的电流。通常 $I_{CCL} > I_{CCH}$, 它们的大小标志着器件静态功耗的大小。器件的最大功耗为 $P_{CCL} = U_{CC} I_{CCL}$ 。手册中提供的电源电流和功耗值是指整个器件总的电源电流和总的功耗。 I_{CCL} 和 I_{CCH} 测试电路如图 1-3 (a)、(b) 所示。

注意: TTL 电路对电源电压要求较严, 电源电压 U_{CC} 只允许在 $+5V \pm 10\%$ 的范围内工作, 超过 5.5V 将损坏器件; 低于 4.5V 会使器件的逻辑功能不正常。

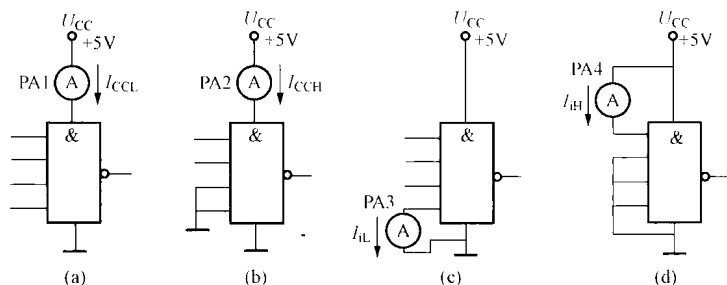


图 1-3 TTL 与非门静态参数测试电路图

(a) I_{CCL} 测试电路; (b) I_{CCH} 测试电路; (c) I_{IL} 测试电路; (d) I_{IH} 测试电路

PA1、PA2、PA3 毫安表; PA4 微安表

(2) 低电平输入电流 I_{IL} 和高电平输入电流 I_{IH} 。 I_{IL} 是指被测输入端接地, 其余输入端悬空, 输出端空载时, 由被测输入端流出的电流值。在多级门电路中, I_{IL} 相当于前级门输出低电平时, 后级向前级门灌入的电流, 因此它关系到前级门的灌电流负载能力, 即直接影响前级门电路带负载的个数, 可见 I_{IL} 小些更好。

I_{IH} 是指被测输入端接高电平, 其余输入端接地, 输出端空载时, 流入被测输入端的电流值。在多级门电路中, I_{IH} 相当于前级门输出高电平时, 前级门的拉电流负载, 其大小关系到前级门的拉电流负载能力, 可见 I_{IH} 小些更好。由于 I_{IH} 较小, 难以测量, 一般免于测试。

I_{IL} 与 I_{IH} 的测试电路如图 1-3 (c)、(d) 所示。

(3) 扇出系数 N_o 。扇出系数 N_o 是指门电路能驱动同类门的个数，它是衡量门电路负载能力的一个参数。TTL 与非门有两种不同性质的负载，即灌电流负载和拉电流负载，因此有两种扇出系数，即低电平扇出系数 N_{ol} 和高电平扇出系数 N_{oh} 。通常 $I_{ih} < I_{il}$ ，则 $N_{oh} > N_{ol}$ ，故常以 N_{ol} 作为门的扇出系数。

N_{ol} 的测试电路如图 1-4 所示，门电路的输入端全部悬空，输出端接灌电流负载 R_L ，调节 R_L 使 I_{ol} 增大， U_{ol} 随之增高，当 U_{ol} 达到 U_{olm} （手册中规定低电平规范值 0.4V）时的 I_{ol} 就是允许灌入的最大负载电流，则

$$N_{ol} = \frac{I_{ol}}{I_{il}}$$

通常 $N_{ol} \geq 8$ 。

(4) 电压传输特性。门电路的输出电压 U_o 随输入电压 U_i 而变化的曲线 $U_o = f(U_i)$ 称为门电路的电压传输特性，通过它可读得门电路的一些重要参数，如输出高电平 U_{oh} 、输出低电平 U_{ol} 、关门电平 U_{off} 、开门电平 U_{on} 、阈值电平 U_T 及抗干扰容限 U_{NL} 、 U_{NH} 等值。测试电路如图 1-5 所示，采用逐点测试法，即调节 R_W ，逐点测得 U_i 及 U_o ，然后绘成曲线。

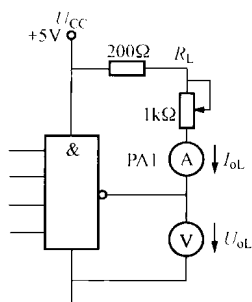


图 1-4 扇出系数测试电路

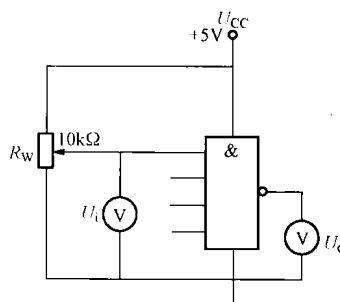


图 1-5 传输特性测试电路

(5) 平均传输延迟时间 t_{pd} 。 t_{pd} 是衡量门电路开关速度的参数，它是指输出波形边沿的 $0.5U_m$ 至输入波形对应边沿 $0.5U_m$ 点的时间间隔，如图 1-6 所示。

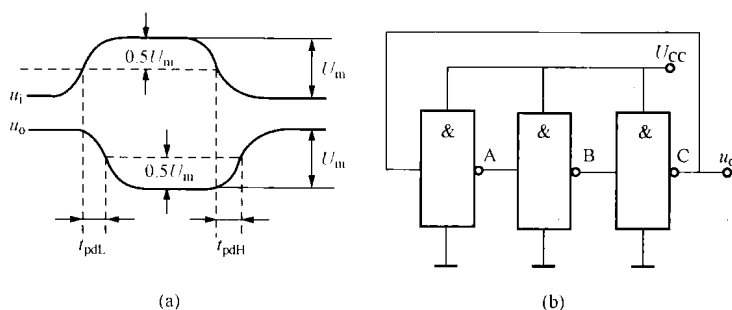


图 1-6 平均传输延迟时间测试电路

(a) 传输延迟特性；(b) t_{pd} 的测试电路

图 1-6 (a) 中的 t_{pdl} 为导通延迟时间， t_{pdH} 为截止延迟时间，平均传输延迟时间为

$$t_{pd} = \frac{1}{2}(t_{pdl} + t_{pdH})$$

t_{pd} 的测试电路如图 1-6 (b) 所示, 由于 TTL 门电路的延迟时间较小, 直接测量时对信号发生器和示波器的性能要求较高, 故实验采用测量由奇数个与非门组成的环形振荡器的振荡周期 T 来求得。其工作原理是: 假设电路在接通电源后某一瞬间, 电路中的 A 点为逻辑“1”, 经过三级门的延迟后, 使 A 点由原来的逻辑“1”变为逻辑“0”; 再经过三级门的延迟后, A 点电平又重新回到逻辑“1”。电路中其他各点电平也跟随变化。说明使 A 点发生一个周期的振荡, 必须经过 6 级门的延迟时间。因此平均传输延迟时间为

$$t_{pd} = \frac{T}{6}$$

TTL 电路的 t_{pd} 一般在 10~40ns 之间。

74LS20 主要参数规范见表 1-1。

表 1-1

74LS20 主要参数规范

参数名称和符号			规范值	单位	测 试 条 件
直 流 参 数	通导电源电流	I_{CCL}	<14	mA	$U_{\text{CC}}=5\text{V}$, 输入端悬空, 输出端空载
	截止电源电流	I_{CCH}	<7	mA	$U_{\text{CC}}=5\text{V}$, 输入端接地, 输出端空载
	低电平输入电流	I_{il}	≤ 1.4	mA	$U_{\text{CC}}=5\text{V}$, 被测输入端接地, 其他输入端悬空, 输出端空载
	高电平输入电流	I_{IH}	<50	μA	$U_{\text{CC}}=5\text{V}$, 被测输入端 $U_{\text{in}}=2.4\text{V}$, 其他输入端接地, 输出端空载
			<1	mA	$U_{\text{CC}}=5\text{V}$, 被测输入端 $U_{\text{in}}=5\text{V}$, 其他输入端接地, 输出端空载
	输出高电平	U_{OH}	≥ 3.4	V	$U_{\text{CC}}=5\text{V}$, 被测输入端 $U_{\text{in}}=0.8\text{V}$, 其他输入端悬空, $I_{\text{OH}}=400\mu\text{A}$
	输出低电平	U_{OL}	<0.3	V	$U_{\text{CC}}=5\text{V}$, 输入端 $U_{\text{in}}=2.0\text{V}$, $I_{\text{OL}}=12.8\text{mA}$
扇出系数	N_{o}	$4\sim 8$		同 U_{OH} 和 U_{OL}	
交 流 参 数	平均传输延迟时间	t_{pd}	≤ 20	ns	$U_{\text{CC}}=5\text{V}$, 被测输入端输入信号: $U_{\text{in}}=3.0\text{V}$, $f=2\text{MHz}$

3. TTL 集成电路使用规则

(1) 接插集成块时, 要认清定位标记, 不得插反。

(2) 电源电压使用范围为 4.5~5.5V 之间, 实验中要求使用 $U_{CC}=+5V$ 。电源极性绝对不允许接错。

(3) 闲置输入端处理方法。

1) 悬空, 相当于正逻辑“1”, 对于一般小规模集成电路的数据输入端, 实验时允许悬空处理。但易受外界干扰, 导致电路的逻辑功能不正常。因此, 对于接有长线的输入端, 中规模以上的集成电路和使用集成电路较多的复杂电路, 所有控制输入端必须按逻辑要求接入电路, 不允许悬空。

2) 直接接电源电压 U_{CC} (也可以串入一只 1~10k Ω 的固定电阻) 或接至某一固定电压 ($2.4V \leq U \leq 4.5V$) 的电源上, 或与输入端为接地的多余与非门的输出端相接。

3) 若前级驱动能力允许, 可以与使用的输入端并联。

(4) 输入端通过电阻接地, 电阻值的大小将直接影响电路所处的状态。当 $R \leq 680\Omega$ 时,

输入端相当于逻辑“0”；当 $R \geq 4.7\text{k}\Omega$ 时，输入端相当于逻辑“1”。对于不同系列的器件，要求的阻值不同。

(5) 输出端不允许并联使用 [集电极开路门 (OC) 和三态输出门电路 (3S) 除外]。否则，不仅会使电路逻辑功能混乱，而且会导致器件损坏。

(6) 输出端不允许直接接地或直接接+5V 电源，否则将损坏器件，有时为了使后级电路获得较高的输出电平，允许输出端通过电阻 R 接至 U_{CC} ，一般取 $R=3\sim 5.1\text{k}\Omega$ 。

三、实验设备与器件

①+5V 直流电源；②逻辑电平开关；③逻辑电平显示器；④直流数字电压表；⑤直流毫安表；⑥直流微安表；⑦74LS20×2、1kΩ、10kΩ 电位器，200Ω 电阻器 (0.5W)。

四、实验内容

在合适的位置选取一个 14P 插座，按定位标记插好 74LS20 集成块。

1. 验证 TTL 集成与非门 74LS20 的逻辑功能

按图 1-7 接线，与非门的四个输入端接逻辑开关输出插口，以提供“0”与“1”电平信号，开关向上，输出逻辑“1”，向下为逻辑“0”。门的输出端接由 LED 发光二极管组成的逻辑电平显示器 (又称 0-1 指示器) 的显示插口，LED 亮为逻辑“1”，不亮为逻辑“0”。按表 1-2 的真值表逐个测试集成块中两个与非门的逻辑功能。74LS20 有 4 个输入端，有 16 个最小项，在实际测试时，只要通过对输入 1111、0111、1011、1101、1110 五项进行检测就可判断其逻辑功能是否正常。

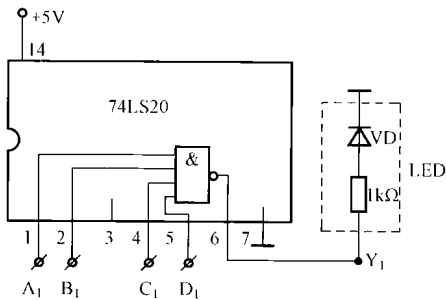


图 1-7 与非门逻辑功能测试电路

表 1-2 真 值 表

输 入				输 出	
A_n	B_n	C_n	D_n	Y_1	Y_2
1	1	1	1		
0	1	1	1		
1	0	1	1		
1	1	0	1		
1	1	1	0		

2. 74LS20 主要参数的测试

(1) 分别按图 1-3、图 1-4、图 1-6 (b) 接线并进行测试，将测试结果记入表 1-3 中。

表 1-3 测试 结 果 记 录 表

I_{CCL}/mA	I_{CCH}/mA	I_{IL}/mA	I_{OL}/mA	$N_o = \frac{I_{OL}}{I_{IL}}$	$t_{pd} = \frac{T}{6}/\text{ns}$

(2) 按图 1-5 接线，调节电位器 R_w ，使 U_i 从 0V 向高电平变化，逐点测量 U_i 和 U_o 的对应值，记入表 1-4 中。

表 1-4

测量结果记录表

U_i/V	0	0.2	0.4	0.6	0.8	1.0	1.5	2.0	2.5	3.0	3.5	4.0	...
U_o/V													

五、预习要求

仔细阅读 TTL 集成门电路各参数的定义, 并理解其意义。

六、实验报告

- (1) 记录、整理实验结果, 并对结果进行分析。
- (2) 画出实测的电压传输特性曲线, 并从中读出各有关参数值。
- (3) 门电路在使用过程中, 闲置的输入端应如何处理?

实验二 CMOS 集成逻辑门的逻辑功能与参数测试

一、实验目的

- (1) 掌握 CMOS 集成门电路的逻辑功能和器件的使用规则。
- (2) 学会 CMOS 集成门电路主要参数的测试方法。

二、实验原理

1. CMOS 集成电路的优点

CMOS 集成电路是将 N 沟道 MOS 管和 P 沟道 MOS 管同时用于一个集成电路中, 成为组合两种沟道 MOS 管性能的更优良的集成电路。CMOS 集成电路的主要优点是:

(1) 功耗低, 其静态工作电流在 10^{-9} A 数量级, 是目前所有数字集成电路中最低的, 而 TTL 器件的功耗则大得多。

(2) 高输入阻抗, 通常大于 $10^{10} \Omega$, 远高于 TTL 器件的输入阻抗。

(3) 接近理想的传输特性, 输出高电平可达电源电压的 99.9% 以上, 输出低电平在电源电压的 0.1% 以下, 因此输出逻辑电平的摆幅很大, 噪声容限很高。

(4) 电源电压范围广, 可在 3~18V 范围内正常运行。

(5) 由于有很高的输入阻抗, 要求驱动电流很小, 约 $0.1 \mu\text{A}$, 输出电流在 +5V 电源下约为 $500 \mu\text{A}$, 远小于 TTL 电路, 如以此电流来驱动同类门电路, 其扇出系数将非常大。在一般低频率时, 无需考虑扇出系数, 但在高频时, 后级门的输入电容将成为主要负载, 使其扇出能力下降, 所以在较高频率工作时, CMOS 电路的扇出系数一般取 10~20。

2. CMOS 门电路逻辑功能

尽管 CMOS 与 TTL 电路内部结构不同, 但它们的逻辑功能完全一样。本实验将测定与门 CC4081、或门 CC4071、与非门 CC4011, 或非门 CC4001 的逻辑功能。各集成块的逻辑功能与真值表请参阅有关教材及资料。

3. CMOS 与非门的主要参数

CMOS 与非门主要参数的定义及测试方法与 TTL 电路相仿, 这里从略。

4. CMOS 电路的使用规则

由于 CMOS 电路有很高的输入阻抗, 这给使用者带来了一定的麻烦, 即外来的干扰信号很容易在一些悬空的输入端上感应出很高的电压, 以致损坏器件。CMOS 电路的使用规则如下:

(1) U_{DD} 接电源正极, U_{SS} 接电源负极 (通常接地 $\perp$), 不得接反。CC4000 系列的电源允许电压在 3~18V 范围内选择, 实验中一般要求使用 5~15V。

(2) 所有输入端一律不准悬空。闲置输入端的处理方法:

1) 按照逻辑要求, 直接接 U_{DD} (与非门) 或 U_{SS} (或非门)。

2) 在工作频率不高的电路中, 允许输入端并联使用。

(3) 输出端不允许直接与 U_{DD} 或 U_{SS} 连接, 否则将导致器件损坏。

(4) 在装接电路、改变电路连接或插、拔电路时, 均应切断电源, 严禁带电操作。

(5) 焊接、测试和储存时的注意事项:

- 1) 电路应存放在导电的容器内, 有良好的静电屏蔽;
- 2) 焊接时必须切断电源, 电烙铁外壳必须良好接地, 或者拔下烙铁, 靠其余热焊接;
- 3) 所有的测试仪器必须良好接地。

三、实验设备与器件

①+5V 直流电源; ②双踪示波器; ③连续脉冲源; ④逻辑电平开关; ⑤逻辑电平显示器; ⑥直流数字电压表; ⑦直流毫安表; ⑧直流微安表; ⑨CC4011、CC4001、CC4071、CC4081、电位器 100k Ω 、电阻 1k Ω 。

四、实验内容

1. CMOS 与非门 CC4011 参数测试 (方法与 TTL 电路相同)

(1) 测试 CC4011 一个门的 I_{OCL} , I_{OCH} , I_{IL} , I_{IH} 。

(2) 测试 CC4011 一个门的传输特性 (一个输入端作信号输入, 另一个输入端接逻辑高电平)。

(3) 将 CC4011 的三个门串接成振荡器, 用示波器观测输入、输出波形, 并计算出 t_{pd} 值。

2. 验证 CMOS 各门电路的逻辑功能, 判断其好坏

验证与非门 CC4011、与门 CC4081、或门 CC4071 及或非门 CC4001 逻辑功能, 其引脚见附录。

以 CC4011 为例, 测试时, 选好某一个 14P 插座, 插入被测器件, 其输入端 A、B 接逻辑开关的输出插口, 其输出端 Y 接至逻辑电平显示器输入插口, 拨动逻辑电平开关, 逐个测试各门的逻辑功能, 并记入表 2-1 中。

3. 观察与非门、与门、或非门对脉冲的选择和控制作用

图 2-1 是与非门逻辑功能测试电路图。

表 2-1 与非门逻辑功能表

输 入		输 出			
A	B	Y_1	Y_2	Y_3	Y_4
0	0				
0	1				
1	0				
1	1				

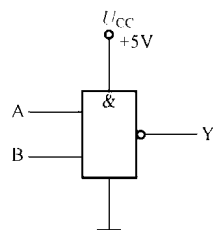


图 2-1 与非门逻辑功能测试电路

将所选用的与非门按图 2-2 接线, 将一个输入端接连续脉冲源 (频率为 20kHz), 用示波器观察两种电路的输出波形, 记录之。

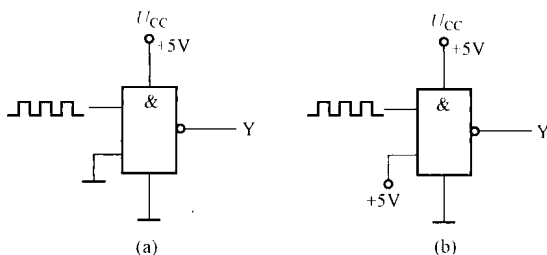


图 2-2 与非门对脉冲的控制作用

然后测定“与门”和“或非门”对连续脉冲的控制作用。

五、实验预习要求

(1) 熟悉实验所用各集成门引脚顺序及功能。

(2) 画出各实验内容的测试电路与记录

数据的表格。

- (3) 画好实验所用各门电路的真值表。
- (4) 各 CMOS 门电路闲置输入端如何处理？

六、实验报告

- (1) 根据实验结果判断被测电路的功能好坏。
- (2) 整理实验结果，用坐标纸画出传输特性曲线。

实验三 集成逻辑电路的连接和驱动

一、实验目的

- (1) 掌握 TTL、CMOS 集成电路输入电路与输出电路的性质。
- (2) 掌握集成逻辑电路相互衔接时应遵守的规则和实际衔接方法。

二、实验原理

1. TTL 电路输入输出电路性质

当输入端为高电平时, 输入电流是反向二极管的漏电流, 电流极小, 其方向是从外部流入输入端。

当输入端处于低电平时, 电流由电源 U_{CC} 经内部电路流出输入端, 电流较大, 当与上一级电路衔接时, 将决定上级电路应具有负载能力。高电平输出电压在负载不大时为 3.5V 左右。低电平输出时, 允许后级电路灌入电流, 随着灌入电流的增加, 输出低电平将升高, 一般 LS 系列 TTL 电路允许灌入 8mA 电流, 即可吸收后级 20 个 LS 系列标准门的灌入电流。最大允许低电平输出电压为 0.4V。

2. CMOS 电路输入输出电路性质

一般 CC 系列的输入阻抗可高达 $10^{10}\Omega$, 输入电容在 5pF 以下, 输入高电平通常要求在 3.5V 以上, 输入低电平通常为 1.5V 以下。因 CMOS 电路的输出结构具有对称性, 故对高低电平具有相同的输出能力, 负载能力较小, 仅可驱动少量的 CMOS 电路。当输出端负载很轻时, 输出高电平将十分接近电源电压; 输出低电平时将十分接近地电位。

在高速 CMOS 电路 54/74HC 系列中的一个子系列 54/74HCT, 其输入电平与 TTL 电路完全相同, 因此在相互取代时, 不需考虑电平的匹配问题。

3. 集成逻辑电路的衔接

在实际的数字电路系统中总是将一定数量的集成逻辑电路按需要前后连接起来。这时, 前级电路的输出将与后级电路的输入相连并驱动后级电路工作。这就存在着电平配合和负载能力这两个需要妥善解决的问题。

可用下列几个表达式来说明连接时所要满足的条件:

$$U_{oH}(\text{前级}) \geq U_{iH}(\text{后级})$$

$$U_{oL}(\text{前级}) \leq U_{iL}(\text{后级})$$

$$I_{oH}(\text{前级}) \geq n \times I_{iH}(\text{后级})$$

$$I_{oL}(\text{前级}) \geq n \times I_{iL}(\text{后级})$$

n 为后级门的数目。

(1) TTL 电路与 TTL 电路的连接。TTL 集成逻辑电路的所有系列, 由于电路结构形式相同, 电平配合比较方便, 不需要外接元件可直接连接, 不足之处是受低电平时负载能力的限制。表 3-1 列出了 74 系列 TTL 电路的扇出系数。

(2) TTL 电路驱动 CMOS 电路。TTL 电路驱动 CMOS 电路时, 由于 CMOS 电路的输入阻抗高, 故此驱动电流一般不会受到限制, 但在电平配合问题上, 低电平是可以的, 高电

平时有困难,因为 TTL 电路在满载时,输出高电平通常低于 CMOS 电路对输入高电平的要求。因此为保证 TTL 电路输出高电平时,后级的 CMOS 电路能可靠工作,通常要外接一个提拉电阻 R ,如图 3-1 所示,使输出高电平达到 3.5V 以上, R 的取值为 $2\sim 6.2\text{k}\Omega$ 较合适,这时 TTL 电路后级的 CMOS 电路的数目实际上是没有什麼限制的。

表 3-1 74 系列 TTL 电路的扇出系数

名称	74LS00	74ALS00	7400	74L00	74S00
74LS00	20	40	5	40	5
74ALS00	20	40	5	40	5
7400	40	80	10	40	10
74L00	10	20	2	20	1
74S00	50	100	12	100	12

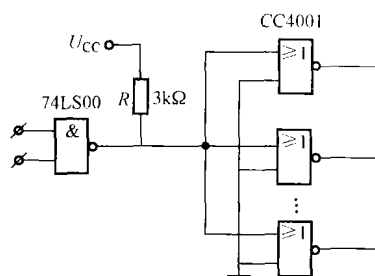


图 3-1 TTL 电路驱动 CMOS 电路

(3) CMOS 电路驱动 TTL 电路。CMOS 电路的输出电平能满足 TTL 电路对输入电平的要求,而驱动电流将受限制,主要是低电平时的负载能力。表 3-2 列出了一般 CMOS 电路驱动 TTL 电路时的扇出系数,从表中可见,除了 74HC 系列外的其他 CMOS 电路驱动 TTL 电路的能力都较低。

表 3-2 一般 CMOS 电路驱动 TTL 电路时的扇出系数

系列名	LS-TTL	L-TTL	TTL	ASL-TTL
CC4001B 系列	1	2	0	2
MC14001B 系列	1	2	0	2
MM74HC 及 74HCT 系列	10	20	2	20

既要使用此系列又要提高其驱动能力时,可采用以下两种方法:

1) 采用 CMOS 电路驱动器,如 CC4049、CC4050 这种专为给出较大驱动能力而设计的 CMOS 电路。

2) 几个同功能的 CMOS 电路并联使用,即将其输入端并联,输出端并联(TTL 电路是不允许并联的)。

(4) CMOS 电路与 CMOS 电路的衔接。CMOS 电路之间的连接十分方便,不需另加外接元件。对直流参数来讲,一个 CMOS 电路可带动的 CMOS 电路数量是不受限制,但在实际使用时,应当考虑后级门输入电容对前级门的传输速度的影响,电容太大时,传输速度要下降,因此在高速使用时要从负载电容来考虑,例如 CC4000T 系列。CMOS 电路在 10MHz 以上速度运用时应限制在 20 个门以下。

三、实验设备与器件

①+5V 直流电源;②逻辑电平开关;③逻辑电平显示器;④逻辑笔;⑤直流数字电压表;⑥直流毫安表;⑦74LS00 $\times 2$ 、CC4001、74HC00,电阻:100 Ω 、470 Ω 、3k Ω ,电位器:47k Ω 、10k Ω 、4.7k Ω 。

四、实验内容

1. 测试 TTL 电路 74LS00 及 CMOS 电路 CC4001 的输出特性

74LS00 与非门及 CC4001 或非门电路的引脚排列见图 3-2。

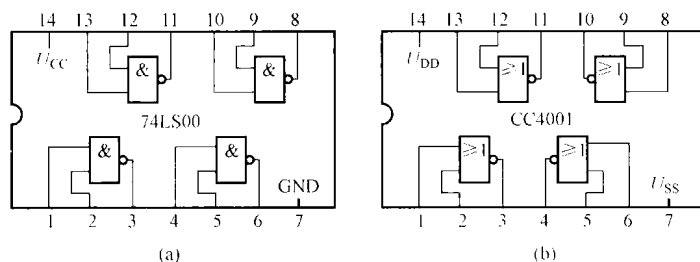


图 3-2 74LS00 与非门及 CC4001 或非门电路引脚排列

(a) 74LS00; (b) CC4001

测试电路如图 3-3 所示，图中以与非门 74LS00 为例画出了高、低电平两种输出状态下输出特性的测量方法。改变电位器 R_w 的阻值，从而获得输出特性曲线， R 为限流电阻。

(1) 测试 TTL 电路 74LS00 的输出特性。在实验装置的合适位置选取一个 14P 插座。插入 74LS00， R 取为 100Ω ，高电平输出时， R_w 取 $47k\Omega$ ，低电平输出时， R_w 取 $10k\Omega$ ，高电平测试时应测量空载到最小允许高电平 ($2.7V$) 之间的一系列点；低电平测试时应测量空载到最大允许低电平 ($0.4V$) 之间的一系列点。

(2) 测试 CMOS 电路 CC4001 的输出特性。测试时 R 取为 470Ω ， R_w 取 $4.7k\Omega$ 。

高电平测试时应测量从空载到输出电平降到 $4.6V$ 为止的一系列点；低电平测试时应测量从空载到输出电平升到 $0.4V$ 为止的一系列点。

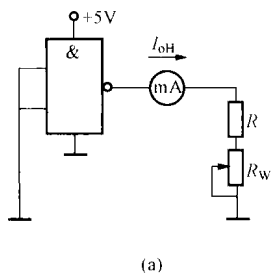
2. TTL 电路驱动 CMOS 电路

用 74LS00 的一个门来驱动 CC4001 的四个门，实验电路如图 3-1 所示， R 取 $3k\Omega$ 。测量连接 $3k\Omega$ 与不连接 $3k\Omega$ 电阻时 74LS00 的输出高低电平及 CC4001 的逻辑功能。测试逻辑功能时，可用实验装置上的逻辑笔进行测试，逻辑笔的电源 $+U_{CC}$ 接 $+5V$ ，其输入口 1NPVT 通过一根导线接至所需的测试点。

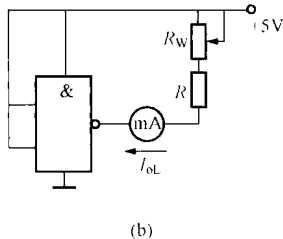
3. CMOS 电路驱动 TTL 电路

该电路如图 3-4 所示，被驱动电路用 74LS00 的八个门并联。

电路的输入端接逻辑开关输出插口，八个输出端分别接逻辑电平显示的输入插口。先用 CC4001 的一个门来驱动，观测 CC4001 的输出电平和 74LS00 的逻辑功能。



(a)



(b)

图 3-3 与非门电路输出特性测试电路

(a) 高电平输出; (b) 低电平输出

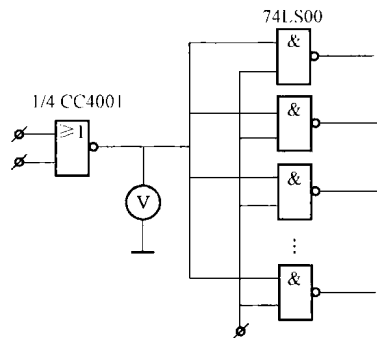


图 3-4 CMOS 驱动 TTL 电路