

普通高等教育“十一五”国家级规划教材



IA-32 计算机技术

潘焕成 聂丽文 主编



高等教育出版社

普通高等教育“十一五”国家级规划教材

IA-32 计算机技术

潘焕成 聂丽文 主编

高等教育出版社

内容提要

本书是普通高等教育“十一五”国家级规划教材。

本书系统地介绍 Intel 结构 32 位(简称 IA-32)计算机的结构、组织与 MASM 6.1x 汇编语言,并按其体系结构组织全书内容。本书的内容主要包括:IA-32 计算机总体结构,IA-32 CPU 结构,P6 微结构和 NetBurst 微结构,存储器,PCI 和 PCI Express 总线,I/O 技术,VGA/SVGA 显示系统,硬盘、CD-ROM、键盘、鼠标、软磁盘、打印机及其接口,RS-232C 接口,定时器、实时钟模块。本书强调理论与工程实际相结合,突出应用性,注重技术内容的新颖性。

本书配有大量的习题、例题及实验,所有程序均在实际的 IA-32 计算机上调试通过。本书可作为应用性、技能型人才培养的各类教育相关专业的教学用书,也可供各类培训机构、计算机从业人员和爱好者参考使用。

图书在版编目(CIP)数据

IA-32 计算机技术/潘焕成,聂丽文主编. —北京:
高等教育出版社, 2009.7

ISBN 978-7-04-027301-4

I. I… II. ①潘…②聂… III. 微型计算机-高等
学校-教材 IV. TP36

中国版本图书馆 CIP 数据核字(2009)第 084802 号

策划编辑	赵萍	责任编辑	萧潇	封面设计	于涛	责任绘图	宗小梅
版式设计	范晓红	责任校对	刘莉	责任印制	尤静		

出版发行 高等教育出版社
社 址 北京市西城区德外大街 4 号
邮政编码 100120
总 机 010-58581000

经 销 蓝色畅想图书发行有限公司。
印 刷 北京四季青印刷厂

开 本 787×1092 1/16
印 张 25.75
字 数 630 000

购书热线 010-58581118
免费咨询 800-810-0598
网 址 <http://www.hep.edu.cn>
<http://www.hep.com.cn>
网上订购 <http://www.landaco.com>
<http://www.landaco.com.cn>
畅想教育 <http://www.widedu.com>

版 次 2009 年 7 月第 1 版
印 次 2009 年 7 月第 1 次印刷
定 价 30.20 元

本书如有缺页、倒页、脱页等质量问题,请到所购图书销售部门联系调换。

版权所有 侵权必究

物料号 27301-00

前言

1. 关于 IA-32 计算机

IA-32 计算机即 Intel 结构 32 位计算机。从技术上说,IA-32 计算机是指 Intel 公司设计制造的 CPU 和芯片组,以及相关公司为之配套的硬件。在工程上,IA-32 计算机是指符合 Intel 和 Microsoft 共同制定的 PC xxxx 技术规范的台式机,同时也可以指服务器和工作站。

IA-32 这个名称,首次使用于 1995 年 P6 系列第一个 CPU(Pentium Pro)推出的时候。此前,从 1978 年 8086 CPU 推出直到 Pentium CPU,一直使用 x86 结构这个名称。虽然,IA-32 这个名称从 P6 系列 CPU 才开始使用,但从技术上说,其历史可以追溯到 80386 CPU。因此,在本书中使用 IA-32 CPU 特指自 80386 CPU 以来的 32 位 CPU(包括基于 P6 核心、NetBurst 核心、Core 核心的各种类型 CPU),使用 16 位 CPU 特指自 8086 CPU 以来的 16 位 CPU。

2. 本书的编写思路

一直以来,计算机原理方面的教学存在着内容落后于工程实际、不易理解、可实践性差等现象,为改变这种情况,本书的编写思路如下:

一是技术内容紧跟 Intel 公司 32 位计算机主流技术,因而可以保证其技术内容的新颖性。二是教材内容主要定位在结构层次上,组织层次上的内容以够用为度,因而可以保证较好的工程适用性。三是采用不同于传统的章节编排体系,即从总体结构开始,逐步扩展到各个部件结构,因而可以保证较好的可理解性。四是把 IA-32 计算机结构与 MASM 6.1x 可视化汇编语言有机地组合到一起,因而可以保证较好的可实践性。

3. 本书的内容组织

本书的编写目的在于,从结构和组织两个层次上来描述 IA-32 计算机,并以结构为主。

结构和组织相辅相成,共融于计算机硬件技术之中。所谓结构是指由汇编语言程序员所能够看得到的系统属性,诸如指令系统,指令系统所支持的数据类型,寄存器结构,存储器访问技术和 I/O 技术。所谓组织是指结构的硬件实现细节,诸如 CPU、存储器、芯片组和 I/O 模块等超大规模集成电路的功能实现,引脚信号和互连技术。总之,结构表现为计算机硬件的功能层次,组织表现为计算机硬件功能的实现层次;结构为汇编语言程序员可见,而组织则不可见。

虽然本书的主要内容将集中在结构层次上,但是对于组织层次上的内容,也不是完全不涉及,而是根据需要适当涉及。之所以这样处理,是因为对 IA-32 计算机硬件的应用者来说,不管是电路工作者,还是 BIOS 程序工作者,最关心的还是 IA-32 计算机硬件能提供哪些电路功能,而对于具体的内部实现则不必关心,因为内部的设计制造是 Intel 及相关公司的任务,不是

应用者的任务。

本书各章节具体的内容安排,以反映 IA-32 计算机的最新技术为原则。这样,可以使得本书的内容与实际机器的技术相一致,从而真正地体现出本书应用性强的特征。

4. 使用黑箱方法简化内容

使用黑箱方法来处理与 IA-32 计算机硬件有关的技术内容,即把 IA-32 计算机中的各个电路模块(如 CPU、存储器、I/O 接口、芯片组)看成一个黑箱,仅描述其外部电路功能,而对其内部实现则根据需要尽量不涉及或较少涉及,以够用为度。本书的内容经过这样的处理之后,就更加显现出其应用性强的特征,不仅适用于计算机专业的读者学习计算机原理时使用,同时也适用于非计算机专业的读者学习计算机原理时使用。

5. 按自顶向下原则安排章节结构

本书的章节结构安排,打破了传统的以各部件相互独立为基础的体系,先给出 IA-32 计算机的总体结构,然后逐个部件地介绍其结构。具体地说,就是首先给出以 Intel 公司 8xx 和 9xx 系列芯片组所支持的 IA-32 计算机的总体结构,然后以其层次式的总体结构为基础,采用自顶向下的方法,从最上层的 CPU 开始,逐层地安排章节。

这样的章节结构安排,不仅直接地与 IA-32 计算机的实际结构相一致,而且特别有利于读者建立整机概念,也是本书应用性强的体现之一。

6. 使用汇编语言观察硬件动作行为

随着集成电路制造技术水平的不断提高,IA-32 计算机中所使用的超大规模集成电路的集成度越来越高,因而再想用电路实验这种传统的方法来观察硬件的动作行为已不可能。因此,使用汇编语言观察 IA-32 计算机硬件结构层次上的动作行为,就成了切合实际的选择。这就是编者把 MASM 6.1x 汇编语言合并到本书中来的原因。

由于本书把 MASM 6.1x 汇编语言定位于观察硬件动作行为的工具,即 BIOS 开发工具,而不是应用软件开发工具,所以本书中的汇编语言程序实例都是紧贴硬件的,即用汇编语言控制硬件工作。这就是为什么在本书中看不到用汇编语言实现复杂算法的程序实例的原因。因此,从硬件与汇编语言结合的角度学习计算机结构,无疑为广大初学者提供了一种切实可行的方法。

除了考虑到硬件与软件结合之外,本书之所以把运行在实地址模式下的 MASM 6.1x 汇编语言作为观察硬件动作行为的工具,还有另外一条更重要的原因,就是当加电启动之后,IA-32 CPU 首先进入实地址模式执行 BIOS 程序。

MASM 6.1x 汇编语言除了可以作为观察硬件动作行为的工具,同时也是进一步学习 Windows 环境下 32 位汇编语言程序设计、C/C++ 环境下内嵌式汇编语言程序设计、驱动程序设计、BIOS 开发、主板调试的基础。

7. 参考学时分配表

本课程是计算机相关专业的专业基础课,在第 3 学期完成,前导课为“数字和模拟电子技术”,后继课为“汇编语言程序设计”、“计算机接口技术”。本课程参考学时分配表如下:

序号	授 课 内 容	学 时 分 配		序号	授 课 内 容	学 时 分 配	
		讲 课	实 践			讲 课	实 践
1	IA-32 计算机总体结构	1	1	9	I/O 技术	2	2
2	MASM 6.1x 汇编语言基础	1	2	10	VGA/SVGA 显示系统	1	2
3	IA-32 CPU 结构	3	6	11	硬磁盘、CD-ROM 及其接口技术	1	1
4	指令系统	4	10	12	LPC 总线、超级 I/O 与低速 I/O 设备	2	2
5	IA-32 CPU 的控制器功能	4	6	13	定时器及其控制操作	1	2
6	IA-32 CPU 微结构	2	0	14	实时钟模块及其访问操作	1	2
7	存储器技术	1	1	15	USB 和 IEEE 1394 接口技术	1	0
8	总线技术	1	1	总 计		26	38

8. 其他

由于汇编语言是大小写不敏感的,所以本书中对指令和代码的大小写也不作严格区分,读者可根据实际情况选择使用。另外,本书所涉及电路图及信号,均采用 Intel 公司的表示方法。

全书共有 16 章。潘焕成、聂丽文负责组织本书的编写,设计编写大纲。潘焕成编写了第 2、3、4、6 章,王晓春编写了第 7、9、10、11 章,孙宏伟编写了第 1、5 章,聂丽文编写了本书的其他部分。全书由潘焕成、聂丽文统稿。

上海第二工业大学的丁新民教授审阅了书稿,并提出了宝贵的修改意见,在此深表谢意。

综观当今的台式机、便携机、服务器和工作站领域,IA-32 计算机的市场占有率是如此之高,影响是如此之大,以至于没有理由不选用它作为教学对象。然而,符合理论紧密联系实际要求的关于 IA-32 计算机的教材却难以寻觅。因此,编者感到十分有必要写作此书。事实上,是一种不可推卸的使命感一直在激励着编者写作此书。

但是,写作此书确实是一项颇具挑战性的工作,因为 IA-32 计算机所使用的主要技术都很新,故参考资料比较缺乏。由于编者水平有限,加之时间仓促,书中难免存在不足甚至疏漏,恳请读者多提改进意见,编者将不胜感激。编者联系方式为 nieliwen@oa.szpt.net。

编者

2009 年 5 月

目 录

第 1 章 绪论	1	4.1 IA-32 CPU 的工作模式	42
本章导读	1	4.1.1 实地址模式	42
1.1 冯·诺依曼计算机的基本 概念和结构	1	4.1.2 保护模式	43
1.2 IA-32 计算机的技术概况	4	4.1.3 系统管理模式	43
1.2.1 计算机发展简史	4	4.2 IA-32 CPU 的程序设计模型 及其操作实例	43
1.2.2 IA-32 CPU 的 技术概况	4	4.2.1 IA-32 CPU 的程序 设计模型概述	43
1.3 系列化的 IA-32 计算机	10	4.2.2 通用寄存器	44
习题一	11	4.2.3 指令指针寄存器	47
第 2 章 IA-32 计算机总体结构	13	4.2.4 标志寄存器	48
本章导读	13	4.2.5 段寄存器	50
2.1 IA-32 计算机概述	13	4.3 实地址模式存储器寻址	51
2.2 IA-32 计算机中的 互连技术	14	4.3.1 实地址模式存储器 寻址概述	51
2.2.1 计算机模块的功能及其 所使用的信号	14	4.3.2 实地址模式存储器 组织	51
2.2.2 总线与芯片组技术	17	4.3.3 内存的分段管理 技术	52
2.3 多级总线、芯片组与 IA-32 计算机的总体结构	19	4.3.4 逻辑地址与物理 地址	53
2.4 芯片组及其主要技术特征	23	4.3.5 段加偏移寻址机制支持 重定位功能的实现	55
习题二	27	4.3.6 段和偏移寄存器之间 的隐含关系	55
第 3 章 MASM 6.1x 汇编语言基础	30	4.4 堆栈及其操作实例	57
本章导读	30	4.4.1 堆栈概述	57
3.1 MASM 6.1x 汇编语言概述	30	4.4.2 硬件堆栈	58
3.2 汇编语言源程序的结构 及编程实例	31	4.4.3 软件堆栈	59
3.3 伪指令及编程实例	33	4.5 I/O 接口的组织	63
习题三	40	4.5.1 I/O 接口概述	63
第 4 章 IA-32 CPU 结构	42		
本章导读	42		

4.5.2 IA-32 计算机中的 I/O 地址空间	63	6.1 IA-32 CPU 组织层次 上的控制器功能	123
习题四	64	6.1.1 指令周期与三级时序 系统	123
第 5 章 指令系统	67	6.1.2 IA-32 CPU 的指令 执行模型	126
本章导读	67	6.1.3 典型机器周期的 执行过程	127
5.1 指令系统的基本概念	67	6.1.4 典型指令周期所包含 的机器周期	129
5.1.1 指令系统概述	67	6.2 指令的执行控制	130
5.1.2 指令格式	68	6.2.1 指令的寻址方式	130
5.1.3 指令的操作码字段	69	6.2.2 指令的顺序执行 及其控制实例	131
5.1.4 指令的地址码字段	70	6.2.3 指令的分支执行及其 控制实例	133
5.1.5 指令长度	71	6.2.4 指令的循环执行及其 控制实例	139
5.2 指令中的数据表示	71	6.2.5 过程调用及其 控制实例	143
5.2.1 数据类型	71	习题六	154
5.2.2 补码	72	第 7 章 IA-32 CPU 微结构	158
5.2.3 字节数据	73	本章导读	158
5.2.4 字数据	73	7.1 RISC 技术与 CISC 技术	158
5.2.5 双字数据	74	7.1.1 RISC 技术与 CISC 技术概述	158
5.2.6 实数	75	7.1.2 RISC 的特点	159
5.2.7 字符数据	77	7.2 流水线技术	160
5.2.8 BCD 数据	78	7.2.1 产生流水线技术 的背景	160
5.3 IA-32 CPU 的操作数 寻址方式	79	7.2.2 指令流水线的 工作原理	161
5.3.1 操作数寻址方式 概述	79	7.2.3 影响指令流水线执行 效率的若干问题	161
5.3.2 立即数寻址	80	7.2.4 动态执行技术	163
5.3.3 寄存器寻址	80	7.3 P6 和 NetBurst 微结构中的 指令流水线结构	164
5.3.4 存储器寻址	81	7.4 超标量技术	166
5.4 IA-32 CPU 指令系统	86	7.5 超线程技术	166
5.4.1 IA-32 CPU 指令系统 概述	86		
5.4.2 数据传送类指令及其 编程实例	87		
5.4.3 跨段前缀	96		
5.4.4 算术与逻辑运算类指令 及其编程实例	96		
5.4.5 处理机控制类指令	116		
习题五	116		
第 6 章 IA-32 CPU 的控制器功能	123		
本章导读	123		

7.6 多核技术	168	9.1.3 16 位 ISA 总线上的 保留功能	191
习题七	169	9.2 PCI 总线	193
第 8 章 存储器技术	171	9.2.1 PCI 总线概述	193
本章导读	171	9.2.2 PCI 总线的中断 功能	195
8.1 存储系统结构	171	9.2.3 PCI 总线的 DMA 功能	195
8.2 常用的主存储器性能指标	172	9.2.4 PCI 总线的配置 地址空间	196
8.3 非易失性存储器	173	9.2.5 PCI 总线的 BIOS 及其 应用实例	198
8.3.1 非易失性存储器 概述	173	9.3 PCI Express 总线	202
8.3.2 闪存存储器的基本 概念	174	9.3.1 PCI Express 总线 概述	202
8.3.3 FWH 的功能及 应用	174	9.3.2 PCI Express 总线 结构	203
8.3.4 FWH 的接口技术	175	习题九	205
8.4 DRAM 存储器	175	第 10 章 I/O 技术	206
8.4.1 DRAM 存储器的基本 概念	175	本章导读	206
8.4.2 DDR/DDR2 SDRAM 存储器件	176	10.1 I/O 技术概述	206
8.4.3 DDR/DDR2 SDRAM 存储模块	180	10.1.1 I/O 模块的基本 概念	206
8.4.4 DDR/DDR2 SDRAM 存储模块与存储器 控制器之间的接口	183	10.1.2 I/O 模块的内部电路 结构	207
8.5 Cache	183	10.1.3 程序查询、程序中断、 DMA 三种 I/O 技术 的比较	208
8.5.1 Cache 的基本概念	183	10.2 程序中断 I/O 技术	208
8.5.2 IA-32 CPU 中的 Cache 结构	184	10.2.1 中断的基本概念	208
8.5.3 Cache 的地址映像	184	10.2.2 中断的分类	209
8.5.4 相联存储器及其在 Cache 中的应用	186	10.2.3 向量中断	211
8.5.5 Cache 的读/写 操作	186	10.2.4 软件中断指令	215
习题八	187	10.2.5 BIOS 功能调用和 DOS 功能调用及其 应用实例	215
第 9 章 总线技术	189	10.2.6 可编程中断控制器 8259A 及其应用 实例	217
本章导读	189		
9.1 ISA 总线	189		
9.1.1 8 位 ISA 总线	189		
9.1.2 16 位 ISA 总线	191		

10.2.7 ISA 总线和 PCI 总线 上的中断	223	显示总线	243
10.3 DMA I/O 技术	224	11.6.1 存储器与 MCH/GMCH 对显示控制器的 支持功能	243
10.3.1 DMA 的基本概念 ..	224	11.6.2 显示总线	243
10.3.2 ISA 总线和 PCI 总线上 的 DMA 功能	225	习题十一	245
习题十	225	第 12 章 硬磁盘、CD-ROM 及其 接口技术	247
第 11 章 VGA/SVGA 显示系统	227	本章导读	247
本章导读	227	12.1 硬磁盘	247
11.1 应用实例——汇编 语言控制 VGA/SVGA 显示系统工作	227	12.1.1 硬磁盘概述	247
11.1.1 视频 BIOS 功能 服务	227	12.1.2 硬磁盘驱动器的 组成与分类	248
11.1.2 字符工作方式	228	12.1.3 硬磁盘驱动器的 工作原理	249
11.1.3 图形工作方式	230	12.1.4 硬磁盘驱动器 的格式化	250
11.2 VGA/SVGA 显示 系统概述	234	12.1.5 硬磁盘驱动器的主要 技术指标	250
11.3 VGA/SVGA 显示 系统结构	235	12.1.6 硬磁盘及其接口	251
11.4 监视器	236	12.2 CD-ROM 驱动器	252
11.4.1 监视器的成像 原理	236	12.2.1 CD-ROM 概述	252
11.4.2 CRT 监视器的性能 指标	238	12.2.2 CD-ROM 结构与 工作原理	253
11.4.3 LCD 监视器的性能 指标	239	12.2.3 CD-ROM 接口	254
11.4.4 监视器的接口 形式	240	12.3 IDE 接口技术	254
11.4.5 DDC1/DDC2B 功能	240	12.4 SCSI 接口技术	255
11.5 显示控制器的结构	241	12.4.1 SCSI 接口概述	255
11.5.1 图形媒体加速器 的结构	241	12.4.2 SCSI 接口的分类 ..	256
11.5.2 显示 BIOS	242	12.4.3 SCSI 接口与 IDE 接口 的比较	257
11.5.3 局部存储器	242	12.5 RAID 与 SAN 技术	257
11.5.4 显示控制器与监视器 之间的接口	242	12.5.1 RAID 技术	258
11.6 存储器、MCH/GMCH、 显示总线	243	12.5.2 SAN 技术	258
		12.6 SATA 技术	258
		习题十二	259
		第 13 章 LPC 总线、超级 I/O 与 低速 I/O 设备	261
		本章导读	261

13.1	LPC 总线和超级 I/O 电路	261	接口电路	277	
13.1.1	LPC 总线	261	13.6.4	RS-232C 接口的应用	278
13.1.2	超级 I/O 电路	263	13.6.5	应用实例——汇编语言程序控制 UART 工作	279
13.1.3	电源管理功能	264	习题十三	295	
13.2	键盘及其接口技术	264	第 14 章 定时器及其控制操作	297	
13.2.1	应用实例——汇编语言程序控制键盘工作	264	本章导读	297	
13.2.2	键盘概述	268	14.1	应用实例——定时器模块中计数器 2 的应用	297
13.2.3	键盘的工作原理	268	14.2	定时器概述	298
13.2.4	键盘的接口技术	269	14.3	定时器模块的结构	299
13.3	鼠标及其接口技术	270	14.4	定时器模块的工作模式	300
13.3.1	应用实例——汇编语言程序控制鼠标工作	270	14.5	程序控制定时器模块工作	302
13.3.2	鼠标概述	271	14.5.1	定时器模块 8254 的程序设计模型	302
13.3.3	鼠标的工作原理	272	14.5.2	应用实例——定时器模块中计数器 0 的应用	306
13.3.4	鼠标的接口技术	272	习题十四	307	
13.4	打印机及其接口技术	273	第 15 章 实时钟模块及其访问操作	308	
13.4.1	打印机概述	273	本章导读	308	
13.4.2	打印机的结构与工作原理	273	15.1	应用实例——对 CMOS RAM 的访问操作	308
13.4.3	打印机的接口技术	274	15.2	RTC 模块的结构	311
13.5	软磁盘驱动器及其接口技术	275	15.3	硬件配置数据与 CMOS RAM 存储单元分配	312
13.5.1	软磁盘概述	275	习题十五	318	
13.5.2	软磁盘驱动器的结构与工作原理	275	第 16 章 USB 和 IEEE 1394 接口技术	320	
13.5.3	软磁盘驱动器及其接口技术	276	本章导读	320	
13.6	RS-232C 串行接口	276	16.1	USB 接口技术	320
13.6.1	RS-232C 串行接口概述	276	16.1.1	USB 接口概述	320
13.6.2	RS-232C 串行接口中的数据帧和波特率	277	16.1.2	USB 接口的系统	
13.6.3	RS-232C 串行				

结构	321	A. 6 实验 6——内存操作	354
16.1.3 USB 接口的		A. 7 实验 7——I/O 控制技术	
连接器	323	操作	357
16.1.4 USB 主机	324	A. 8 实验 8——AGP 显示系统	
16.1.5 USB 设备	326	操作	361
16.2 IEEE 1394 接口技术	327	A. 9 实验 9——键盘、鼠标	
习题十六	328	操作	362
附录 A 实验指导	330	A. 10 实验 10——RS-232C 接口	
A. 1 实验 1——MASM 6.11 的		操作	367
安装与设置	330	附录 B 标准 ASCII 码字符集	377
A. 2 实验 2——熟悉 MASM 6.11		附录 C 80x86 指令系统	378
汇编语言环境	333	C. 1 指令符号说明	378
A. 3 实验 3——认识 IA-32 CPU		C. 2 16 位/32 位 80x86	
结构	338	基本指令	378
A. 4 实验 4——认识 IA-32 CPU		C. 3 MMX 指令	385
指令系统	340	附录 D DOS 功能调用	386
A. 5 实验 5——认识汇编语言		附录 E BIOS 功能调用	393
程序结构	349	参考文献	398

第1章 绪论

本章导读

当今的 IA-32 计算机,虽然性能已变得十分高超,结构已变得十分复杂,但其理论基础依然是由冯·诺依曼在 1945 年提出的基本概念和结构。从计算机分类上说,IA-32 计算机属于微型计算机(以下简称微型机),是采用超大规模集成电路技术制造的第四代计算机。随着技术的不断进步,IA-32 计算机 CPU 的核心结构也在不断更新,早期使用 x86 结构,20 世纪 90 年代后期使用 P6 结构,2000 年开始使用 NetBurst 结构,2006 年开始使用 Core 结构。现在,把 x86 结构、P6 结构、NetBurst 结构、Core 结构统称为 IA-32 结构。为了方便用户根据各自不同的需要进行计算机的硬件设计和软件设计,IA-32 计算机采用了系列化的设计思想,即其功能配置普遍采用模块化的结构,这不仅有利于计算机的设计,也有利于计算机的应用设计和运行维护。

本章的目的在于为读者提供有关 IA-32 计算机的背景知识。通过本章的学习,读者应能够:

- 掌握冯·诺依曼计算机的基本概念和结构
- 了解 IA-32 计算机中各种 CPU 的技术概况
- 了解系列化的 IA-32 计算机的 6 个统一

1.1 冯·诺依曼计算机的基本概念和结构

冯·诺依曼是美籍匈牙利裔数学家。在 1943 年至 1946 年,建造世界上第一台数字电子计算机——电子数值积分器和计算机(electronic numerical integrator and computer, ENIAC)期间,他担任设计师和顾问。1945 年,他在为一种称为 EDVAC(electronic discrete variable automatic computer, 电子离散变量自动计算机)的新型计算机所提出的建议中,首次提出了存储程序(stored-program)的概念。该概念一直沿用至今,是包括 IA-32 计算机在内的各种计算机的理论基础。所以,人们把按该概念建造的计算机称为冯·诺依曼计算机(von Neumann machine)。

自从世界上第一台数字电子计算机 ENIAC 在 1946 年建成以来,尽管计算机的性能已达到了极高的水平,其结构也发生了许多演变,但冯·诺依曼计算机的核心概念,即存储程序的概念却一直被使用着。冯·诺依曼计算机的要点可总结为如下三点:使用二进制表示指令和数据;使用存储程序工作原理;计算机的硬件由运算器、控制器、存储器(memory,也称内存或

主存)、输入设备和输出设备等五大部件组成。

1. 使用二进制表示指令和数据

所谓二进制(binary),是采用“逢二进一”的计数规则,这其实和人们所熟悉的十进制是很类似的。

所谓指令(instruction),也称机器指令(machine instruction),它是控制计算机硬件进行工作的命令(command)。若干条相关指令可以组成在计算机上运行的程序(program)。指令也是计算机硬件唯一能够识别的语言。

所谓数据(data),指的是能够由计算机处理的数字、字母和符号等。

计算机是信息处理的工具。它不仅能识别指令,也能识别数据。对计算机硬件来说,指令和数据均是由二进制中的数字0和1组成的代码(code)表示。这就是说,计算机的硬件仅能识别由二进制中的0和1组成的代码,称为二进制代码。例如,二进制代码0000001011001111就表示IA-32计算机指令系统中的一条加法指令(ADD CL, BH)。该指令要求计算机的硬件把寄存器CL和BH的内容相加后,将结果存入CL中。由于计算机的硬件仅能识别二进制代码表示的指令和数据,所以这种二进制代码也称为机器语言(machine language)。

既然指令和数据均由二进制代码表示,二者又分别代表着完全不同的意义,而仅从形式上又看不出指令和数据有什么区别,那么计算机的硬件又如何区分它们呢?关于这个问题的答案,涉及计算机工作原理的重要内容,请参考第6章。

人们在日常的学习、工作和生活中习惯于使用十进制数,而计算机则使用人们不熟悉的二进制数。为什么要这样呢?原来,二进制的每一个数位使用仅有两种稳定状态的电路即可表示,而十进制则需要具有10种稳定状态的电路才可表示。显然,使用二进制在电路实现上比使用十进制简单多了。这就是计算机使用二进制的原因。

二进制系统中的数字0和1只是逻辑上的概念,并不是实际的物理信号。因此,二进制系统中的数字0和1也可称为逻辑0和逻辑1。在计算机的电路中,能够代表数字0和1的物理信号是电平的高低。以使用+5V直流电源的逻辑电路为例,通常规定,+3V以上的电平称为高电平,+0.8V以下的电平称为低电平。在正逻辑的情况下,规定高电平代表1,低电平代表0;而在负逻辑的情况下,则与之相反。

当计算机加电启动之后,其电路中就会流动着能够代表数字0和1的电信号,称为数字信号(digital signal)或脉冲信号(pulse signal)。这种信号具有时间离散(time discrete)和幅度离散(amplitude discrete)的特性。如果使用示波器来观察,可以看到数字信号有如图1.1所示的波形(假定使用正逻辑)。

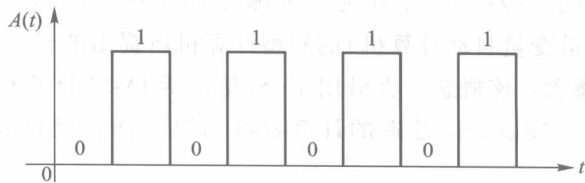


图1.1 数字信号的波形

2. 使用存储程序工作原理

要想让计算机工作,必须启动并运行相应的程序才行。经过分析,可以得到存储程序工作

原理的如下要点:程序设计,把程序置入内存,从内存中取指令并执行。

所谓程序,指的是为求解某一问题而设计的一系列指令。人们在用计算机求解问题之前,先要对要求解的问题进行一番分析,在此基础上设计出程序的方案,然后根据方案设计出符合要求的程序。通常,程序中包含有两部分信息,即数学模型和求解步骤。

数学模型是欲求解问题的数学抽象。不管这种数学抽象是用解析方法得到,还是用实验方法得到,其结果都必须用计算机程序来实现。求解步骤规定了计算机解决问题的过程,它告诉计算机先做什么,后做什么,每一步都由指令清楚地规定好。这样,计算机就可以有条不紊地完成人们所要求的工作。

程序设计好之后,按要求应该输入到内存中,供 CPU (central processing unit, 中央处理器) 读取并执行。由于存储器具有记忆的能力,所以计算机在执行程序的过程中不会发生混乱,可以保证执行过程正确。

当我们在计算机上启动并运行某个程序之后,计算机会自动地、连续不断地从存储器中取出指令并执行。

3. 计算机硬件的结构

如前所述,冯·诺依曼计算机的硬件结构由运算器、存储器、输入设备、输出设备和控制器等五大部件组成,其结构如图 1.2 所示。

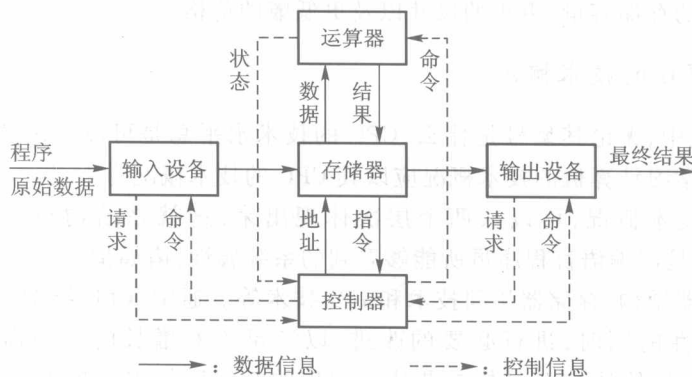


图 1.2 冯·诺依曼计算机硬件结构

运算器的主要功能是从存储器中取出原始数据,进行加、减、乘、除等算术运算和非、与、或、异或以及移位等逻辑运算,并把结果送回存储器。注意,运算器所进行的运算,无论是算术运算,还是逻辑运算,使用的均是二进制代码。

存储器的主要功能是存放程序和数据,此处的数据包含原始数据和运算结果。现代的计算机中,当程序和数据在存储器中存放时,采用分区存放的方法,即程序区和数据区通常是分开的,不能混在一起。

输入设备的主要功能是把程序和原始数据输入到存储器中存储起来,供计算机调用。

输出设备的主要功能是把存放在存储器中的结果输出到计算机外部,供人们使用。

控制器是计算机系统的控制中心。它从存储器中读取指令,并对指令进行分析,即译码 (decode),然后转换为控制信号,去控制运算器、存储器、输入设备和输出设备工作。输入设备和输出设备也经常合称为 I/O (Input/Output) 设备或外围设备 (peripherals)。

在微型计算机 (microcomputer) 领域内,把运算器和控制器制造在一块硅片上,称为微处理

器(microprocessor)。通常,微型计算机以微处理器为核心,再加上内存和 I/O 设备组成。

通常,把运算器和控制器合称为中央处理器,因此微处理器也称为 CPU。

1.2 IA-32 计算机的技术概况

1.2.1 计算机发展简史

自从世界上第一台数字电子计算机在 1946 年诞生以来,现在已发展到第四代。通常以所采用的基本硬件技术来划分计算机发展的不同阶段,具体地说,就是计算机发展的不同阶段,所采用的电路器件是不同的。第一代计算机使用的电路器件是电子管或真空管。第二代计算机使用的电路器件是晶体管(transistor)。第三代计算机使用的电路器件是小规模集成(small scale integrated, SSI)电路和中规模集成(middle scale integrated, MSI)电路。第四代计算机使用的电路器件是大规模集成(large scale integrated, LSI)电路和超大规模集成(very LSI, VLSI)电路。包括 IA-32 计算机在内的微型计算机都属于第四代计算机。

计算机技术和世界上的一切事物一样,绝不会停留在一个水平上,总是要不断进步的,而且进步的速度十分惊人。计算机技术进步的特征可概括为:新一代的计算机都比旧一代具有更快的速度、更大的存储容量、更小的尺寸以及更低廉的价格。

1.2.2 IA-32 CPU 的技术概况

在计算机系统中,无论其型号是什么, CPU 的技术水平总是可以代表整个计算机系统的技术水平。因此,学习计算机的技术概况应以其 CPU 的技术概况为主线。

关于 CPU 的技术概况,可以从两个层次体现出来,这就是结构与微结构。CPU 结构(architecture)指的是汇编语言程序员所能够看到的系统属性,诸如指令系统、指令系统所支持的数据类型、寄存器结构、存储器访问技术和 I/O 技术等。通常, CPU 结构会随着技术的不断进步,在保持兼容性的同时,进行必要的改进,以满足不断增长的应用需求。CPU 微结构(micro architecture)指的是 CPU 结构在芯片上实现的时候所使用的技术,即通常所说的组织层次。为了保证能不断地推出新的 CPU 结构,在经过一定的时间间隔之后,总是有相应的新一代 CPU 微结构推出。在工程上,常常把 CPU 的微结构称为 CPU 的核心(core)。关于 IA-32 CPU 的微结构,请参考第 7 章。

本书中 IA-32 CPU 特指自 80386 CPU 以来的 32 位 CPU。其发展过程可分为两个阶段: x86 结构 CPU 时代和 IA-32 CPU 时代。

1. 16 位 x86 结构 CPU

x86 结构 CPU 中的第一个机种是 8086,它于 1978 年推出,以 8 MHz 的时钟频率(即 CPU 主频)工作,字长为 16 位,外部数据总线宽度也为 16 位,地址总线宽度为 20 位,可寻址 1 MB 的物理存储器地址空间。在微型机中,8086 是第一个引入内存分段管理技术的 CPU,其内部设置有 CS、SS、DS、ES 段地址寄存器。因此,虽然其内部的寄存器都是 16 位的,但它却可以管理 20 位的物理存储器地址空间。8088 是 8086 向低端发展的一个变种,除外部数据总线宽度改为 8 位外,其他与 8086 无甚区别。在 8086/8088 这个硬件平台上,仅能运行 DOS 操作系统。

几乎在 8086/8088 推出的同时,其改进型 80186/80188 也被推出。

1982 年,8086 的后继产品 80286 推出,主频为 12.5 MHz,地址总线宽度为 24 位,因而其对物理存储器的寻址范围扩展到了 16 MB。80286 比 8086 显著的改进之处在于,引进了保护模式(protected mode),即把 8086 的内存分段管理技术改进成了支持多任务的工作方式。同时,把从 8086 继承来的工作模式称为实地址模式(real address mode)。在 80286 这个硬件平台上,能够运行得好的操作系统依然是 DOS。虽然 Windows 3.0 也能够运行在 80286 这个硬件平台上,但效果并不理想。

8086/8088、80186/80188 和 80286 均属于 16 位 x86 结构 CPU。

2. 80386 CPU

x86 结构 CPU 中的第一个 32 位机种 80386 DX 于 1985 年推出,主频为 20 MHz,地址总线宽度扩展为 32 位,因而其对物理存储器的寻址范围扩展到了 4 GB。同时,其字长和外部数据总线宽度也扩展到了 32 位(称为双字,以下与此相同)。与 x86 结构中先前的 16 位机种相比,性能提高极大,可与传统的小型计算机和大型计算机(以下简称小型机和大型机)相比拟。

80386 除了继续保留实地址模式和保护模式之外,又新增了虚拟 8086 模式,此种工作模式会极大地提高基于 8086 的应用程序的执行效率。

80386 的保护模式是真正意义上的多任务工作模式,它不仅支持分段存储器管理技术,也支持分页(每页 4 KB)存储器管理技术。

此外,为了支持高性能的工业控制应用,80386 还引入了线性(flat)存储器管理技术。在线性方式下,允许既不分段也不分页,即逻辑地址等同于物理地址。

在 80386 这个硬件平台上,不仅能很好地运行 DOS 操作系统,而且也能运行 Windows 3.x 操作系统。不过对于最新的 Windows 操作系统来说,虽然在 80386 上也能运行,但速度通常很慢。

3. 80486 CPU

80386 的后继产品 80486 DX 于 1989 年推出,主频为 25 MHz。在 80486 中,除了继承 80386 已经应用的技术(即地址总线宽度为 32 位,可寻址 4 GB 物理存储器,字长和外部数据总线宽度为 32 位)之外,还首次在属于复杂指令集计算机(complex instruction set computer, CISC)技术的机器上应用了精简指令集计算机(reduced instruction set computer, RISC)技术、指令流水线(pipeline)技术和高速缓存(cache)技术等,这就使得基本指令能在一个机器周期(时钟周期)内完成执行。由于采用了 RISC 技术,有可能使得组成指令周期的机器周期变得很规整,这就为微程序控制转变到布线逻辑直接控制创造了条件。

80486 的推出在计算机技术发展史上具有特别重要的意义,因为它首次把本来各自独立发展的 CISC 技术和 RISC 技术融合到了一起。这是以 RISC 技术为基础,支持 Intel 经典的 CISC 型指令。其做法是通过把 CISC 指令分解为几个不同的 RISC 指令,在并行执行的流水线上运行,巧妙地解决了 CISC 型指令不能在 RISC 型的流水线上执行的问题,从而极大地提高了 CPU 的性能。因此,这可以被认为是 CISC 技术和 RISC 技术结合的首次尝试。

80486 内部设置有一条 5 级流水线,即允许 5 条指令并行处理。也就是说,80486 可以在一个机器周期内处理 1 条指令,大大加速了指令的处理速度。

80486 不仅内置有 8 KB 的片上一级 Cache,而且还内置了二级 Cache 控制器,Cache 的命中率可达 90% 以上,这是把解决 CPU 和内存之间速度匹配瓶颈问题的技术引入 x86 结构 CPU 中的尝试。不仅如此,80486 还首次支持突发式(burst)访问内存技术,这使得 CPU 访问内存