 电子信息与电气学科规划教材

# 现代SoC设计技术

柴远波 张兴明 主编



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY <http://www.phei.com.cn>

电子信息与电气学科规划教材

# 现代 SoC 设计技术

柴远波 张兴明 主 编

张效军 杭德全 宋 克  
张丽 吕平 张帆 杨镇西 编 著

電子工業出版社

Publishing House of Electronics Industry

北京·BEIJING

## 内 容 简 介

本书力图对现代 SoC 设计技术的各个方面进行清晰而准确的介绍, 主要描述 SoC 基本概念、系统设计方法, 不涉及具体技术细节, 强调 IP 的重要性, 从而为需要了解该技术的读者提供最大的帮助。全书分为 7 章: 第 1 章为 SoC 设计概论, 包括 SoC 的基本概念、SoC 目前的现状和发展机遇、SoC 设计技术的发展趋势及存在的问题等内容。第 2 章为 SoC 前端设计与后端实现, 主要内容包括芯片设计基础、前端设计技术、后端实现技术以及主要 EDA 公司的设计示例。第 3 章为可测性设计技术, 主要内容有 IC 可测性设计基本概念和主要技术、SoC 可测性设计技术等。第 4 章为 SoC 软/硬件协同设计技术, 主要内容包括软/硬件设计的基本概念、SystemC 系统级建模语言、软/硬件协同验证技术。第 5 章为 SoC 验证技术, 主要内容有 SoC 验证的相关概念、验证方法和主要的验证技术、验证语言和 SoC 验证技术的发展方向。第 6 章为 SoC 低功耗技术, 主要内容有低功耗设计概述、功耗组成分析、常用低功耗设计方法以及简单介绍低功耗设计工具。第 7 章为 IP 复用设计技术, 主要涉及 SoC 设计方法和 IP 复用技术、可重用软 IP 和硬 IP 的设计方法、软 IP 设计应遵循的基本原则以及硬 IP 设计等内容。

本书内容涉及许多 SoC 设计技术应用方面的知识, 可供从事集成电路领域研究的技术人员、SoC 设计的架构设计师、电路设计师和程序设计师阅读; 同样也可作为微电子、电子电路、通信、计算机专业的大学生、研究生的教材和教学参考书。

未经许可, 不得以任何方式复制或抄袭本书之部分或全部内容。  
版权所有, 侵权必究。

### 图书在版编目(CIP)数据

现代 SoC 设计技术/柴远波, 张兴明主编. —北京: 电子工业出版社, 2009.11  
电子信息与电气学科规划教材  
ISBN 978-7-121-09748-5

I. 现… II. ①柴…张②… III. 集成电路—芯片—设计—高等学校—教材 IV. TN402

中国版本图书馆 CIP 数据核字 (2009) 第 192499 号

策划编辑: 竺南直

责任编辑: 张帆

印刷: 北京市海淀区四季青印刷厂

装订: 涿州市桃园装订有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开本: 787×1092 1/16 印张: 15 字数: 384 千字

印次: 2009 年 11 月第 1 次印刷

印数: 4 000 册 定价: 28.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 [zltz@phei.com.cn](mailto:zltz@phei.com.cn), 盗版侵权举报请发邮件至 [dbqq@phei.com.cn](mailto:dbqq@phei.com.cn)。

服务热线: (010) 88258888。

# 序

当今，信息资源已经成为人类社会发展中与物质和能量同等重要的资源。信息资源的爆炸性增长趋势对电子信息系统在信息存储和处理能力方面的要求也日新月异。如今的半导体制造工艺已进入深亚微米时代，在仅仅几平方毫米面积的芯片上就可以集成几亿乃至几十亿个纳米级的晶体管，更为欣喜的是，与集成度的指数级增长相对应的商品化芯片的价格增长只是算术级的变化，且可靠性几乎并未因规模的极度扩张而变得令人不可接受。这种突破传统观念的状况，大概远远超出了结型晶体管的发明者 William Shockly 和集成电路的发明者 Jack Kilby 数十年前的预期，即使几十年前预言出摩尔定律 (Moore's Law) 的 Gordon Moore，恐也难以想象今后单个芯片究竟能创造出什么样的奇迹来。我们可以毫不夸张地说，现代任何电子信息系统已经离不开各种集成电路芯片的支撑。同理，任何现代电子信息系统的设计也已离不开“片上系统”——SoC (System on Chip) 工具的支持。

当前，我国在集成电路和 SoC 设计教学方面的教材和参考书籍的数量不可谓不多，绝大多数是针对专业人才培养引进或编撰的高级教材，普遍的情形是与具体工具软件的使用强相关。尚未见从电子信息领域的普及知识角度出发，推出的基于 SoC 基本概念和基本设计步骤的基础教材和参考书籍，这不能不说是件憾事。

国家数字交换系统工程技术研究中心 (NDSC) 近年来一直在追踪研究 SoC 设计技术。作者都是多年从事一线研发和教学的专家，所编著的《现代 SoC 设计技术》是在搜集和消化大量国内外资料的基础上，结合其在电子信息系统领域的研发实践和教学经验，较为全面而深入浅出地介绍了现代 SoC 设计技术的基本知识。其目的是试图用 20~30 学时的授课和实验，使初次涉足电子信息领域的学生和爱好者能较快地掌握 SoC 的基础知识，并形成必要的工程概念和使用感受。

为此，我愿意将《现代 SoC 设计技术》一书隆重推荐给感兴趣的读者们。

中国工程院院士 郭兴  
解放军信息工程大学校长  
2009年9月7日于郑州

# 前 言

集成电路是支撑信息技术应用的基石。随着信息技术应用的网络化、智能化和个性化发展,人们对信息系统的设计和实现,在集成度、保密性、扩展性、高速化和稳健性等方面提出了更高的要求。

SoC(System on Chip, 系统集成芯片)是以嵌入式系统为核心,以 IP(Intellectual Property, 知识产权)复用技术为基础,集软、硬件于一体,采用超深亚微米工艺技术,将微处理器、模拟 IP 核、数字 IP 核和存储单元等集成在单一芯片上。当前,无论在国际上还是国内,对 SoC 在信息技术领域的地位和作用已经取得共识,并且在系统芯片设计领域已经呈现激烈竞争的态势。SoC 设计是一个复杂的过程,涵盖了系统级设计、RTL 设计、可测试性设计、仿真验证、逻辑综合、版图设计、物理验证、寄生参数提取、后仿真等一系列步骤。SoC 是信息技术领域一门最新的先进技术,是集成电路最新技术与软件技术的有机结合,SoC 设计技术是信息领域的核心技术,而在这一领域我国与发达的国家相比有着较大的差距,存在这一差距的根本原因在于我们缺乏 SoC 设计人才,特别是一流的设计师。由于 SoC 设计门槛较高,体现在 SoC 设计平台建设需要较大的投入和较高的维护费用,在设计人才的培养上我们依然步履缓慢。

信息技术的发展离不开 SoC 技术,由于信息系统的设计与实现涉及的技术范围越来越广泛,知识产权的继承和共享显得越来越迫切。SoC 是实现知识产权继承和共享的最有效技术手段,这是因为 SoC 技术将软/硬件支撑系统和系统软件有机地融为一体,一些原创性的算法和协议规范可以通过伪代码运算的形式快速置入系统中,加快原创性创新技术的完善和应用。

2009 年 1 月,国务院常务会议通过了集成电路产业振兴规划,这对于推进集成电路产业结构优化升级,增强企业素质和国际竞争力,促进相关产业和国民经济平稳较快发展,具有重要意义。实际上,早在 2000 年 6 月国务院专门颁布 18 号文对集成电路产业予以扶持。科技部资助建设 7 个国家级集成电路设计产业化基地、9 个 IC 教育基地。在国家政策正确引导和大力扶持下,ASIC/SoC 发展迅速、产业链日趋完善,国内已具备了 ASIC/SoC 从设计、流片、封装到测试的完整产业链。目前,我国芯片制造骨干企业已经超过 50 多家,规模以上封装测试企业也达到 100 余家,IC 设计企业总数更是超过 450 家,主流工艺技术为 90nm~0.18 $\mu\text{m}$ ,晶圆直径为 6 英寸、8 英寸和 12 英寸。实际上,多条 12 英寸生产线已经建成并投入生产,IC 实际设计水平达到 90nm。

当前,我国在集成电路和 SoC 设计教学方面的教材和参考书籍的数量不可为不多,其中相当部分是引进国外的专业基础教材,主要针对相关专业领域的学生做较为详细的论述和讲解,这些教材和参考书中也不乏有经典和上佳之作,但从工程实践的角度针对系统芯片的基本概念和 SoC 的基本设计轮廓面向整个电子信息领域通过具体的实例进行讲解的教材和参考书籍并不多见,使得学生不能从 Top-Down 的设计理念将上层系统和底层器件联系在一起,更不能通过 20~30 个学时的学习对现代 SoC 的设计技术有较为深入的认识。

本书对现代 SoC 设计技术进行了全面而深入的分析与介绍。主要介绍 SoC 的基本概念、

系统设计方法,不涉及具体技术细节,强调 IP 的重要性。全书分为 7 章:第 1 章为 SoC 设计概论,包括 SoC 的基本概念、SoC 目前的现状和发展机遇、SoC 设计技术的发展趋势及存在的问题等内容,由柴远波编写。第 2 章为 SoC 前端设计与后端实现,主要内容有芯片设计基础、前端设计技术、后端实现技术以及主要 EDA 公司的设计示例,由张效军编写。第 3 章为可测性设计技术,主要内容有 IC 可测性设计基本概念和主要技术、SoC 可测性设计技术等,由杭德全编写。第 4 章为 SoC 软/硬件协同设计技术,主要内容包括软/硬件设计的基本概念、SystemC 系统级建模语言、软/硬件协同验证技术,由宋克编写。第 5 章为 SoC 验证技术,主要内容有 SoC 验证的相关概念、验证方法和主要的验证技术、验证语言和 SoC 验证技术的发展方向,由张丽编写。第 6 章为 SoC 低功耗技术,主要内容有低功耗设计概述、功耗组成分析、常用低功耗设计方法以及简单介绍低功耗设计工具,由吕平编写。第 7 章为 IP 复用技术,主要内容有 SoC 设计方法和 IP 复用技术、可重用软 IP 和硬 IP 的设计方法、软 IP 设计应遵循的基本原则以及硬 IP 设计中的接口设计、时钟设计、测试结构设计和布局布线设计,由张帆编写。附录 A 为 RTL 编码设计说明,由杨镇西编写,附录 B 为 Magma 脚本文件,由张效军编写。全书由柴远波与张兴明统稿完成。

国家数字交换系统工程技术研究中心(NDSC)是我国第一台大容量数字程控交换系统——HJD04 的设计和研制单位,曾经三次荣获国家科技进步一等奖,近年一直在追踪研究 SoC 技术,承担了包括国家“863”的“重中之重”项目“具有自主知识产权的用户电路”以及国家“863”重大项目“高速路由器中加密芯片设计”等大型科研项目的研发工作,其中“具有自主知识产权的用户电路”获国家重大科技成果优秀成果奖。通过各种形式的学习与培训以及参与大型项目研发的实践,NDSC 培养了一批掌握 SoC 前端技术、能承担 SoC 项目及从事 SoC 教学的师资队伍。本书的编著者全部为 NDSC 一线工作的研发人员,有着长期的教学与研发经验。

在本书编写期间,受到来自多方面的支持和帮助。解放军信息工程大学 SoC 实验室的韩国栋副教授、陈学梁高级工程师、曾威工程师等同仁对本书的编写提出了很好的建议,电子工业出版社对本书的出版给予了热情的支持与帮助。在此向所有在本书的编写和出版工作中曾给予鼓励和帮助的同志表示衷心的感谢!

本书力图对现代 SoC 设计技术的基本知识进行清晰而准确的介绍,从而为需要了解该技术的读者提供最大的帮助,同时,本书内容还涉及了许多 SoC 设计技术应用方面的知识,适合作为电子信息领域的大学生、研究生和电子信息技术爱好者的教学参考书以及课外读本。

SoC 设计技术涉及多个领域和多门学科,由于作者学识有限、经验不足、写作时间较为仓促,书中错误和不当之处在所难免,敬请广大读者批评指正。

作 者  
2009 年 8 月

# 目 录

<b>第 1 章 SoC 设计概论</b> .....	1
1.1 SoC 的基本概念 .....	1
1.1.1 什么是 SoC .....	1
1.1.2 SoC 的基本构成 .....	4
1.1.3 SoC 是集成电路发展的必然 .....	6
1.2 SoC 目前的现状和发展机遇 .....	8
1.2.1 我国 SoC 目前的产业现状 .....	8
1.2.2 SoC 的关键技术 .....	12
1.2.3 SoC 当前的发展机遇 .....	15
1.3 SoC 设计技术的发展趋势及存在的问题 .....	15
1.3.1 SoC 设计技术的发展趋势 .....	15
1.3.2 SoC 设计技术的瓶颈 .....	16
1.4 SoC 技术展望 .....	18
1.4.1 可重构技术 .....	18
1.4.2 片上网络 (NoC) .....	21
1.4.3 系统级集成设计 .....	22
<b>第 2 章 SoC 前端设计与后端实现</b> .....	23
2.1 SoC 前端设计与后端实现概述 .....	23
2.2 芯片设计基础 .....	24
2.2.1 模拟 IC 设计 .....	24
2.2.2 数字 IC 设计 .....	25
2.2.3 SoC 设计方法 .....	27
2.2.4 数字 IC 设计平台 .....	27
2.3 前端设计 .....	28
2.3.1 逻辑综合的必要性 .....	29
2.3.2 逻辑综合概念 .....	30
2.3.3 逻辑综合过程 .....	31
2.3.4 芯片设计综合工具介绍 .....	33
2.3.5 用于 FPGA 验证的逻辑综合工具 .....	34
2.3.6 FPGA 验证代码编写说明 .....	34
2.3.7 约束与优化 .....	35
2.3.8 综合策略 .....	36
2.4 后端实现 .....	36
2.4.1 后端设计概述 .....	36
2.4.2 数字后端设计流程 .....	37

2.4.3	基于物理综合的后端设计流程 .....	39
2.4.4	后端设计挑战 .....	39
2.4.5	其他需要考虑的问题 .....	40
2.5	Magma ASIC 设计示例 .....	40
<b>第 3 章</b>	<b>可测性设计技术 .....</b>	<b>53</b>
3.1	测试技术概述 .....	53
3.1.1	测试定义及原理 .....	53
3.1.2	测试分类 .....	54
3.1.3	测试基本技术 .....	54
3.2	故障模型及 ATPG .....	55
3.2.1	缺陷、故障和故障模型 .....	55
3.2.2	常见故障模型 .....	56
3.2.3	自动测试模式生成——ATPG .....	57
3.2.4	测试的评价 .....	58
3.3	可测性设计 (DFT, Design For Testability) .....	58
3.3.1	可测性设计基础 .....	58
3.3.2	Ad Hoc 技术 .....	60
3.3.3	结构化设计方法 .....	61
3.3.4	扫描测试 .....	61
3.3.5	内建自测 (BIST, Build-In-Self-Test) .....	65
3.3.6	边界扫描测试 (Boundary Scan) .....	68
3.3.7	电流测试 .....	73
3.4	SoC 的可测性设计 .....	73
3.4.1	SoC 可测试性设计面临的问题 .....	74
3.4.2	SoC 可测性设计基本技术 .....	74
3.4.3	SoC 测试访问机制 (TAM) .....	76
3.4.4	IEEE P1500 标准 .....	78
3.5	发展与展望 .....	83
<b>第 4 章</b>	<b>SoC 软/硬件协同设计技术 .....</b>	<b>84</b>
4.1	软/硬件协同设计概述 .....	84
4.1.1	软/硬件协同设计的定义 .....	84
4.1.2	软/硬件协同设计的优点 .....	85
4.1.3	软/硬件协同设计的主要研究内容 .....	87
4.2	系统级描述语言 SystemC .....	92
4.2.1	SystemC 简介 .....	92
4.2.2	SystemC 的基本语法 .....	93
4.2.3	SystemC 建模实例 .....	97
4.2.4	SystemC 系统级建模 .....	100
4.3	软/硬件协同验证技术 .....	109



4.3.1	软/硬件协同验证技术的发展 .....	109
4.3.2	软/硬件协同验证平台的基本构成方式 .....	110
4.3.3	商业软/硬件协同验证工具 Seamless CVE 简介 .....	113
<b>第 5 章</b>	<b>SoC 验证技术</b> .....	<b>117</b>
5.1	SoC 验证技术概述 .....	117
5.1.1	验证的基本概念 .....	117
5.1.2	SoC 验证的研究内容 .....	118
5.1.3	SoC 验证技术的发展方向 .....	118
5.2	验证方法 .....	121
5.2.1	自顶向下的 SoC 设计和验证方法 .....	121
5.2.2	自底向上的验证方法 .....	122
5.2.3	基于平台的验证方法 .....	123
5.2.4	系统接口驱动验证 .....	123
5.3	功能验证 .....	124
5.3.1	功能验证定义 .....	124
5.3.2	功能验证分类 .....	124
5.3.3	功能验证工具 .....	126
5.4	形式验证 .....	127
5.4.1	理论/定理证明技术 .....	127
5.4.2	形式模型检查 .....	128
5.4.3	形式等价检查 .....	128
5.4.4	形式验证工具 .....	129
5.5	时序验证 .....	130
5.5.1	静态时序分析 .....	130
5.5.2	动态时序分析 .....	132
5.5.3	静态时序分析工具 .....	133
5.6	物理验证 .....	134
5.6.1	设计规则检查 (DRC) .....	134
5.6.2	版图与原理图检查 (LVS) .....	135
5.6.3	电气规则检查 (ERC) .....	136
5.6.4	物理验证工具 .....	136
5.7	验证语言 .....	137
5.7.1	Sugar .....	138
5.7.2	OpenVera .....	138
5.7.3	SystemVerilog .....	138
5.7.4	e 语言 .....	139
5.8	验证计划 .....	139
5.8.1	验证和设计分离原则 .....	139
5.8.2	验证计划的内容 .....	139

<b>第 6 章 SoC 低功耗技术</b> .....	141
6.1 SoC 低功耗技术概述 .....	141
6.1.1 SoC 低功耗设计技术的必要性 .....	141
6.1.2 SoC 低功耗研究现状 .....	144
6.1.3 功耗来源分析 .....	144
6.2 SoC 低功耗设计技术 .....	148
6.2.1 针对动态功耗的低功耗设计方法 .....	148
6.2.2 静态功耗的低功耗设计方法 .....	161
6.3 SoC 功耗评估技术 .....	164
6.3.1 结构级评估技术 .....	165
6.3.2 门级功耗评估技术 .....	166
6.4 小结 .....	166
<b>第 7 章 IP 复用技术</b> .....	168
7.1 概述 .....	168
7.1.1 IP 核的基本概念 .....	168
7.1.2 IP 可重用技术的基本概念 .....	169
7.1.3 IP 可重用技术面临的挑战 .....	169
7.1.4 IP 可重用技术要求 .....	170
7.1.5 IP 可重用标准组织 .....	171
7.2 可重用 IP 设计技术 .....	172
7.2.1 IP 核的分类 .....	172
7.2.2 IP 核的设计步骤 .....	173
7.2.3 IP 核的设计规范 .....	174
7.2.4 软核的生产过程 .....	175
7.2.5 硬核的生产过程 .....	177
7.2.6 IP 核的综合 .....	179
7.2.7 IP 核的验证 .....	182
7.2.8 IP 的打包与发布 .....	184
7.3 可重用 IP 的集成技术 .....	185
7.3.1 IP 核的评估与选择 .....	185
7.3.2 IP 核集成可能出现的问题 .....	186
7.3.3 IP 核的互联策略 .....	186
7.3.4 AMBA 总线规范 .....	191
7.3.5 CoreConnect 总线规范 .....	193
7.3.6 可重用 IP 集成方法 .....	193
<b>附录 A RTL 编码参考</b> .....	196
A.1 文件命名 .....	196
A.2 HDL 代码项命名 .....	196
A.3 注释 .....	199

A.4 编码风格 .....	202
A.5 模块划分和重用 .....	203
A.6 建模方法 .....	204
A.7 通用编码技术 .....	205
A.8 结构化测试标准 .....	210
A.9 常规综合标准 .....	210
附录 B Magma 脚本文件 .....	214
附录 C 缩略语 .....	219
参考文献 .....	222

# 第 1 章 SoC 设计概论

SoC (System on Chip) 技术是 20 世纪 90 年代以来迅速发展起来的超大规模集成电路的主流技术, 是电子器件持续集成发展的必然结果, 体现在技术的发展和市场的需求两个方面。SoC 采用先进的超深亚微米 CMOS 工艺技术, 从整个系统的角度出发, 将处理机制、模型算法、嵌入式软件以及各层次电路设计直至器件的设计紧密结合在单个芯片上, 完成整个系统的功能。SoC 技术是信息技术领域一门最新的先进技术, 是集成电路最新技术与软件技术的有机结合; SoC 设计技术是信息领域的核心技术, 而在这一领域我国与发达的国家相比有着较大的差距, 存在这一差距的根本原因在于我国缺乏 SoC 设计人才, 特别是一流的设计师。由于 SoC 设计门槛较高 (SoC 设计平台建设需要较大的投入、较高的维护费用), 在设计人才的培养上我们依然步履缓慢。SoC 设计是一个复杂的过程, 涵盖了系统级设计、RTL 设计、可测试性设计、仿真验证、逻辑综合、版图设计、物理验证、寄生参数提取、后仿真等一系列步骤。

SoC 技术是一项综合的系统工程, 需要大量的人力和财力的投入。近年来我国在产业分工、人才培养、基础理论研究、国外先进技术的引进等方面提供了非常好的政策扶持, 使我国 SoC 技术得以快速发展, 为我国集成电路产业的整体发展奠定了稳定的基础。

## 1.1 SoC 的基本概念

集成电路发展到现在, 已经进入 SoC 技术的时代, 本小节将较为详细地描述 SoC 的基本概念, 讨论 SoC 的基本构成及 SoC 技术是集成电路发展必然的原因。

### 1.1.1 什么是 SoC

SoC 的定义多种多样, 由于其内涵丰富、应用范围广泛, 不容易给出其准确定义。SoC 中文译法有如下几种: 系统级芯片、片上系统、系统芯片、系统集成芯片、系统芯片集等。从应用开发的观点出发, 其主要含义是单芯片上集成微电子应用产品所需的所有功能系统。SoC 技术研究内容包括: 开发工具、IP (Intellectual Property, 知识产权) 及其复用技术、可编程系统芯片、信息产品核心芯片开发与应用、SoC 设计技术与方法、SoC 制造技术与工艺等。

这里将 SoC 称为系统级芯片, 也称片上系统, 意指它是一个产品, 是一个有专用目标的集成电路, 其中包含完整系统并有嵌入软件的全部内容。同时它又是一种技术, 用以实现从确定系统功能开始, 到软/硬件划分, 并完成设计的整个过程。从狭义角度讲, 它是信息系统核心的芯片集成, 是将系统关键部件集成在一块芯片上; SoC 的出现使集成电路发展成为集成系统, 整个电子整机的功能将可以集成到一块芯片中。从广义角度讲, SoC 是一个微小型系统, 如果需要更形象地说明 SoC 的含义, 通俗的比喻是若将中央处理器 (CPU) 看做大脑,

那么就将 SoC 视为包括大脑、心脏、眼睛和手的系统。学术界一般倾向将 SoC 定义为将微处理器、模拟 IP 核、数字 IP 核和存储器（或片外存储控制接口）集成在单一芯片上，它通常是客户定制的（CSIC），或是面向特定用途的标准产品（ASSP）。

SoC 技术是在集成电路（IC）向集成系统（IS）转变的方向下产生的，是 ASIC 设计方法学中的新技术，它是以嵌入式系统为核心，以知识产权（IP）复用技术为基础，集软/硬件于一体，并追求产品系统最大包容的集成芯片。在不久的将来，集成电路与电子整机之间的界限将被彻底打破，IC 设计者能够将越来越复杂的功能集成到单硅片上。SoC 能够满足 CSIC 和 ASSP 的需求，并且能够最大限度的满足嵌入式系统的要求，因而具有很多优势，例如能极大改善功耗开销，可有效减少印制板上部件数和引脚数，减少板卡失效的可能性，有利于板卡的性能改善（由于片内连线缩短），降低风冷要求等，能够大幅度降低芯片和系统开发成本，尤其适合数字化产品开发，如手持设备、信息家电等。

SoC 最早出现在 20 世纪 90 年代中期，1994 年 Motorola 公司发布的 Flex Core™ 系统，具备系统功能，由其制作的基于 68000 系列和 Power PC 系列的定制微处理器，有着较为广泛的应用；1995 年，LSI Logic 公司为 SONY 公司设计的 SoC，可能是基于 IP 核进行 SoC 设计的最早报道。1998 年，一种表示为 MACHD 的系统芯片（SoC）问世，被业界称为“支撑网络时代和网络系统的关键器件”。由于 SoC 是利用已有的设计，可以显著地提高设计效率，因此发展非常迅速。

SoC 是市场和技术共同推动的结果。从市场层面上看，人们对集成系统的需求也在提高。计算机、通信、消费类电子产品及军事等领域都需要大量的高集成度的集成电路。例如，在军舰、坦克、飞机、导弹和航天飞机中集成电路的成本分别占到总成本的 22%、24%、33%、45% 和 66%。随着通信行业的迅猛发展和信息家电的迅速普及，一方面迫使集成电路生产商不断发展 IC 新品种，扩大 IC 规模，增强 IC 性能，提高 IC 的上市时间（Time to market）；另一方面同时还需要实现品种的通用性和标准化，以利于批量生产，降低成本。据权威数据统计，SoC 销售额从 2002 年的 136 亿美元，增长到 2007 年的 347 亿美元，年增长率超过 20%。

从技术层面上看，以下几个方面推动了 SoC 技术的发展：

（1）微电子技术的不断创新和发展，大规模集成电路的集成度和工艺水平不断提高，已从亚微米（ $0.5\sim 1\mu\text{m}$ ）进入到深亚微米（小于  $0.5\mu\text{m}$ ）和超深亚微米（UDSM，小于  $0.25\mu\text{m}$ ）乃至纳米阶段。其特点为：工艺特征尺寸越来越小，芯片尺寸越来越大，单片上的晶体管数越来越多，时钟速率越来越快，电源电压越来越低，布线层数越来越多，I/O 引线越来越多。这使得将微处理器、存储器、DSP 和各种接口集成到一块芯片中成为可能。

（2）计算机性能的大幅度提高，使很多复杂算法得以实现，为嵌入式系统辅助设计提供了物理基础。

（3）EDA（Electronic Design Automation，采用 CAD 技术进行电子系统和专用集成电路设计）综合开发工具的自动化和智能化程度不断提高，为嵌入式系统设计提供了不同用途和不同级别的一体化开发集成环境。

（4）硬件描述语言 HDL（Hardware Description Language）的发展为电子系统设计提供了建立各种硬件模型的工作媒介。目前，比较流行的 HDL 语言包括已成为 IEEE STD1076 标准的 VHDL 和 IEEE STD1364 标准的 Verilog HDL 等。

SoC 至少具有以下几方面的优势:

(1) 降低耗电量。随着电子产品向小型化、便携化发展, 对其省电需求将大幅提升, 由于 SoC 产品多采用内部信号的传输, 可以大幅降低功耗。

(2) 减少体积。数颗 IC 整合为一颗 SoC 后, 可有效缩小电路板上占用的面积, 达到重量轻、体积小的目的。

(3) 丰富系统功能。随微电子技术的发展, 在相同的内部空间内, SoC 可整合更多的功能组件, 丰富系统功能。

(4) 提高速度。随着芯片内部信号传递距离的缩短, 信号的传输效率将提升, 从而使产品性能有所提高。

(5) 节省成本。理论上, IP 模块的出现可以减少研发成本, 降低研发时间, 可适度节省成本。不过, 在实际应用中, 由于芯片结构的复杂性增强, 也有可能导致测试成本增加以及生产成品率下降。

虽然, 使用基于 IP 模块的设计方法可以简化系统设计, 可以缩短设计时间, 但随着 SoC 复杂性的提高和设计周期的进一步缩短, 也为 IP 模块的重用带来了如下新的问题。

(1) 要将 IP 模块集成到 SoC 中, 要求设计者完全理解复杂 IP 模块的功能、接口和电气特性, 如微处理器、存储器控制器、总线仲裁器等。

(2) 随着系统的复杂性的提高, 要得到完全吻合的时序也越来越困难。即使每个 IP 模块的布局是预先定义的, 但把它们集成在一起仍会产生一些不可预见的问题, 如噪声, 这些对系统的性能有很大影响。

IP 模块的标准化可以在一定程度上解决上述问题。过去, 各个芯片设计公司、IP 厂商和 EDA 公司以自己内部的规范作为设计标准, 但随着 SoC 设计的中心向用户端转移, IP 模块的广泛使用, 以及越来越多 EDA 工具的出现, 使这些内部标准已经无法适应 SoC 设计的需要了。

为了解决 IP 模块的接口和通信协议问题, SoC 的主要供应商开发了自己的 SoC 片上总线结构标准, 如 IBM 公司的 Core Connect 和 ARM 公司的 AMBA, 这些总线结构通常与一个处理器体系结构相关联, 如 PowerPC 或 ARM。对公共通信原理、公共设计格式及设计质量测量和保证的统一方法的需求推动了 SoC 标准化的发展。所以, 国际上出现了多个类似 VSIA 这样的 SoC 标准化组织, VSIA 于 1996 年成立, 目前有 200 多个成员, 其目标是建立统一的系统级芯片业的目标和技术标准, 通过规定开放标准, 方便不同 IP 模块的集成。

SoC 定义的基本内容主要表现在两方面: 其一是它的构成, 其二是它的形成过程。系统级芯片的构成可以是系统级芯片控制逻辑模块、微处理器/微控制器 CPU 内核模块、数字信号处理器 DSP 模块、嵌入的存储器模块、和外部进行通信的接口模块、含有 ADC /DAC 的模拟前端模块、电源提供和功耗管理模块, 对于一个无线 SoC 还有射频前端模块、用户定义逻辑(它可以由 FPGA 或 ASIC 实现)以及微电子机械模块, 更重要的是一个 SoC 芯片内嵌有基本软件(RDOS 或 COS 以及其他应用软件)模块或可载入的用户软件等。系统级芯片形成或产生过程包含以下三个方面。

(1) 基于单片集成系统的软/硬件协同设计和验证;

(2) 开发和研究 IP 核生成及复用技术, 特别是大容量的存储模块嵌入的重复应用等;

(3) 超深亚微米(UDSM)、纳米集成电路的设计理论和技术。

20 世纪 60 年代，英特尔（Intel）创始人之一的高登·摩尔（Gordon Moore）曾预言，集成电路每 3 年集成度增加 4 倍，最小特征尺寸缩小 30%，学术界和产业界将这个预言称为摩尔定律。直到目前为止，集成电路产业仍然按照摩尔定律在快速发展。

表 1-1 为 ITRs（International Technology Roadmap of semiconductors，国际半导体技术发展规划）给出的 1999~2014 年集成电路工艺技术发展趋势。

表 1-1 集成电路工艺技术发展趋势

年度	1999	2002	2005	2008	2011	2014
特征尺寸 (μm)	0.18	0.13	0.09	0.065	0.50	0.035
集成规模 (transistors)	120M	330M	880M	2.5G	7.1G	19.9G

从表 1-1 可以看出，在 2008 年，使用最新的 0.065μm 即 65nm 工艺技术可以使得集成电路的规模达到 2.5G 只晶体管（该表所列集成规模有所滞后，事实上，目前单个芯片可以集成超过二十亿个纳米级的晶体管），这完全可以将一个比较复杂的完整系统集成到单个芯片上，实际上在 2002 年，使用 0.13μm 的工艺技术可以使得集成电路的规模达到 330M 只晶体管，这可以将一个完整的系统集成到单个芯片上。

### 1.1.2 SoC 的基本构成

有人将 SoC 定义为一种复杂的集成电路，它是将终端产品的主要功能单元完全集成在单个芯片或芯片组（chipset）上；一般来说，SoC 包括一个可编程处理器、片上存储器和由硬/件实现的加速功能单元；此外，SoC 作为一个系统需要直接与外界打交道，因而它一般还包含模拟部件及数模混合部件，它还可能会将光/微电子机械系统（O/MEMS）部件集成在一起；还有人则将 SoC 定义为一种将多个 VLSI 设计集成在一起的针对某一种应用提供完全功能的集成电路。实际上，随着时间的推移和微电子技术的发展，SoC 技术表现以下特征：

(1) 它是一种实现复杂系统功能的超大规模集成电路。

(2) SoC 不仅包含复杂硬件电路部分，还包含软件部分。

(3) 复杂硬件电路一般内含一个或多个芯核（特指微处理器 MPU、微控制器 MCU 或数字信号处理器 DSP 等作为软件执行载体的特殊 IP 核），而且在设计中大量复用第三方的 IP 核。

(4) SoC 在工艺上采用深亚微米和超深亚微米工艺技术来实现。

前两点的支撑技术为软/硬件协同设计和验证技术，第三点的支撑技术为 IP 核生成和复用技术，最后一点的支撑技术为超深亚微米工艺技术及纳米集成电路的设计理论和技术。

现代 SoC 设计技术的理念中，IP 是构成 SoC 的基本单元。这里的 IP 可以理解为满足特定的规范和要求，并且能够在设计中反复进行复用的功能模块，我们称为 IP 核（IP Core）。一般来说，IP 核是指已经设计好的并经过实际验证的具有特定功能的性能优化的一些电路功能模块，IP 核一般包含以下三层含义：首先 IP 核是一些设计好的功能模块，购买一个 IP 核所得到的只是一些设计数据，而不是实际芯片；其次为了确保 IP 核的性能可靠，要求 IP 核必须经过实际验证，最好是 IP 核在设计中已经被成功使用，最起码也是经过某种可编程器件（例如现场可编程门阵列 FPGA 等）验证其功能是正确的；最后，为了吸引别人购买你的 IP 核，就要求你的 IP 核必须经过性能优化。只有那些性能优异的 IP 核才会有人购买。从提

交形式上看，IP 核可以分为三种，即软核（Soft Core）、硬核（Hard Core）和固核（Firm Core）。

软核一般是指以可综合的 RTL 级描述提交的核，通常以 HDL 语言形式提交。由于软核不依赖于最终的实现工艺，因此具有很大的灵活性。使用者可以非常方便地将其映射到自己所使用的工艺上，可复用性最高。此外，软核的使用者完全拥有源代码，使用者可以通过修改源代码，并对源代码进行优化生成自己的软核。但软核也有其不足之处。软核所提供的是 RTL 级描述，而用户要将其嵌入到自己的设计中就必须自己对从 RTL 到版图（Layout）的转换全过程负责，这样设计的复杂性将大大增大。同时核的性能在这种转换过程中也难以得到保证。

硬核是指经过预先布局且不能由系统设计者修改的 IP 核，硬核一般是以电路版图形式提交的核。显然，硬核总是与特定的实现工艺相关，而且核的形状、大小及核的端口的位置都是固定的。因此它的灵活性最小，可复用性最低；硬核具有不可更改性，它的性能最稳定，可靠性最高。

固核介于软核和硬核之间，固核由 RTL 的描述和可综合的网表组成，它一般是以门级网表的形式提交。固核通常对应于某一特定的实现工艺，因此与软核相比，它的性能更加可靠。固核一般由使用者来完成布局布线，因此核的形状、大小以及核的端口的位置都是不固定的，因此与硬核相比它有更大的灵活性。但是固核也有其自身的弱点，即它与实现工艺的相关性及网表本身的难读性。与实现工艺的相关性限制了固核的使用范围；而网表的难读性使得一旦用户在布局布线过程中出现时序违反时，如何排除它就显得非常困难。三种 IP 核之间的特点如表 1-2 所示。

表 1-2 三种 IP 核之间的特点比较

名称	提交形式	与实现工艺相关性	灵活性	可靠性
软核（Soft Core）	RTL 描述	无关	高	低
硬核（Hard Core）	版图	相关	低	高
固核（Firm Core）	门级网表	相关	一般	一般

无论是哪种形式的 IP 核，都具有如图 1-1 所示的主要特征。这些特征在 IP 核提交时可以统称为交付项。无论是软核还是硬核，将 IP 核集成到 SoC 中都需要很多步骤，这个过程能否顺利完成主要取决于 IP 核提供者提交的交付项是否完备，是否符合通用标准。因此通过标准对这些交付项加以明确的定义与规范是 IP 核有效复用的基础与保障。

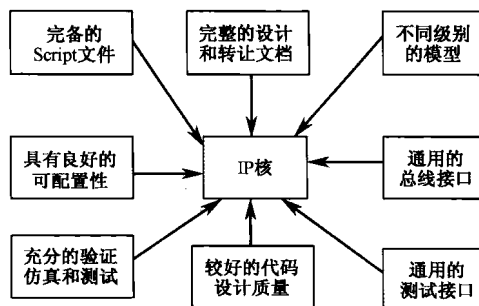


图 1-1 IP 核的主要特征



IP 核在交付使用时要提供必要的信息，这是至关重要的，这些信息包括各类文档和机器可读的设计描述形式（源代码、网表、各种模型、脚本文件等），以帮助 IP 核集成者了解 IP 核的功能和性能，用于系统集成，同时也是 IP 核评测的重要依据。标准体系框架中的“IP 核交付使用文档规范/标准”对这些交付信息、信息的格式和重要性等做出了明确的规定与定义。IP 核复用实际上包含两方面含义：一方面是面向复用的 IP 核设计（IP Core Design for Reuse），即对于核提供者来说如何确保自己设计出的 IP 核是可复用的；另一方面是作为芯片集成者，如何在设计中成功复用别人设计的 IP 核（Reuse IP Core）。

为了使所设计的 IP 核具有可复用性，必须注意以下几点：

(1) 所设计的 IP 核应该是用于解决某一个通用问题的，这意味着所设计的 IP 核易于被配置以适合于不同的应用场合。

(2) 所设计的 IP 核要针对不同工艺有不同版本的数据库。对于软核，需要有针对性不同工艺库的不同综合脚本；对于硬核，这意味着要有一个有效的移植策略，将硬核映射到新工艺。

(3) 所设计的 IP 核允许在多种仿真器上进行仿真，并有相应的验证测试台。所设计的 IP 核要求在一些主要的仿真器上都能够很好地运行。

SoC 一般采用基于核的设计，它是指将一个系统按功能划分成若干块，然后直接利用第三方设计好的 IP 核，并将它们集成为一个具有特定功能芯片的过程。基于核设计的核心就是复用 IP 核。设计复用技术使得系统设计者可以更多地考虑系统结构，而不必深陷于模块实现，从而使系统设计的复杂性大大降低。

但 IP 核复用绝不等同于集成电路设计中的单元库的使用，它所涉及的内容几乎覆盖了集成电路设计中所有的经典课题，包括测试。换句话说 IP 核的复用绝不是一些 IP 核的简单堆砌，它还包含着 IP 核测试复用。为了实现 IP 核的测试复用，需要在结构上进行精心设计，这给 SoC 设计带来巨大的挑战。

使用基于 IP 模块的设计方法虽然可以简化系统设计，缩短设计时间，但随着 SoC 复杂性的提高和设计周期的进一步缩短，也为 IP 模块的重用带来了许多问题：

(1) 要将 IP 模块集成到 SoC 中，要求设计者完全理解复杂 IP 模块的功能、接口和电气特性，如微处理器、存储器控制器、总线仲裁器等。

(2) 随着系统的复杂性的提高，要得到完全吻合的时序也越来越困难。即使每个 IP 模块的布局是预先定义的，但把它们集成在一起仍会产生一些不可预见的问题，如噪声，这些对系统的性能有很大的影响。IP 模块的标准化可以在一定程度上解决上述问题。过去，各个芯片设计公司、IP 厂商和 EDA 公司以自己内部的规范作为设计标准，但随着 SoC 设计的中心向用户端转移，IP 模块的广泛使用，以及越来越多 EDA 工具的出现，这些内部标准已经无法适应 SoC 设计的需要。

### 1.1.3 SoC 是集成电路发展的必然

SoC 是集成电路发展的必然，主要体现在技术的成熟和市场需求两个方面。

#### 1. 技术发展的必然

IC 发展的初期，设计是从物理版图入手，以元件级为基础。随后出现单元库（Cell-Lib），设计从逻辑级开始，以单元库为基础，规模也随之增大。但由于单元库中的单元较小，因此