

全国普通高等院校
电子信息与通信类精品教材

QUANGUO PUTONG GAODENG YUANXIAO DIANZI XINXI YU TONGXINLEI JINGPIN JIAOCAI



ASIC与Verilog数字系统设计

主 编 陈 林

ASIC & Verilog



 华中科技大学出版社
<http://www.hustp.com>

全国普通高等院校
电子信息与通信类精品教材

ASIC 与 Verilog 数字系统设计

主 编 陈 林
编 著 陈 林 曾喻江 阳 浩

华中科技大学出版社
中国·武汉

本书从实用角度出发,系统地介绍了大规模可编程逻辑器件、EDA 设计工具和数字系统设计方法。主要内容包括四个部分:第 1 部分介绍数字系统的概念、设计思想、设计过程,以及基本模块电路设计和系统设计的概念、方法和原则;第 2 部分以 Altera 公司的产品为例,介绍了 CPLD 和 FPGA 器件的结构原理;第 3 部分结合实例全面系统地介绍了 MAX+PLUS II 软件和 Quartus II 软件的功能特点和使用方法;第 4 部分通过大量实例深入浅出地展示了 Verilog HDL 语言的设计方法和技巧,并进一步介绍了用 Verilog HDL 进行数字系统设计的方法。

全书内容翔实,图文并茂,方法实用,易读易懂,并由浅入深地配有几十个实例和 12 个实验。既可作为高等院校本、专科生的可编程逻辑器件、数字系统设计和课程设计等课程的教材或教学参考书,也可作为电子工程技术人员的技术参考书和 EDA 设计入门读物。

图书在版编目(CIP)数据

ASIC 与 Verilog 数字系统设计/陈林 主编. —武汉:华中科技大学出版社,2009 年 10 月
ISBN 978-7-5609-5719-7

I. A… II. 陈… III. ①集成电路-电路设计-高等学校-教材 ②硬件描述语言, Verilog HDL-程序设计-高等学校-教材 IV. TN402 TP312

中国版本图书馆 CIP 数据核字(2009)第 177562 号

ASIC 与 Verilog 数字系统设计

陈 林 主编

策划编辑:张志华

责任编辑:张志华

责任校对:刘 竣

封面设计:潘 群

责任监印:周治超

出版发行:华中科技大学出版社(中国·武汉)

武昌喻家山 邮编:430074 电话:(027)87557437

录 排:武汉正风图文照排中心

印 刷:通山金地印务有限公司

开本:787mm×1092mm 1/16

印张:14.25

字数:353 000

版次:2009 年 10 月第 1 版

印次:2009 年 10 月第 1 次印刷

定价:24.80 元

ISBN 978-7-5609-5719-7/TP·708

(本书若有印装质量问题,请向出版社发行部调换)

前 言

21 世纪是一个信息化的时代,计算机技术和微电子工艺的发展,使得现代数字系统的设计和应用进入了新的阶段。电子设计自动化(EDA)技术在数字系统设计中起的作用越来越重要,新的工具和新的设计方法不断推出,可编程逻辑器件的功能也不断增加,已成为实现 ASIC 的主要手段。

掌握 EDA 设计方法,首先必须了解大规模可编程集成电路的结构原理,同时掌握 EDA 软件和设计语言的应用方法。据此本书按照“可编程器件原理+EDA 设计工具软件+硬件描述语言+数字系统设计方法”的思路组织编写。全书共 7 章,在内容安排上如下。

第 1 章介绍数字系统的概念、数字系统的设计思想、设计过程,以及基本模块电路设计和系统设计的概念、方法和原则等内容,使读者了解由于 EDA 技术和可编程集成电路的发展,现代数字系统设计在设计思想、设计工具到实现方式发生的深刻变化,使其能在学习中尽快抓住 EDA 技术和数字系统设计的实质。第 2 章介绍 PLD 器件的发展演变、分类、结构,重点以 Altera 公司的 PLD 器件为例介绍结构和功能特点,同时也对目前主流的 PLD 器件做了介绍,希望读者在此基础上加深对可编程器件的理解,便于在设计中更好地应用它们。第 3 章详细介绍 MAX+PLUS II 软件和 Quartus II 软件的使用及其功能特点,并结合设计实例介绍如何用这些软件进行数字系统的设计和开发。第 4 章是硬件描述语言的介绍。硬件描述语言在现代数字系统设计中应用越来越普遍,已成为 IEEE 标准的硬件描述语言有 Verilog HDL 和 VHDL。由于 Verilog HDL 在数字 ASIC 设计领域占主导地位,同时它是在 C 语言的基础上发展起来的,具有语法灵活、易学易用、功能强的特点,所以本章系统地阐述了 Verilog HDL 语言的语法规则,并通过大量实例深入浅出地展示了 Verilog HDL 语言的设计方法和技巧。第 5 章结合具体实例(组合逻辑电路设计实例、时序逻辑电路设计实例、状态机设计实例)讲述数字系统设计过程以及基本模块电路设计的方法和原则。第 6 章通过 8 个数字系统项目的设计举例,进一步介绍了用 Verilog HDL 进行数字系统设计的方法,所有实例都经过上机调试。第 7 章是实验部分,共给出了 12 个实验,其中数字电路实验 8 个,综合数字系统实验 4 个,可供不同层次的教学选用。每章后还附有习题,可以帮助读者理解书中的基本概念并掌握从简单到复杂的各种不同模块的设计技术。

本书由陈林主编,参加编写的还有曾喻江和阳浩老师。潘洪俊、唐文静、张媛、刘海丹、罗枫、霍甲、江飞舟等同学也参加了部分章节的编写和一些 Verilog HDL 模块的设计和验证工作,这里一并对他们的辛勤劳动表示诚挚的谢意!另外在编写本书的过程中,参考了许多同行专家和学者的专著和文章,并得到了华中科技大学“教学质量工程”精品教材建设基金资助,在此也表示衷心的感谢!

在本书出版之际,感谢华中科技大学国家电工电子教学基地老师们的支持和帮助,也感谢家人一直以来的理解和支持!

由于知识水平有限,本书难免有疏漏、不妥乃至错误之处,真诚希望各位专家、同行和读者给予批评指正。作者电子邮件地址:hxy_chen@163.com。

作 者

2009 年 9 月于华中科技大学

目 录

| | |
|---------------------------------------|-------|
| 第 1 章 数字系统设计与 PLD | (1) |
| 1.1 数字系统设计 | (1) |
| 1.2 EDA 和 PLD 发展概况 | (5) |
| 1.3 EDA 设计流程及其工具 | (9) |
| 1.4 IP 核 | (12) |
| 思考题和习题 | (13) |
| 第 2 章 可编程逻辑器件的结构与应用 | (14) |
| 2.1 概述 | (14) |
| 2.2 简单 PLD 的基本结构 | (17) |
| 2.3 CPLD 结构与工作原理 | (22) |
| 2.4 FPGA 结构与工作原理 | (25) |
| 2.5 各 PLD 公司产品概述 | (30) |
| 2.6 PLD 的编程与测试技术 | (35) |
| 思考题和习题 | (37) |
| 第 3 章 Altera 可编程逻辑器件开发软件 | (38) |
| 3.1 MAX+PLUS II 软件介绍 | (38) |
| 3.2 Quartus II 的应用 | (58) |
| 思考题和习题 | (82) |
| 第 4 章 Verilog HDL 硬件描述语言 | (83) |
| 4.1 Verilog HDL 语言简介 | (84) |
| 4.2 Verilog HDL 语言基础知识 | (90) |
| 4.3 Verilog HDL 的结构描述方式 | (111) |
| 4.4 Verilog HDL 的数据流描述方式 | (113) |
| 4.5 Verilog HDL 的行为描述方式 | (114) |
| 4.6 task 和 function | (123) |
| 4.7 Verilog HDL 描述的可综合性分析 | (126) |
| 思考题和习题 | (127) |
| 第 5 章 数字电路设计方法 | (130) |
| 5.1 常用组合逻辑电路的设计应用 | (130) |
| 5.2 常用时序逻辑电路的设计应用 | (134) |
| 5.3 有限状态机的设计 | (139) |
| 5.4 毛刺的消除 | (147) |
| 思考题和习题 | (148) |
| 第 6 章 数字系统综合设计实例 | (151) |
| 6.1 数码管动态扫描显示电路设计 | (151) |

| | | |
|--------------|---------------------------------|--------------|
| 6.2 | 矩阵键盘扫描电路设计 | (153) |
| 6.3 | 篮球比赛 24s 设计 | (157) |
| 6.4 | 数字钟的层次化设计 | (158) |
| 6.5 | 智能洗衣机控制器的设计 | (161) |
| 6.6 | 智能电梯控制器的设计 | (170) |
| 6.7 | 九九乘法表系统设计 | (176) |
| 6.8 | 计算器设计 | (183) |
| 第 7 章 | 数字电路与系统设计实践 | (189) |
| 实验一 | 4 位全加器设计 | (189) |
| 实验二 | 32 选 1 数据选择器设计 | (199) |
| 实验三 | 4 位超前进位加法器设计 | (200) |
| 实验四 | 8 位加减法器设计 | (202) |
| 实验五 | 十进制计数器设计 | (203) |
| 实验六 | 多功能分频器设计 | (203) |
| 实验七 | 8 位移位寄存器设计 | (204) |
| 实验八 | 有限状态机设计 | (204) |
| 实验九 | 电子密码锁设计 | (205) |
| 实验十 | 健身游戏机设计 | (206) |
| 实验十一 | 同步 FIFO 设计 | (208) |
| 实验十二 | DDS 正弦信号发生器设计 | (209) |
| 附录 A | Verilog HDL 关键字 | (211) |
| 附录 B | CPLD/FPGA 实验系统使用说明 | (212) |
| 参考文献 | | (222) |

第 1 章 数字系统设计与 PLD

1.1 数字系统设计

当今,人类已进入数字化的时代。从计算机到 GSM 数字电话,从家用娱乐使用的声像设备 DCD、数字电视到军用雷达、医用 CT 仪器设备,数字技术的应用已比比皆是。由于数字技术在处理与传输信息方面的各种优点,使数字技术的使用已渗透到人类生活的各个领域。

1. 数字系统

从概念上讲,凡是利用数字技术处理和传输信息的系统都可以称为数字系统。通常把门电路、触发器等称为逻辑器件。将由逻辑器件构成,能执行某单一功能的电路,如计数器、译码器、加法器等,称为逻辑功能部件,把由逻辑功能部件组成的能实现复杂功能的数字电路称为数字系统。复杂的数字系统可以分割成若干个子系统,例如,计算机就是一个内部结构相当复杂的数字系统。

数字系统的发展在很大程度上得益于器件和集成技术的发展。著名的摩尔曾经预言:大约每 18 个月,芯片的集成度提高 1 倍,而功耗下降 50%,称为摩尔定律(Moore's law)。几十年来,半导体集成电路的发展过程印证了摩尔预言的准确性。数字器件经历了从 SSI、MSI、LSI 到 VLSI,直到现在的 SOC (System On Chip, 系统芯片)的过程,也就是说,现在人们已经能够把一个完整的电子系统集成在一个芯片上了。

近几年来,IC(Integrated Circuits)技术的发展日新月异,而最具有代表性的 IC 芯片主要包括以下几类:微控制芯片(Micro Control Unit, MCU);可编程逻辑器件(Programmable Logic Device, PLD);数字信号处理器(Digital Signal Processor, DSP);大规模存储芯片(Random Access Memory/Read Only Memory, RAM/ROM)。这几类器件在最近 20 年均取得了长足的发展,无论是芯片的规模还是性能都有了巨大的提高,构成了现代数字系统的基石。

本书主要介绍如何利用可编程逻辑器件(PLD)进行数字电路和系统的设计。

2. 数字系统设计方法

数字系统一般由控制电路、多个受控电路、输入/输出电路、时基电路等几部分构成,如图 1-1 所示。

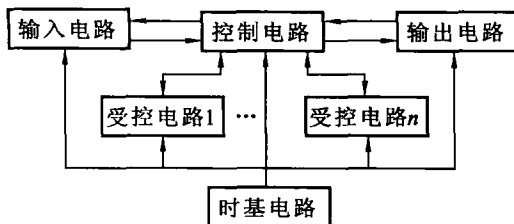


图 1-1 数字系统框图

图 1-1 中,输入电路将外部信号(开关信号、时钟信号等)引入数字系统,经控制电路逻辑处理后,或控制受控电路,或经输出电路产生外部执行机构(发光二极管、数码管、扬声器等)所需的信

号。数字系统通常是一个时序电路,时基电路产生各种时钟信号以保证整个系统在时钟作用下协调工作。

随着半导体技术和计算机技术的发展,数字系统的设计理念和设计方法都发生了深刻的变化。以前,数字系统大多是采用搭积木式的方式进行设计,即由一些固定功能的器件加上一定的外围电路构成模块,再由这些模块进一步形成各种功能电路。构成系统“积木块”的是各种标准芯片,如 74/54 系列(TTL)、4000/4500 系列(CMOS)芯片等,这些芯片的功能是固定的,用户只能根据需要从这些标准器件中选出最适合的,并按照推荐的电路搭成系统。在设计时,几乎没有灵活性可言,设计一个系统所需的芯片种类多,且数目大。

PLD 器件和 EDA(Electronic Design Automation, 电子设计自动化)技术的出现改变了传统的设计思路,使人们可以通过设计芯片来实现各种不同的功能。新的设计方法能够由设计者自己定义器件的内部逻辑和管脚,将原来由电路板设计完成的大部分工作放在芯片的设计中进行。这样不仅可以通过芯片设计实现多种数字逻辑功能,而且由于管脚定义的灵活性,减轻了原理图和印制板设计的工作量和难度,增加了设计的自由度和灵活性,提高了效率。同时基于芯片的设计还大大减少了所用芯片的种类和数量,缩小了体积,降低了功耗,提高了系统的整体性能。

一般说来,电子系统的设计有两种思路,一种是自下而上的设计思路,一种是自上而下的设计思路。

1) 自下而上的设计

自下而上的设计,也可称为自底向上(Bottom-Up)的设计,过程从最底层设计开始。设计系统硬件时,首先选择具体的元器件,用这些元器件通过逻辑电路设计,完成系统中各独立功能模块的设计,再把这些功能模块连接起来,总装成完整的硬件系统。

这种设计过程在进行传统的手工电路设计时经常用到,优点是符合硬件设计工程师的传统设计习惯;缺点是在进行底层设计时,缺乏对整个电子系统总体性能的把握,在整个系统设计完成后,如果发现性能尚待改进,修改起来比较困难,因而设计周期长。

2) 自上而下的设计

自上而下的设计,也可称为自顶向下(Top-Down)的设计。它是目前常用的数字系统设计方法,也是基于芯片的系统设计的主要方法。它在功能划分、任务分配及设计管理上有一定的长处。本书也将自顶向下的设计方法作为重点,在多个例子中用到这种设计方法以解决设计分割、逻辑资源分配和接口关系的问题。

自顶向下设计的原理可以用图 1-2 表示。

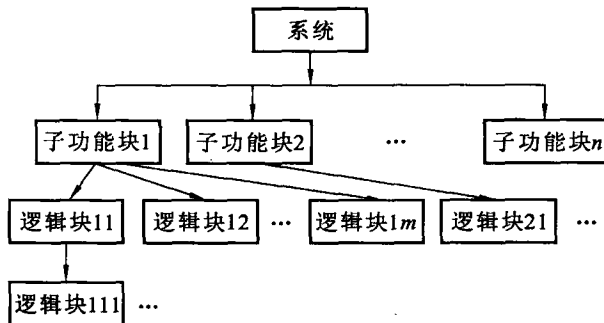


图 1-2 自顶向下设计原理

自顶向下的设计方法利用功能分割手段将设计由上到下进行层次化和模块化,即分层次、分模块进行设计和仿真。功能分割时,将系统功能分解为功能块,功能块再分解为逻辑块,逻辑块再分解为更小的逻辑块和电路,依此分割,逐步将设计细化,将功能逐步具体化、模块化。高层次设计进行功能和接口描述,放在最上层,称为顶层设计;模块功能的更详细的描述在下一设计层次说明,称为底层设计。底层模块还可以再向下分层,这种分层关系类似于软件设计中的主程序和子程序的关系。最底层的设计才涉及具体寄存器和逻辑门电路等实现方式的描述。这里所说的“模块”可能是芯片或电路板。

自顶向下设计方法主要有以下优点。

(1) 自顶向下设计方法是一种模块化设计方法。对设计的描述从上到下,逐步由粗略到详细,符合常规的逻辑思维习惯;它可以把一个复杂的数字系统的设计变成多个较小规模的时序电路的设计,从而大大简化设计的难度,缩短设计周期。由于设计调试都可以针对这些子模块进行,使修改设计也变得非常方便;由于高层设计与器件无关,设计易于在各种集成电路工艺或可编程器件之间移植。

(2) 适合多个设计者同时进行设计。随着技术的不断进步,许多设计仅由一个设计者完成已无法做到,必须经过多个设计者分工协作完成一项设计的情况越来越多。在这种情况下,运用自顶向下设计方法便于由多个设计者同时进行设计,对设计任务进行合理分配,用系统工程的方法对设计进行管理。

针对具体的设计,实施自顶向下设计方法的形式会有所不同,但均需要遵循以下两条原则。

- (1) 逐层分解功能,分层次进行设计。
- (2) 在各设计层次上,考虑相应的仿真验证问题。

3. 数字系统设计流程

数字系统的设计可以分为四个层次,即系统级设计、电路级设计、芯片级设计和电路板级设计。相应地,从提出设计要求到完成系统成品,数字系统设计可分为以下几个步骤:系统设计、电路设计、芯片设计、PCB设计、结构设计及电路调试和系统调试,如图 1-3 所示。

系统设计将设计任务要求转换成明确的、可实现的功能和技术指标要求,确定可行的技术方案,在系统一级描述系统的功能和技术指标要求。一般通过系统功能的模块划分来落实系统功能和技术指标的分配,同时确定各功能模块之间的接口关系。它运用框图与层次的方法自顶向下进行设计。系统设计通常把系统功能逐步细分,然后从器件、电路和工艺等方面确定技术方案。

电路设计确定实现系统要求的算法和电路形式,在电路级描述系统功能。

芯片设计按照电路设计确定的算法和电路形式,通过设计芯片内部的逻辑功能来实现这些算法和电路,即设计专用用途的集成电路芯片。在以往采用 TTL、CMOS 电路和专用数字集成电路进行设计时,器件的功能是固定的,用户只能根据系统设计的要求去选择,而不能定义或修改其逻辑功能。采用基于芯片的方法进行系统设计时,由于可编程逻辑器件能够定义内部的逻辑和外接管脚的功能,使设计者可以根据系统要求定义芯片的逻辑功能,把功能模块放到芯片中进行设计,使用单片或几片大规模可编程逻辑器件就可以完成系统的主要功能,给设计者带来了极大便利。

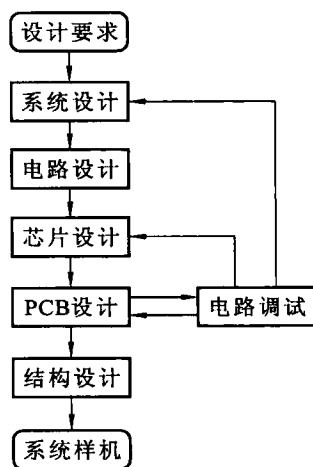


图 1-3 数字系统设计流程

PCB 设计是芯片设计工作的继续,实现系统整体的功能,同时进行初步的工艺和机械结构的设计。一方面通过芯片和其他电路元件之间的连接,将各种元器件组合起来构成完整的系统;另一方面按照电路、尺寸、工艺及环境的要求,确定电路板的尺寸和形状,并进行元器件的布局、布线。

电路调试和系统调试的目的是检查设计中存在的问题。电路调试利用仪器检查器件、电路和 PCB 设计上的错误,测试单块电路板的功能和性能指标是否能够满足设计要求。系统调试则是对电路板进行联合调试,检查电路板之间的接口是否满足设计规范,系统整体的功能和性能指标是否能够达到设计的要求。无论是电路调试还是系统调试中发现问题,都需要返回 PCB 设计、电路设计和器件设计,修改出现问题的器件、电路图及电路板设计。

结构设计是对机箱和面板进行的设计。

4. 数字系统设计准则

进行数字系统设计时,通常需要考虑多方面的条件和要求。如设计的功能和性能要求,元器件的资源分配和设计工具的可实现性,系统的开发费用和成本等。虽然具体设计的条件和要求千差万别,实现方法也各不相同,但数字系统设计还是具备一些共同的方法和准则。

1) 分割准则

自顶向下设计方法或其他层次化设计方法需要对系统功能进行分割,然后用逻辑语言进行描述。分割过程中,若分割过粗,则不易用逻辑语言表达;若分割过细,则会带来不必要的重复和烦琐。因此,分割合适与否对系统设计是否方便有着至关重要的影响。模块分割的一般要求如下。

(1) 各模块之间的逻辑关系明确,内部逻辑功能集中,易于实现。

(2) 各模块之间的接口线尽量少。

(3) 同层次的模块之间,在资源和 I/O 分配上不出现悬殊的差异,没有明显的结构和性能上的瓶颈。

(4) 通用性好,易于移植。

2) 系统的可观测性

一个系统除了引脚上的信号外,系统内部的状态也是需要测试的内容。因此在系统设计中,应该同时考虑功能检查和性能的测试,即系统观测性的问题。

3) 系统的稳定性

设计时应注意采取措施避免竞争和增加系统稳定性。

4) 最优化设计

由于可编程器件的逻辑资源、连接资源和 I/O 资源是有限的,器件的速度和性能也是有限的,用器件设计系统的过程相当于求最优目标的过程。设计中常见的最优化目标有:①器件资源利用率最高;②系统工作速度最快,即延时最小;③布线最容易。

具体设计中,往往由于条件的限制,各个最优化目标会相互冲突产生矛盾。这时,就需要根据实际情况牺牲一些次要矛盾方面的要求,来满足主要矛盾方面的要求。

随着数字集成技术和 EDA 技术的迅速发展,数字系统设计的理论和方法也在相应地变化和发展着。EDA 技术是从计算机辅助设计(CAD)、计算机辅助制造(CAM)、计算机辅助测试(CAT)和计算机辅助工程(CAE)等技术发展而来的。它以计算机为工具,设计者只需对系统功能进行描述,就可在 EDA 工具的帮助下完成系统设计。

应用 PLD 器件实现数字系统设计和单片系统的设计,是目前利用 EDA 技术设计数字系统的潮流。这种设计方法以数字系统设计软件为工具,将传统数字系统设计中的搭建调试用软件仿真取代,对计算机上建立的系统模型,用测试码或测试序列测试验证后,将系统实现在 PLD 芯片或专

用集成电路上,这样最大程度地缩短了设计和开发时间,降低了成本,提高了系统的可靠性。

高速发展的可编程逻辑器件为 EDA 技术的不断进步奠定了坚实的物理基础。大规模可编程逻辑器件不但具有微处理器和单片机的特点,而且随着微电子技术和半导体制造工艺的进步,集成度不断提高,与微处理器、DSP、A/D、D/A、RAM 和 ROM 等独立器件之间的物理与功能界限正日趋模糊,嵌入式系统和片上系统(SOC)得以实现。以大规模可编程集成电路为物质基础的 EDA 技术打破了软、硬件之间的设计界限,使硬件系统软件化。这已成为现代电子设计技术的发展趋势。

1.2 EDA 和 PLD 发展概况

EDA 技术和 PLD 给今天的硬件系统设计提供了强有力的工具,近几年来它们的发展也都非常迅速。

1. EDA 技术发展概况

EDA 是指利用计算机完成电子系统的设计。EDA 技术是以计算机和微电子技术为先导,汇集了计算机图形学、拓扑学、逻辑学、微电子工艺与结构学和计算数学等多种计算机应用学科最新成果的先进技术。

EDA 技术以计算机为工具,代替人完成数字系统的逻辑综合、布局布线和设计仿真等工作。设计人员只需要完成对系统功能的描述,就可以由计算机软件进行处理,得到设计结果,而且修改设计如同修改软件一样方便,可以极大地提高设计效率。

从 20 世纪 60 年代中期开始,人们就不断开发出各种计算机辅助设计工具来帮助设计者进行电子系统的设计。电路理论和半导体工艺水平的提高,对 EDA 技术的发展起了巨大的推进作用,使 EDA 作用范围从 PCB 板设计延伸到电子线路和集成电路设计,直至整个系统的设计,也使 IC 芯片系统应用、电路制作和整个电子系统生产过程都集成在一个环境之中。

历史上,EDA 经历了几次大的进步。

1) CAD 阶段(20 世纪 70 年代)

这一阶段的 EDA 工具供应商只有几家,产品几乎都是一些单独的工具软件,主要有 PCB (Printed Circuit Board)布线设计、电路模拟、逻辑模拟及版图的绘制等,通过计算机的使用,从而将设计者从大量烦琐、重复的计算和绘图工作中解脱出来。这个时期的 EDA 一般称为 CAD (Computer Aided Design)。

2) CAE 阶段(20 世纪 80 年代)

20 世纪 80 年代初,随着集成电路规模的增大,EDA 技术有了较快的发展。许多软件公司如 Mentor, Daisy System 及 Logic System 等进入市场,开始供应带电路图编辑工具和逻辑模拟工具的 EDA 软件,但每个软件只能完成其中的一项工作,通过顺序循环使用这些软件完成设计的全过程。随后由于采用了统一数据管理技术,因而能够将各种设计工具,如原理图输入、编译与连接、逻辑模拟、测试码生成、版图自动布局以及各种单元库集成为一个 CAE (Computer Aided Engineering)系统。这个阶段主要采用基于单元库的半定制设计方法,采用门阵列和标准单元设计的各种 ASIC 得到了极大的发展,将集成电路工业推入了 ASIC 时代。多数系统中集成了 PCB 自动布局布线软件以及热特性、噪声、可靠性等分析软件,进而可以实现电子系统设计自动化。

3) EDA 阶段(20 世纪 90 年代以来)

20 世纪 90 年代以来,微电子技术以惊人的速度发展,其工艺水平达到深亚微米级,在一个芯

片上可集成数百万乃至上千万只晶体管,工作频率可达到 GHz,这为制造出规模更大、速度更快和信息容量更大的芯片系统提供了条件,但同时也对 EDA 系统提出了更高的要求,促进了 EDA 技术的发展。这时,EDA 以逻辑综合、硬件行为仿真、参数分析和测试为重点。设计工具门类齐全,能够提供系统设计需要的全部工具,如描述设计意图的设计输入工具、具有逻辑综合和设计优化能力的设计工具以及验证设计和评估性能的仿真工具,能够在系统级、电路级和 RTL 及门级进行设计描述、综合和仿真,不仅极大地提高了系统的设计效率,而且使设计者摆脱了大量的辅助性及基础性工作,将精力集中于创造性的方案与概念的构思上。

未来的 EDA 技术将会向广度和深度两个方向发展。在广度上,EDA 会日益普及,成为每一个电子工程师主要的设计工具;在深度上,目前的各种工具,如系统仿真、PCB 布线、逻辑综合、DSP 设计工具等系统工具都将在统一的数据库及管理框架环境下工作。

目前,全球 EDA 厂商有近百家之多,大体可分两类:一类是 EDA 专业软件公司,较著名的有 Mentor Graphics、Cadence Design Systems、Synopsys、Viewlogic Systems 和 Protel 等;另一类是半导体器件厂商,为了销售他们的产品而开发 EDA 工具,较著名的公司有 Altera、Xilinx、TI 和 Lattice 等。EDA 专业软件公司独立于半导体器件厂商,推出的 EDA 系统具有较好的标准化和兼容性,也比较注意追求技术上的先进性,适合于进行学术性基础研究的单位使用。而半导体厂商开发的 EDA 工具,能针对自己器件的工艺特点作出优化设计,提高资源利用率、降低功耗、改善性能,比较适合于产品开发单位使用。在 EDA 技术发展策略上,EDA 专业软件公司面向应用,提供 IP 模块和相应的设计服务;而半导体厂商则采取三位一体的战略,在器件生产、设计服务和 IP 模块的提供上下工夫。

2. 专用集成电路 ASIC

当今社会是数字化社会,数字集成电路应用非常广泛,其发展从电子管、晶体管、小规模集成电路 SSI、MSI、LSI、VLSI(几万门以上)、超大规模集成电路 ULSI 和超位集成电路 GSI,再到现在的系统芯片 SOC(System On Chip),其规模几乎平均每 1~2 年翻一番。

随着半导体集成电路的工艺技术、支持技术、设计技术、测试评价技术的发展,IC 集成度大大提高,电子整机、电子系统高速更新换代的竞争态势不断加强,为开发周期短、成本低、功能强、可靠性高以及专利性与保密性好的专用集成电路创造了必要而充分的发展条件,并很快形成了用专用集成电路 ASIC(Application Specific Integrated Circuits)取代中小规模集成电路来组成电子系统或整机的技术热潮。

ASIC 的提出和发展说明集成电路进入了一个新阶段。通用的、标准的集成电路已不能完全适应电子系统的急剧变化和更新换代。各个电子系统生产厂家都希望生产出具有自己特色和个性的产品,而只有 ASIC 产品才能达到这种要求。这也是自 20 世纪 80 年代中期以来,ASIC 得到广泛传播和重视的根本原因。目前 ASIC 在总的 IC 市场中的占有率已达 1/3,在整个逻辑电路市场的占有率已超过 1/2。

ASIC 被认为是用户专用集成电路(Customer Specific IC),即它是专门为某一应用领域或某一专门用户需要而设计制造的 LSI 或 VLSI 电路,具有体积小、重量轻、功耗低、高性能、高可靠性和高保密性等优点。目前 ASIC 已经渗透到各个应用领域,从高性能的微处理器、数字信号处理器一直到彩电、音响和电子玩具电路,可谓五花八门。按照设计方法的不同,ASIC 可分为全定制和半定制两类。ASIC 的分类如图 1-4 所示。

1) 模拟 ASIC

除目前传统的运算放大器、功率放大器等电路外,模拟 ASIC 由线性阵列和模拟标准单元组

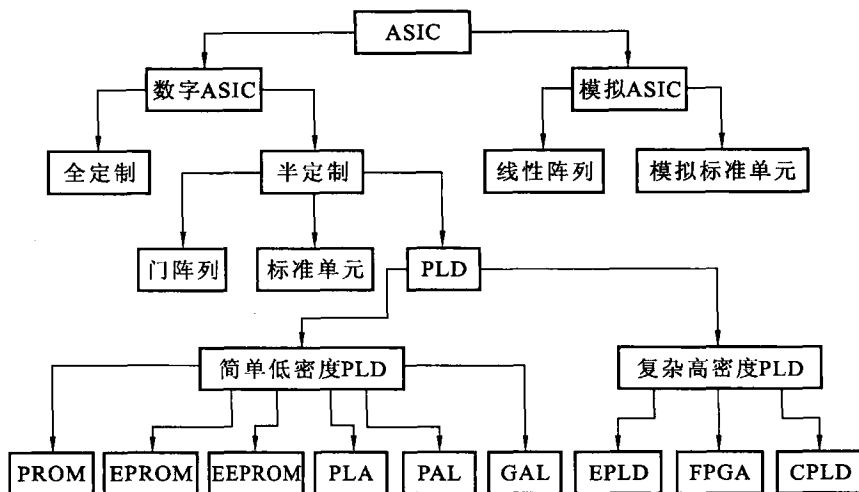


图 1-4 ASIC 的分类

成,与数字 ASIC 相比,它的发展还相当缓慢,其原因是模拟电路的频带宽度、精度、增益和动态范围等暂时还没有一个最佳的办法加以描述和控制。但模拟 ASIC 可减少芯片面积,提高性能,降低费用,扩大功能,降低功耗,提高可靠性,缩短开发周期,因此其发展也势在必行。科学的发展要求系统具有高精度、宽频带、大动态范围的增益和频带实时可变等性能,因此在技术上要求采用数字和模拟混合的 ASIC,以提高整个电子系统的可靠性。

2) 数字 ASIC

(1) 全定制(Full-custom Design Approach)ASIC。

全定制 ASIC 的各层掩膜都是按特定电路功能专门制造的。运用全定制法设计芯片,当芯片的功能、性能、面积和成本确定后,设计人员要对芯片结构、逻辑、电路等进行精心的设计,对不同的方案进行反复比较,对单元电路的结构、晶体管的参数要反复地模拟优化。在版图设计时,设计人员要手工设计版图并精心地布局布线,以获得最佳的性能和最小的面积。版图设计完成后,要进行完整的检查、验证,包括设计规则检查、电学规则检查、连接性检查、版图参数提取、电路图提取、版图与电路图一致性检查等。最后,通过模拟,才能将版图转换成标准格式的版图文件交与厂家制造芯片。

由此可见,采用全定制法可以设计出高速度、低功耗、省面积的芯片,但设计的周期很长,设计成本很高,只适用于对性能要求很高(如高速芯片)或批量很大的芯片(如存储器、通用芯片等)。

(2) 半定制(Semi-custom Design Approach)ASIC。

半定制 ASIC 是一种约束型设计方法,它是在芯片上制作好一些具有通用性的单元元件和元件组的半成品硬件,用户仅需考虑电路逻辑功能和各功能模块之间的合理连接即可。这种设计方法灵活方便,性价比高,缩短了设计周期,提高了成品率。半定制 ASIC 包括门阵列、标准单元和可编程逻辑器件 PLD 三种。

门阵列(Gate Array)法是最早开发并得到广泛应用的 ASIC 设计技术,它是在一个芯片上把门排列成阵列形式,严格地讲是把含有若干个器件的单元排列成阵列形式。门阵列设计法又称“母片”法,母片是 IC 厂家按照一定规格事先生产的半成品芯片。在母片上制作了大量规则排列的单元,这些单元依照要求相互连接在一起即可实现不同的电路要求。母片完成了绝大部分芯片工艺,只留下一层或两层金属铝连线的掩膜需要根据用户电路的不同而定制。

标准单元(Standard Cell)是由 IC 厂家将预先设置好、经过测试且具有一定功能的逻辑块作为标准单元存储在数据库中,包括标准的 TTL、CMOS、存储器、微处理器及 I/O 电路的专用单元阵列。设计时可根据需要选择库中的标准单元构成电路,然后调用这些标准单元的版图,并利用自动布局布线软件完成电路到版图一一对应的最终设计。

PLD 是 ASIC 的一个重要分支,是厂家作为一种通用性器件生产的半定制电路,用户可通过对器件编程实现所需要的逻辑功能。PLD 是用户可配置的逻辑器件,它的成本比较低,使用灵活,设计周期短,而且可靠性高,风险小,因而很快得到普遍应用,发展非常迅速。它从 20 世纪 70 年代发展到现在,已形成了许多类型的产品,其结构、工艺、集成度、速度和性能都在不断改进和提高。

PLD 的大致演变过程如下。

最早的 PLD 是 1970 年制成的 PROM(Programmable Read Only Memory),即可编程只读存储器。它采用熔丝工艺编程,只能写一次,不能擦除和重写。随着技术的发展和应用要求,此后又出现了 UVEPROM(紫外线可擦除只读存储器)、EEPROM(电可擦除只读存储器),由于它们价格低,易于编程,速度低,适合于存储函数和数据表格,因此主要用作存储器。典型的 EPROM 有 2716、2732 等。

可编程逻辑阵列 PLA(Programmable Logic Array)器件于 20 世纪 70 年代中期出现。由于器件的资源利用率低,价格较贵,编程复杂,支持 PLA 的开发软件有一定难度,因而没有得到广泛应用。

可编程阵列逻辑 PAL(Programmable Array Logic)器件是 1977 年美国 AMD 公司率先推出的。它采用熔丝编程方式、双极性工艺制造。由于器件的工作速度很高,输出结构种类很多,且设计很灵活,因而成为第一个得到普遍应用的可编程逻辑器件。

通用阵列逻辑 GAL(Generic Array Logic)器件是 1985 年 Lattice 公司首先发明的可电擦写、可重复编程、可设置加密位的 PLD。在实际应用中,GAL 器件对 PAL 器件仿真具有百分之百的兼容性,所以 GAL 几乎完全代替了 PAL 器件,并可以取代大部分 SSI、MSI 数字集成电路,如标准的 54/74 系列器件,因而获得广泛应用。

可擦除可编程逻辑器件 EPLD(Erasable PLD)是 20 世纪 80 年代中期 Altera 公司推出的基于 UVEPROM 和 CMOS 技术的 PLD,后来发展到采用 E²CMOS 工艺制作的 PLD。从某种意义上讲 EPLD 是改进的 GAL,其灵活性较 GAL 有较大改善,集成密度大幅度提高。世界著名的半导体器件公司如 Altera、Xilinx、AMD、Lattice 均有 EPLD 产品。

1985 年, Xilinx 公司提出现场可编程概念,同时生产了世界上第一片 FPGA(Field Programmable Gate Array,现场可编程门阵列)器件。它采用 CMOS-SRAM 工艺制作,工作前需要从芯片外部加载配置数据。配置数据可以存储在片外的 EPROM 或者计算机上,设计人员可以控制加载过程,在现场修改器件的逻辑功能,即所谓现场可编程。FPGA 出现后受到电子设计工程师的普遍欢迎,发展十分迅速。Xilinx、Altera 和 Actel 等公司都提供高性能的 FPGA 芯片。

20 世纪 80 年代末,Lattice 公司提出了在系统可编程(In System Programmability,ISP)技术。20 世纪 90 年代初出现了 CPLD(Complex Programmable Logic Device,复杂可编程逻辑器件)。它是在 EPLD 的基础上发展起来的,采用 E²CMOS 工艺制作。部分 CPLD 器件内部还集成了 RAM、FIFO 或双口 RAM 等存储器,以适应 DSP 应用设计的要求。其典型器件有 Altera 的 MAX7000 系列,Xilinx 的 7000 和 9500 系列,Lattice 的 PLSI/ispLSI 系列和 AMD 的 MACH 系列。

进入 20 世纪 90 年代后,高密度 PLD 在生产工艺、器件的编程和测试技术等方面都有了飞速

发展。如 Altera 公司的 APEX II 系列器件,其中 EP2A90 的密度可达 400 万典型门。目前世界各著名半导体器件公司,如 Altera、Xilinx、Lattice、Actel 等公司均可提供不同类型的 CPLD、FPGA 产品。众多公司的竞争促进了可编程集成电路技术的提高,使其性能不断改善,产品日益丰富,价格逐步下降。可以预计,可编程逻辑器件将在结构、密度、功能、速度和性能等方面得到进一步发展,结合 EDA 技术,PLD 将在现代电子系统设计中得到非常广泛的应用。

1.3 EDA 设计流程及其工具

完整地了解利用 EDA 技术进行设计开发的流程对于正确地选择和使用 EDA 软件,优化设计项目,提高设计效率十分有益。一个完整的、典型的 EDA 设计流程既是自顶向下设计方法的具体实施途径,也是 EDA 工具软件本身的组成结构。在实践中进一步了解支持这一设计流程的诸多设计工具,有利于有效地排除设计中出现的问题,提高设计质量和总结设计经验。

1. ASIC 及其设计流程

一般的 ASIC 从设计到制造,需要经过以下若干步骤。其设计流程如图 1-5 所示。

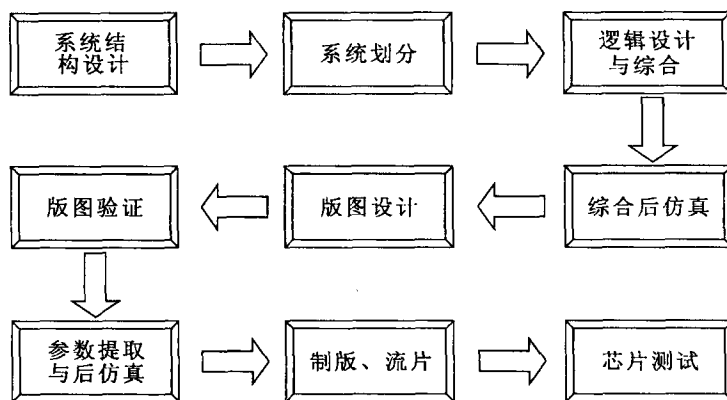


图 1-5 ASIC 设计流程

(1) 系统结构设计:分析并确定整个系统的功能、要求达到的性能、物理尺寸,确定采用何种制造工艺、设计周期和设计费用。建立系统的行为模型,进行可行性验证。

(2) 系统划分:将系统分割成各个功能子模块,给出子模块之间信号连接关系。验证各个功能块的行为模型,确定系统的关键时序。

(3) 逻辑设计与综合:将划分的各个子模块用文本(网表或硬件描述语言)、原理图等进行具体逻辑描述。对于硬件描述语言描述的设计模块需要用综合器进行综合以获得具体的电路网表文件,对于原理图等描述方式描述的设计模块经简单编译后得到逻辑网表文件。

(4) 综合后仿真:从上一步得到网表文件,在这一步进行仿真实验。

(5) 版图设计:版图设计是将逻辑设计中每一个逻辑元件、电阻、电容等以及它们之间的连线转换成集成电路制造所需要的版图信息。可手工或自动进行版图规划、布局、布线。这一步由于涉及逻辑到物理实现的映射,又称物理设计。

(6) 版图验证:版图设计完成以后进行版图验证。主要包括:版图原理图比对、设计规则检查、电气规则检查。在手工版图设计中,这是非常重要的一步。

(7) 参数提取与后仿真:验证完毕,进行版图的电路网表提取、参数提取,把提取出的参数反注

至网表文件,进行最后一步仿真验证工作。

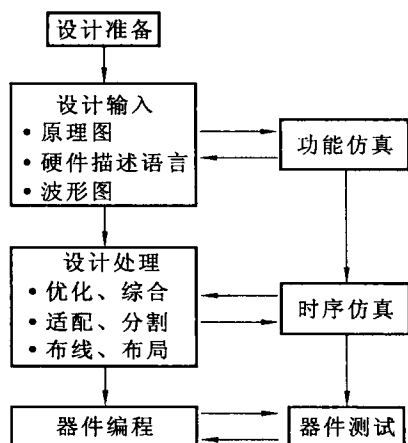


图 1-6 FPGA/CPLD 的设计流程

(8) 制版、流片:送 IC 生产线进行制版、光罩和流片,进行试验性生产。

(9) 芯片测试:测试芯片是否符合设计要求,并评估成品率。

2. FPGA/CPLD 设计流程

FPGA/CPLD 的设计一般可以分为设计准备、设计输入、设计处理和器件编程四个步骤以及相应的功能仿真(前仿真)、时序仿真(后仿真)和器件测试三个设计验证过程。其设计流程如图 1-6 所示。

1) 设计准备

在对可编程逻辑器件的芯片进行设计之前,首先要进行方案论证、系统设计和器件选择等设计准备工作。设计者首先要根据任务要求,如系统所完成的功能及复杂程度,对工作速度和器件本身的资源、成本及连线的可布性等方面进行权衡,选择合适的设计方案和合适的器件类型。

在设计过程中采用层次化和模块化将使系统设计变得简洁和方便。层次化设计的优点一是支持模块化,底层模块可以反复被调用,多个底层模块也可以同时由多个设计者同时进行设计,因而提高了设计效率;二是模块化设计比较自由,它既适合于自顶向下的设计,也适合于自底向上的设计。

2) 设计输入

设计者将所设计的系统或电路以开发软件要求的某种形式表示出来,并送入计算机的过程称为设计输入。设计输入通常有以下几种方式。

(1) 原理图输入方式。这是一种最直接的设计描述方式,它使用软件系统提供的元器件库及各种符号和连线画出原理图,形成原理图输入文件。这种方式要求设计人员具有丰富的电路知识,并对 PLD 的结构比较熟悉。其主要优点是容易实现仿真,便于信号的观察和电路的调整;缺点是效率低,特别是产品若有所改动,需要选用另外一个公司的 PLD 器件,就需要重新输入原理图,而采用硬件描述语言输入方式就不存在这个问题。

(2) 硬件描述语言输入方式。硬件描述语言是用文本方式描述设计,它分为普通硬件描述语言和行为描述语言。普通硬件描述语言有 ABLE、CUPL 等,它们支持逻辑方程、真值表、状态机等逻辑表达方式。主要用于简单 PLD 的设计输入。行为描述语言是目前常用的高层硬件描述语言,主要有 VHDL 和 Verilog HDL 两个 IEEE 标准。其突出优点是:语言与工艺的无关性,可以使设计人员在系统设计、逻辑验证阶段便确立方案的可行性;语言的公开可利用性,使它便于实现大规模系统的设计;同时,它还具有很强的逻辑描述和仿真功能,而且输入效率高,在不同的设计输入库之间的转换非常方便,是目前硬件设计语言的主流。

(3) 波形输入方式。波形输入方式主要是用来建立和编辑波形设计文件,以及输入仿真向量和功能测试向量。波形设计输入适合用于时序逻辑和有重复性的逻辑函数。系统软件可以根据用户定义的输入/输出波形自动生成逻辑关系。波形编辑功能还允许设计者对波形进行拷贝、剪切、粘贴、重复与伸展,从而可以用内部节点、触发器和状态机建立设计文件,并将波形进行组合,显示各种进制的状态值,还可以通过将一组波形重叠到另一组波形上,对两组仿真结果

进行比较。

3) 设计处理

这是器件设计中的核心环节。在设计处理过程中,编译软件将对设计输入文件进行逻辑化简、综合和优化,并适当地用一片或多片器件自动地进行适配,最后产生编程用的编程文件。

(1) 语法检查 and 设计规则检查。设计输入完成之后,在编译过程中首先进行语法检验,如检查原理图有无漏连信号线,信号有无双重来源,文本输入文件中关键字有无输错等各种语法错误,并及时列出错误信息报告供设计者修改;然后进行设计规则检验,检查总的设计有无超出器件资源或规定的限制并将编译报告列出,指明违反规则情况以供设计者纠正。

(2) 逻辑优化和综合。化简所有的逻辑方程或用户自建的宏,使设计所占用的资源最少。综合的目的是将多个模块化设计文件合并为一个网表文件,并使层次设计平面化。

(3) 适配和分割。确定优化以后的逻辑能否与器件中的宏单元和 I/O 单元适配,然后将设计分割为多个便于适配的逻辑小块形式映射到器件相应的宏单元中。如果整个设计不能装入一片器件时,可以将整个设计自动分割(划分)成多块并装入同一系列的多片器件中。

分割(划分)工作可以全部自动实现,也可以部分由用户控制,还可以全部由用户控制进行,划分时应使所需器件数目尽可能少,同时应使用于器件之间通信的引脚数目最少。

(4) 布局和布线。布局和布线工作是在设计检验通过以后由软件自动完成的,它能以最优的方式对逻辑元件布局,并准确地实现元件间的互连。布线以后软件会自动生成布线报告,提供有关设计中各部分资源的使用情况等信息。

(5) 生成编程数据文件。设计处理的最后一步是产生可供器件编程使用的数据文件。对 CPLD 来说,是产生熔丝图文件,即 JEDEC 文件(电子器件工程联合会制定的标准格式,简称 JED 文件);对于 FPGA 来说,是生成位流数据文件(Bitstream Generation)。

4) 设计校验

设计校验过程包括功能仿真和时序仿真,这两项工作是在设计处理过程中同时进行的。

功能仿真是在设计输入完成之后,选择具体器件进行编译之前进行的逻辑功能验证,因此又称为前仿真。此时的仿真没有延时信息,对于初步的功能检测非常方便。仿真前,要先利用波形编辑器或硬件描述语言等建立波形文件或测试向量(即将所关心的输入信号组合成序列),仿真结果将会生成报告文件和输出信号波形,从中便可以观察到各个节点的信号变化。若发现错误,则返回设计输入中修改逻辑设计。

时序仿真是在选择了具体器件并完成布局、布线之后进行的时序关系仿真,因此又称后仿真或延时仿真。由于不同器件的内部延时不一样,不同的布局、布线方案也给延时造成不同的影响,因此在设计处理以后,对系统和各模块进行时序仿真,分析其时序关系,估计设计的性能以及检查和消除竞争冒险等是非常有必要的。实际上这也是与实际器件工作情况基本相同的仿真。

设计校验过程中的前仿真和后仿真统称为设计仿真。设计仿真是 EDA 的一个重要概念,对可编程逻辑器件的设计是必不可少的过程。通过仿真的结果,设计者可以对是否存在设计错误及是否符合延时要求,有一个及时的了解和修正。规模越大的设计,越需要设计仿真。仿真不消耗资源,不浪费时间,以致有人认为仿真是 EDA 的精髓。

5) 器件编程

编程是指将编程数据放到具体的可编程器件中去。同“编程”相同的概念是“下载”和“配置”。对 CPLD 器件来说是将 JED 文件“下载”到 CPLD 器件中去,对 FPGA 来说是将位流数据 BG 文件“配置”到 FPGA 中去。