

EDA技术与VHDL

(第3版)

潘松 黄继业 编 著



清华大学出版社

EDA 技术与 VHDL (第 3 版)

潘 松 黄继业 编著

清华大学出版社

北 京

内 容 简 介

本书系统地介绍了 EDA 技术和 VHDL 硬件描述语言, 将 VHDL 的基础知识、编程技巧和实用方法与实际工程开发技术在先进的 EDA 软件设计平台——Quartus II 9.0 和硬件平台——Cyclone III FPGA 上很好地结合起来, 使读者能够通过本书的学习迅速了解并掌握 EDA 技术的基本理论和工程开发实用技术, 并为后续的深入学习和发展打下坚实的理论与实践基础。

依据高校课堂教学和实验操作的规律与要求, 并以提高学生的实际工程设计能力和自主创新能力为目的, 对全书内容作了恰当的编排, 共分为 6 个部分: EDA 技术的概述; FPGA/CPLD 器件的结构原理; VHDL 实用技术; Quartus II 及 IP 核的详细使用方法; 基于 VHDL 的 16 位 CPU 设计技术; 基于 MATLAB 和 DSP Builder 平台的详细的 EDA 设计技术和大量实用系统设计示例。除个别章节外, 各章都安排了相应的习题和针对性强的实验与设计示例。书中列举的 VHDL 示例, 都经编译通过或经硬件测试。

本书主要面向高等院校本、专科 EDA 技术和 VHDL 语言基础课, 推荐作为电子工程、通信、工业自动化、计算机应用技术、电子对抗、仪器仪表、数字信号或图像处理等专业与相关的实验指导课的授课教材或主要参考书, 同时也可作为电子设计竞赛、FPGA 开发应用的自学参考书。

对于授课教师还能获赠本书 CAI 教学课件与实验指导课件, 这部分内容可到清华大学出版社网站 (www.tup.tsinghua.edu.cn) 下载。

本书封面贴有清华大学出版社防伪标签, 无标签者不得销售。

版权所有, 侵权必究。侵权举报电话: 010-62782989 13701121933

图书在版编目 (CIP) 数据

EDA 技术与 VHDL/潘松, 黄继业编著. —3 版. —北京: 清华大学出版社, 2009.9

ISBN 978-7-302-20979-9

I. E… II. ①潘… ②黄… III. ①电子电路-电路设计: 计算机辅助设计 ②硬件描述语言, VHDL-程序设计 IV. TN702 TP312

中国版本图书馆 CIP 数据核字 (2009) 第 163120 号

责任编辑: 钟志芳 王建伟

封面设计: 刘 超

版式设计: 魏 远

责任校对: 王 云 柴 燕

责任印制: 何 芊

出版发行: 清华大学出版社

地 址: 北京清华大学学研大厦 A 座

<http://www.tup.com.cn>

邮 编: 100084

社 总 机: 010-62770175

邮 购: 010-62786544

投稿与读者服务: 010-62776969, c-service@tup.tsinghua.edu.cn

质 量 反 馈: 010-62772015, zhiliang@tup.tsinghua.edu.cn

印 刷 者: 北京四季青印刷厂

装 订 者: 三河市李旗庄少明装订厂

经 销: 全国新华书店

开 本: 185×260 印 张: 25.25 字 数: 583 千字

版 次: 2009 年 9 月第 3 版 印 次: 2009 年 9 月第 1 次印刷

印 数: 1~5000

定 价: 35.00 元

本书如存在文字不清、漏印、缺页、倒页、脱页等印装质量问题, 请与清华大学出版社出版部联系调换。联系电话: (010)62770177 转 3103 产品编号: 033961-01

前 言

结合 EDA 技术许多最新的发展成果,以及我国高等教育更加注重学生的工程实践能力与自主创新能力的培养,本书作为第 3 版,进行了较大变动,删除了已过时的内容,加入了 EDA 技术的一些最新发展技术,还包括新版 Quartus II 9.0、DSP Builder 9.0、MATLAB 7.8 的详细的、新的使用方法,Altera 新近推出的 Cyclone III 系列 FPGA 的开发技术,以及相关的示例和实验,使全书在为学生提供更多新知识的同时给出大量新实验,更加注重学生创造力的培养。

书中绝大部分章节都安排了针对性较强的习题、实验和设计项目,使学生对每一章的课堂教学效果都能及时通过实验得以强化。本书大部分实验中,除给出详细的实验目的、实验原理、实验思考题和实验报告要求外,还包含多个实验项目(层次)。如第一层次是与该章内容相关的验证性实验,本书提供了详细的并被验证的设计程序和实验方法,学生只需将书中提供的设计程序输入计算机,并按要求进行编译仿真,在实验系统上实现即可;第二层次是在上一实验基础上作进一步的发挥;此后的实验层次属于自主设计或创新性质的实验,包括一些大学生电子设计竞赛的设计项目。授课教师可以根据本课程的实验学时数和教学实验的要求,以及学生的兴趣程度,以不同的方式或形式布置给学生完成。

本书第 1 章的内容是 EDA 和 VHDL 概述,第 2 章的内容是 FPGA/CPLD 硬件原理,第 3 章的内容主要是 VHDL 基础。

为了尽可能缩短授课课时数,优化教学效果,提高教学效率,本书将重点放在 VHDL 的实用技术上,采用了从典型电路设计实例的介绍中引出 VHDL 相关语句语法的方法,在给出完整并被验证过的 VHDL 描述的同时,还给出了综合后的 RTL 电路图及表现该电路系统功能的时序波形图。对于容易出现的设计错误或产生歧义的示例,还给出正误示例的比较和详细说明。由此,通过一些简单、直观、典型的示例,将 VHDL 最核心、最基本的内容解释清楚,使读者能在短时间内有效地把握 VHDL 的主要内容,而不必花费过多的时间去单独学习语法。对于这样的编排,许多曾选用了此教材的老师都给予了肯定。

第 4 章主要介绍 Quartus II 9.0 的详细使用方法以及 Cyclone III FPGA 的开发技术。其中包括不同输入方式的设计方法、LPM 宏功能模块及 IP 核的使用技术、嵌入式逻辑分析仪等测试工具的使用方法。

第 5 章是 VHDL 有限状态机的实用设计技术,包括不同类型的常用有限状态机的语法、状态机的设计方法、实用示例、毛刺克服技术、状态编码方法、工作稳定性控制技术等。

值得一提的是,第 5 章中增加了许多新的更实用的内容,其中包括基于 Quartus II 9.0 的状态机编码设置方法、安全状态机设计设置方法、毛刺信号排除技术,以及多个新的基于状态机控制的实用电路设计的实验。

第 6 章给出了一个基于有限状态机控制的 16 位 CISC CPU 的详细设计过程。全机由 VHDL 表述,借助于 Quartus II,其软硬件功能在单片 FPGA 中得到验证。通过此章的学习



和实验,可使学生完整地掌握一个实用 16 位 CPU 的设计与实现技术,从而对 VHDL 有更深入的了解。

第 7 章和第 8 章较系统、完整、有序地给出了 VHDL 的语句类型、语言结构、语法规则,是对第 3 章和第 5 章 VHDL 语法知识的归纳、整理、提升和拓延。这些内容的取舍,可根据本课程的学时数和大纲要求来决定。

第 9 章和第 10 章的内容比较新,主要是基于 MATLAB 7.8 和 DSP Builder 9.0 的 EDA 开发技术,重点是基于 FPGA 的硬件 DSP 开发技术和数字通信系统设计技术,其中包括一些最新发展的技术成果。这方面的内容对于通信和信息工程专业类的学生和工程技术人员尤为重要。

本书重点介绍 VHDL 的设计技术,不仅是因为 VHDL 与 Verilog HDL 一样都属于 IEEE 标准 HDL,并同样是一种被广泛使用的硬件描述语言,而是考虑到本书第 9 章和第 10 章介绍的,在 EDA 技术领域发展十分迅速的,基于 MATLAB 和 DSP Builder 的数字系统和 DSP 开发技术中,目前 DSP Builder 只能将 MATLAB 设计模型转化为 VHDL 程序。

现代电子工程和 EDA 技术发展的速度异常迅猛,高等院校在这方面的教学将面临越来越大的挑战。这主要表现在两个方面:一是更多更新的知识有待传授,二是学生在该领域的自主创新能力有待提高。为了迎接这个挑战,本书力图在这两个方面都有所作为,但限于知识面,本书还有诸多不足之处,还望业内专家同行不吝斧正。

本书的撰写得到了美国 ALTERA 公司大学计划部总经理 Bob Xu 先生的大力支持,在此表示衷心的感谢!

作者的 E-mail 是 EDA82@HZCNC.com, 欢迎交流!

此外,由于本书篇幅所限而未能列入的内容及本书课件,包括诸多示例和实验所基于的 FPGA 实验平台更详细的使用方法,以及结合本书相关的 EDA 技术与 FPGA 开发培训信息,都可浏览网址 www.kx-soc.com。

作 者

2009 年 8 月于杭州电子科技大学

目 录

第 1 章 概述	1
1.1 电子设计自动化技术及其发展	1
1.2 电子设计自动化应用对象	2
1.3 VHDL	4
1.4 EDA 的优势	5
1.5 面向 FPGA 的开发流程	6
1.5.1 设计输入	6
1.5.2 综合	7
1.5.3 布线布局 (适配)	8
1.5.4 仿真	8
1.5.5 下载和硬件测试	8
1.6 Quartus II 概述	9
1.7 IP 核	10
1.8 EDA 技术的发展趋势	12
第 2 章 PLD 硬件特性与编程技术	14
2.1 PLD 概述	14
2.1.1 PLD 的发展历程	14
2.1.2 PLD 的分类	15
2.2 低密度 PLD 可编程原理	16
2.2.1 电路符号表示	17
2.2.2 PROM	18
2.2.3 PLA	19
2.2.4 PAL	20
2.2.5 GAL	21
2.3 CPLD 的结构与可编程原理	22
2.4 FPGA 的结构与工作原理	25
2.4.1 查找表逻辑结构	25
2.4.2 Cyclone 系列器件的结构与原理	26
2.5 硬件测试技术	31
2.5.1 内部逻辑测试	31
2.5.2 JTAG 边界扫描测试	32
2.6 FPGA/CPLD 产品概述	33
2.6.1 Lattice 公司 CPLD 器件系列	33



2.6.2	Xilinx 公司的 FPGA 和 CPLD 器件系列	33
2.6.3	Altera 公司的 FPGA 和 CPLD 器件系列	34
2.6.4	Actel 公司的 FPGA 器件	37
2.6.5	Altera 公司的 FPGA 配置方式与配置器件	37
2.7	编程与配置	37
2.7.1	JTAG 方式的在系统编程	38
2.7.2	使用 PC 并行口配置 FPGA	39
2.7.3	FPGA 配置器件	40
第 3 章	VHDL 基础	42
3.1	VHDL 基本语法	42
3.1.1	组合电路描述	42
3.1.2	VHDL 结构	44
3.2	时序电路描述	48
3.2.1	D 触发器	48
3.2.2	时序描述 VHDL 规则	49
3.2.3	时序电路的不同表述方法	53
3.3	全加器的 VHDL 描述	55
3.3.1	半加器描述	55
3.3.2	CASE 语句	57
3.3.3	例化语句	59
3.4	计数器设计	60
3.5	一般计数器的 VHDL 设计方法	63
3.5.1	相关语法	64
3.5.2	程序功能分析	64
3.5.3	移位寄存器设计	66
3.6	数据对象	67
3.6.1	常数	67
3.6.2	变量	68
3.6.3	信号	68
3.6.4	进程中的信号赋值与变量赋值	70
3.7	IF 语句概述	77
3.8	进程语句归纳	79
3.8.1	进程语句格式	80
3.8.2	进程结构组成	80
3.8.3	进程要点	81
3.9	并行赋值语句概述	83
3.10	双向和三态电路信号赋值	84



3.10.1	三态门设计	84
3.10.2	双向端口设计	85
3.10.3	三态总线电路设计	87
3.11	仿真延时	89
3.11.1	固有延时	89
3.11.2	传输延时	90
3.11.3	仿真 δ	91
习题		91
第 4 章	Quartus II 使用方法	94
4.1	Quartus II 设计流程	94
4.2	嵌入式逻辑分析仪应用	107
4.3	编辑 SignalTap II 的触发信号	111
4.4	LPM_ROM 宏模块应用	113
4.4.1	工作原理	113
4.4.2	定制初始化数据文件	113
4.4.3	定制 LPM_ROM 元件	115
4.4.4	完成顶层设计	118
4.5	In-System Memory Content Editor 应用	120
4.6	LPM_RAM/FIFO 的定制与应用	122
4.6.1	LPM_RAM 定制	122
4.6.2	FIFO 定制	123
4.7	IP 核的使用方法	124
4.8	原理图电路设计方法	127
4.8.1	1 位全加器设计	127
4.8.2	基于原理图的正弦信号发生器设计	129
4.9	LPM 嵌入式锁相环调用	130
4.9.1	建立嵌入式锁相环元件	131
4.9.2	调入顶层设计	132
4.9.3	测试锁相环	133
4.10	流水线乘法器的混合输入设计	134
习题		137
实验与设计		138
实验 4-1	组合电路的设计	138
实验 4-2	时序电路的设计	139
实验 4-3	含异步清 0 和同步时钟使能的加法计数器的设计	139
实验 4-4	用原理图输入法设计 8 位全加器	139
实验 4-5	正弦信号发生器设计	140



实验 4-6	七段数码显示译码器设计	140
实验 4-7	数控分频器的设计	142
实验 4-8	8 位十六进制频率计设计	143
实验 4-9	查表式硬件运算器设计	146
第 5 章	VHDL 状态机	149
5.1	状态机设计相关语句	149
5.1.1	类型定义语句	149
5.1.2	状态机的优势	151
5.1.3	状态机结构	152
5.2	Moore 状态机	155
5.2.1	多进程状态机	155
5.2.2	单进程 Moore 状态机	159
5.3	Mealy 状态机	161
5.4	状态编码	164
5.4.1	直接输出型编码	164
5.4.2	顺序编码	167
5.4.3	一位热码编码	169
5.5	非法状态处理	169
5.6	数字方式排除毛刺信号	171
5.6.1	延时电路	171
5.6.2	去抖动电路	173
习题		174
实验与设计		176
实验 5-1	序列检测器设计	176
实验 5-2	并行 ADC 采样控制电路实现	177
实验 5-3	数据采集电路和简易存储示波器设计	178
实验 5-4	比较器和 D/A 器件实现 A/D 转换功能的电路设计	180
实验 5-5	用状态机设计多功能逻辑笔	181
实验 5-6	串行 ADC 采样控制电路设计	181
实验 5-7	数字温度器件控制电路设计	181
第 6 章	16 位 CPU 设计	182
6.1	顶层系统设计	182
6.1.1	16 位 CPU 的组成结构	182
6.1.2	指令系统设计	183
6.1.3	顶层结构的 VHDL 设计	186
6.1.4	软件设计实例	189
6.2	CPU 基本部件设计	191



6.2.1	运算器 ALU.....	191
6.2.2	比较器 COMP.....	193
6.2.3	控制器 CONTROL.....	194
6.2.4	寄存器与寄存器阵列.....	198
6.2.5	移位寄存器 SHIFT.....	200
6.2.6	三态寄存器 TRIREG.....	202
6.3	CPU 的时序仿真与实现.....	202
6.3.1	编辑仿真波形文件.....	203
6.3.2	16 位 CPU 的调试运行.....	206
6.3.3	应用嵌入式逻辑分析仪调试 CPU.....	206
6.3.4	对配置器件编程.....	208
6.4	应用程序设计实例.....	208
6.4.1	乘法算法及其实现.....	208
6.4.2	除法算法及其实现.....	209
	习题.....	210
	实验与设计.....	210
	实验 6-1 16 位计算机基本部件实验.....	210
	实验 6-2 16 位 CPU 设计综合实验.....	211
第 7 章	VHDL 语句.....	217
7.1	顺序语句.....	217
7.1.1	赋值语句.....	217
7.1.2	IF 语句.....	217
7.1.3	CASE 语句.....	218
7.1.4	LOOP 语句.....	220
7.1.5	NEXT 语句.....	221
7.1.6	EXIT 语句.....	222
7.1.7	WAIT 语句.....	223
7.1.8	RETURN 语句.....	226
7.1.9	空操作语句.....	227
7.2	并行语句.....	227
7.2.1	并行信号赋值语句.....	228
7.2.2	实体说明语句.....	231
7.2.3	参数传递说明语句.....	231
7.2.4	参数传递映射语句.....	232
7.2.5	端口说明语句.....	234
7.2.6	块语句结构.....	234
7.2.7	元件例化语句.....	237



7.2.8 生成语句	238
7.2.9 REPORT 语句	242
7.2.10 断言语句	243
7.3 属性描述与定义语句	245
习题	248
实验与设计	250
实验 7-1 循环冗余校验模块设计	250
实验 7-2 直流电机驱动电路设计	252
实验 7-3 步进电机驱动电路设计	254
第 8 章 VHDL 结构	255
8.1 VHDL 实体	255
8.2 VHDL 结构体	255
8.3 VHDL 子程序	256
8.3.1 VHDL 函数	256
8.3.2 VHDL 重载函数	259
8.3.3 VHDL 转换函数	261
8.3.4 VHDL 决断函数	263
8.3.5 VHDL 过程	264
8.3.6 VHDL 重载过程	266
8.3.7 子程序调用语句	266
8.3.8 并行过程调用语句	269
8.4 VHDL 库	270
8.4.1 库的种类	271
8.4.2 库的用法	272
8.5 VHDL 程序包	273
8.6 VHDL 配置	276
8.7 VHDL 文字规则	276
8.7.1 数字	276
8.7.2 字符串	277
8.7.3 标识符	278
8.7.4 下标名	278
8.8 VHDL 数据类型	279
8.8.1 预定义数据类型	279
8.8.2 IEEE 预定义标准逻辑位与矢量	282
8.8.3 其他预定义标准数据类型	282
8.8.4 VHDL 数组类型	283
8.9 VHDL 操作符	286



8.9.1 逻辑操作符	286
8.9.2 关系操作符	288
8.9.3 算术操作符	289
习题	292
实验与设计	293
实验 8-1 直接数字式频率合成器设计	293
实验 8-2 基于 DDS 的数字移相信号发生器设计	298
实验 8-3 VGA 彩条信号显示控制器设计	300
实验 8-4 VGA 图像显示控制器设计	304
第 9 章 DSP Builder 设计初步	307
9.1 MATLAB/DSP Builder 及其设计流程	307
9.2 正弦信号发生器设计	310
9.2.1 建立设计模型	310
9.2.2 Simulink 模型仿真	317
9.2.3 SignalCompiler 使用方法	322
9.2.4 使用 ModelSim 进行 RTL 级仿真	324
9.2.5 使用 Quartus II 实现时序仿真	325
9.2.6 硬件测试与硬件实现	327
9.3 DSP Builder 层次化设计	328
9.4 基于 DSP Builder 的 DDS 设计	331
9.4.1 DDS 模块设计	331
9.4.2 FSK 调制器设计	334
9.4.3 正交信号发生器设计	335
9.4.4 数控移相信号发生器设计	336
9.4.5 幅度调制信号发生器设计	337
9.5 数字编码与译码器设计	338
9.5.1 伪随机序列	338
9.5.2 帧同步检出	340
9.6 硬件环 HIL 仿真设计	342
9.6.1 HIL 仿真流程	342
9.6.2 FSK 的 HIL 仿真	347
9.7 DSP Builder 的状态机设计	348
9.7.1 FIFO 控制状态机设计示例	348
9.7.2 状态机设计流程	350
习题	354
实验与设计	355
实验 9-1 利用 MATLAB/DSP Builder 设计基本电路模块实验	355



实验 9-2 基于 DSP Builder 的 DDS 应用模型设计	356
实验 9-3 编译码器设计实验	358
实验 9-4 HIL 硬件环仿真实验	358
第 10 章 DSP Builder 设计深入	359
10.1 FIR 数字滤波器设计	359
10.1.1 FIR 滤波器原理	359
10.1.2 使用 DSP Builder 设计 FIR 滤波器	360
10.1.3 使用 MATLAB 的滤波器设计工具	365
10.1.4 使用 FIR IP Core 设计 FIR 滤波器	371
10.2 VHDL 模块插入仿真与设计	375
10.3 正交幅度调制与解调模型设计	378
10.4 NCO IP 核应用	380
10.5 基于 IP 的数字编译码器设计	381
10.5.1 RS 码	381
10.5.2 Viterbi 译码	382
习题	383
实验与设计	384
实验 10-1 FIR 数字滤波器设计实验	384
实验 10-2 编译码器与调制解调模块设计实验	385
实验 10-3 HDL Import 模块应用实验	385
附录 A EDA 实验系统简介	386
参考文献	392

第1章 概 述

本章首先介绍 EDA 技术和硬件描述语言及其发展过程, 然后介绍基于 EDA 技术和 VHDL 的设计流程, 以及本书示例和实验推荐的主要 EDA 设计工具——Quartus II。

1.1 电子设计自动化技术及其发展

微电子技术的进步主要表现在大规模集成电路加工技术即半导体工艺技术的发展上, 使得表征半导体工艺水平的线宽已经达到了 60nm, 并还在不断地缩小, 而在硅片单位面积上, 集成了更多的晶体管。集成电路设计正在不断地向超大规模、极低功耗和超高速的方向发展, 专用集成电路 ASIC (Application Specific Integrated Circuit) 的设计成本不断降低, 在功能上, 现代的集成电路已能够实现单片电子系统 SOC (System On a Chip)。

现代电子设计技术的核心已日趋转向基于计算机的电子设计自动化技术, 即 EDA (Electronic Design Automation) 技术。EDA 技术就是依赖功能强大的计算机, 在 EDA 工具软件平台上, 对以硬件描述语言 HDL (Hardware Description Language) 为系统逻辑描述手段完成的设计文件, 自动地完成逻辑编译、化简、分割、综合、布局布线以及逻辑优化和仿真测试, 直至实现既定的电子线路系统功能。EDA 技术使得设计者的工作仅限于利用软件的方式, 即利用硬件描述语言和 EDA 软件来完成对系统硬件功能的实现, 这是电子设计技术的一个巨大进步。

EDA 技术在硬件实现方面融合了大规模集成电路制造技术、IC 版图设计、ASIC 测试和封装、FPGA (Field Programmable Gate Array) /CPLD (Complex Programmable Logic Device) 编程下载和自动测试等技术; 在计算机辅助工程方面融合了计算机辅助设计 (CAD)、计算机辅助制造 (CAM)、计算机辅助测试 (CAT)、计算机辅助工程 (CAE) 技术以及多种计算机语言的设计概念; 而在现代电子学方面则容纳了更多的内容, 如电子线路设计理论、数字信号处理技术、数字系统建模和优化技术及其高频的长线技术理论等。因此, EDA 技术为现代电子理论和设计的表达与实现提供了可能性。正因为 EDA 技术丰富的内容以及电子技术各学科领域的相关性, 其发展的历程同大规模集成电路设计技术、计算机辅助工程、可编程逻辑器件, 以及电子设计技术和工艺的发展是同步的。就过去近 30 年的电子技术的发展历程, 可大致将 EDA 技术的发展分为以下 3 个阶段。

20 世纪 70 年代, 在集成电路制作方面, MOS 工艺得到广泛的应用; 可编程逻辑技术及其器件问世, 计算机作为一种运算工具在科研领域得到广泛应用。而在后期, CAD 的概念已见雏形, 这一阶段人们开始利用计算机取代手工劳动, 辅助进行集成电路版图编辑、PCB 布局布线等工作。

20 世纪 80 年代, 集成电路设计进入了 CMOS (互补场效应管) 时代, 复杂可编程逻

辑器件进入商业应用,相应的辅助设计软件投入使用;在 80 年代末,出现了 FPGA;CAE 和 CAD 技术的应用更为广泛,它们在 PCB 设计方面的原理图输入、自动布局布线及 PCB 分析,以及逻辑设计、逻辑仿真、布尔函数综合和化简等方面担任了重要的角色。特别是各种硬件描述语言的出现、应用和标准化方面的重大进步,为电子设计自动化必须解决的电路建模、标准文档及仿真测试奠定了基础。

进入 20 世纪 90 年代,随着硬件描述语言的标准化进一步确立,计算机辅助工程、辅助分析和辅助设计在电子技术领域获得更加广泛的应用。与此同时,电子技术在通信、计算机及家电产品生产中的市场需求和技术需求,极大地推动了全新的电子设计自动化技术的应用和发展,特别是集成电路设计工艺步入了超深亚微米阶段,百万门以上的大规模可编程逻辑器件的陆续面世,以及基于计算机技术的面向用户的低成本大规模 ASIC 设计技术的应用,促进了 EDA 技术的形成。更为重要的是各 EDA 公司致力于推出兼容各种硬件实现方案和支持标准硬件描述语言的 EDA 工具软件的研究和应用推广,更有效地将 EDA 技术推向成熟和实用。

EDA 技术在进入 21 世纪后,得到了更大的发展,突出表现在以下几个方面:

- 在 FPGA 上实现 DSP(数字信号处理)应用成为可能,用纯数字逻辑进行 DSP 模块的设计,使得高速 DSP 实现成为现实,并有力地推动了软件无线电技术的实用化和发展。基于 FPGA 的 DSP 技术,为高速数字信号处理算法提供了实现途径。
- 嵌入式处理器软核的成熟,使得 SOPC(System On a Programmable Chip)步入大规模应用阶段,在一片 FPGA 上实现一个完备的数字处理系统成为可能。
- 在仿真和设计两方面支持标准硬件描述语言的功能强大的 EDA 软件不断推出。
- 电子技术领域全方位融入 EDA 技术,除了日益成熟的数字技术外,传统的电路系统设计建模理念发生了重大的变化,如软件无线电技术的崛起、模拟电路系统硬件描述语言的表达和设计的标准化、系统可编程模拟器件的出现、数字信号处理和图像处理的全硬件实现方案的普遍接受以及软硬件技术的进一步融合等。
- EDA 使得电子领域各学科的界限更加模糊,更加互为包容,如模拟与数字、软件与硬件、系统与器件、ASIC 与 FPGA、行为与结构等。
- 基于 EDA 的用于 ASIC 设计的标准单元已涵盖大规模电子系统及复杂 IP 核模块。
- 软硬 IP(Intellectual Property)核在电子产业的产业领域广泛应用。
- SOC 高效低成本设计技术的成熟。
- 系统级、行为验证级硬件描述语言的出现(如 System C),使复杂电子系统的设计和验证趋于简单。

1.2 电子设计自动化应用对象

一般来说,利用 EDA 技术进行电子系统设计,最后实现的目标是以下两个方面:

- 全定制或半定制 ASIC 设计。



- **FPGA/CPLD（或称可编程 ASIC）开发应用。**

实现的目标可以归结为专用集成电路 ASIC 的设计和实现，ASIC 是最终的物理平台，集中容纳了用户通过 EDA 技术将电子应用系统的既定功能和技术指标具体实现的硬件实体。一般而言，专用集成电路就是具有专门用途和特定功能的独立集成电路器件。根据这个定义，作为 EDA 技术最终实现目标的 ASIC，可以通过下面 3 种途径来完成。

1. 超大规模可编程逻辑器件

FPGA 和 CPLD 是实现这一途径的主流器件，它们的特点是直接面向用户、具有极大的灵活性和通用性、使用方便、硬件测试和实现快捷、开发效率高、成本低、上市时间短、技术维护简单、工作可靠性好等。FPGA 和 CPLD 的应用是 EDA 技术有机融合软硬件电子设计技术以及对自动化设计与自动化实现最典型的诠释。由于 FPGA 和 CPLD 的开发工具、开发流程和使用方法与 ASIC 有相通之处，因此这类器件通常也被称为可编程专用 IC 或可编程 ASIC。

2. 半定制或全定制 ASIC

根据实现的工艺，基于 EDA 设计技术的半定制或全定制 ASIC 可统称为掩模（MASK）ASIC，或直接称 ASIC。ASIC 大致分为门阵列 ASIC、标准单元 ASIC 和全定制 ASIC。

- **门阵列 ASIC：**门阵列芯片包括预定制相连的 PMOS 和 NMOS 晶体管行。在设计中，用户可以借助 EDA 工具将原理图或硬件描述语言模型映射为相应门阵列晶体管配置，创建一个指定金属互连路径文件，从而完成门阵列 ASIC 开发。由于有掩模的创建过程，门阵列有时也称掩模可编程门阵列（MPGA）。但是 MPGA 与 FPGA 完全不同，它不是用户可编程的，也不属于可编程逻辑范畴，而是实际的 ASIC。MPGA 出现在 FPGA 之前，FPGA 技术则源自 MPGA。现在，Altera 的 HardCopy、HardCopy II 技术，可以提供一种把 FPGA 的设计转化为结构化 ASIC 的途径。
- **标准单元 ASIC：**目前大部分 ASIC 是使用库中的不同大小的标准单元设计的，这类芯片一般称作基于单元的集成电路（Cell-based Integrated Circuits, CBIC）。在设计者一级，库包括不同复杂程度的逻辑元件，如 SSI 逻辑块、MSI 逻辑块、数据通道模块、存储器、IP 以及系统级模块。库还包含每个逻辑单元在硅片级的完整布局，使用者只需利用 EDA 软件工具与逻辑块描述打交道即可，完全不必关心电路布局的细节。在标准单元布局中，所有扩散、接触点、过孔、多晶通道及金属通道都已完全确定，当该单元用于设计时，通过 EDA 软件产生的网表文件将单元布局块“粘贴”到芯片布局之上的单元行上。标准单元 ASIC 设计与 FPGA 设计开发的流程相似。
- **全定制芯片：**全定制芯片中，在针对特定工艺建立的设计规则下，设计者对于电路的设计有完全的控制权，如线的间隔和晶体管大小的确定。该领域的一个例外是混合信号设计，使用通信电路的 ASIC 可以定制设计其模拟部分。

3. 混合 ASIC

混合 ASIC（不是指数模混合 ASIC）主要指既具有面向用户的 FPGA 可编程功能和逻



辑资源，同时也含有可方便调用和配置的硬件标准单元模块，如 CPU、RAM、ROM、硬件加法器、乘法器、锁相环等。Xilinx、Atmel 和 Altera 公司已经推出了这方面的器件，如 Virtex-4 系列、Excalibur（含 ARM 核）和 Stratix II 系列等。混合 ASIC 为 SOC 和 SOPC 的设计实现提供了便捷的途径。

1.3 VHDL

硬件描述语言 HDL 是 EDA 技术的重要组成部分，常见的 HDL 主要有 VHDL、Verilog HDL、ABEL、AHDL、SystemVerilog 和 SystemC。

其中 VHDL、Verilog 在现在的 EDA 设计中使用最多，也拥有几乎所有主流 EDA 工具的支持，而 SystemVerilog 和 SystemC 还处于完善过程中。本书将重点介绍 VHDL 的编程方法和使用技术。

VHDL 的英文全名是 VHSIC（Very High Speed Integrated Circuit）Hardware Description Language，于 1983 年由美国国防部（DOD）发起创建，由 IEEE（The Institute of Electrical and Electronics Engineers）进一步发展，并在 1987 年作为“IEEE 标准 1076”发布。从此，VHDL 成为硬件描述语言的业界标准之一。自 IEEE 公布了 VHDL 的标准版本（IEEE Std 1076）之后，各 EDA 公司相继推出了自己的 VHDL 设计环境，或宣布自己的设计工具支持 VHDL。此后，VHDL 在电子设计领域得到了广泛应用，并逐步取代了原有的非标准硬件描述语言。

VHDL 作为一个规范语言和建模语言，随着它的标准化，出现了一些支持该语言的行为仿真器。由于创建 VHDL 的最初目标是用于标准文档的建立和电路功能模拟，其基本想法是在高层次上描述系统和元件的行为。但到了 20 世纪 90 年代初，人们发现，VHDL 不仅可以作为系统模拟的建模工具，而且可以作为电路系统的设计工具，可以利用软件工具将 VHDL 源码自动地转化为文本方式表达的基本逻辑元件连接图，即网表文件。这种方法显然对于电路自动设计是一个极大的推进。很快，电子设计领域出现了第一个软件设计工具，即 VHDL 逻辑综合器，它可以标准地将 VHDL 的部分语句描述转化为具体电路实现的网表文件。

1993 年，IEEE 对 VHDL 进行了修订，从更高的抽象层次和系统描述能力上扩展了 VHDL 的内容，公布了新版本的 VHDL，即 IEEE 标准的 1076-1993 版本。现在，VHDL 和 Verilog 作为 IEEE 的工业标准硬件描述语言，得到众多 EDA 公司的支持，在电子工程领域，已成为事实上的通用硬件描述语言。现在公布的最新 VHDL 标准版本是 IEEE 1076-2002。

VHDL 语言具有很强的电路描述和建模能力，能从多个层次对数字系统进行建模和描述，从而大大简化了硬件设计任务，提高了设计效率和可靠性。

VHDL 具有与具体硬件电路无关和与设计平台无关的特性，并且具有良好的电路行为描述和系统描述的能力，并在语言易读性和层次化、结构化设计方面，表现了强大的生命力和应用潜力。因此，VHDL 在支持各种模式的设计方法，如自顶向下与自底向上或混合