

# FPGA

# 系统设计与实例

杨晓慧 杨旭 编著

“自顶向下”的层次化设计的方法和技巧

18个典型数字电路系统的设计实例

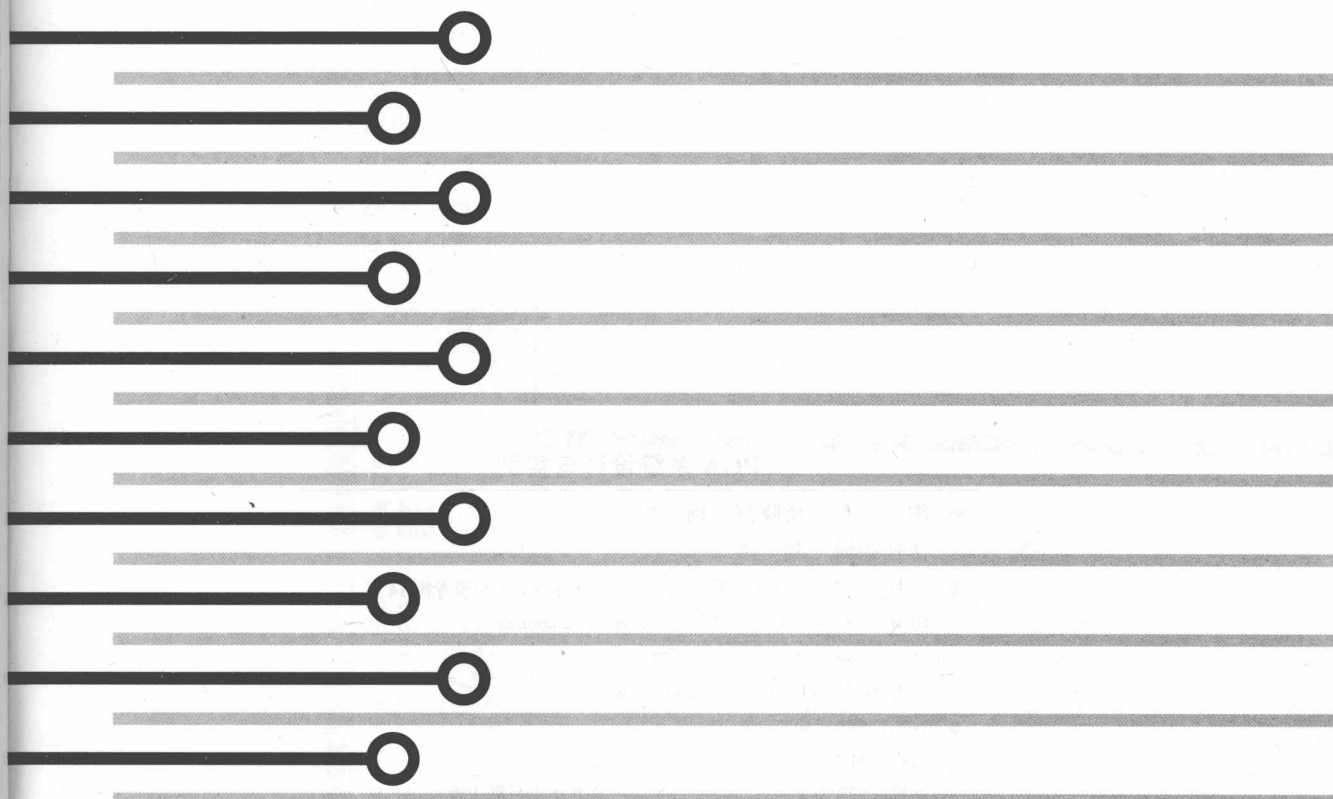
完整的代码、时序仿真波形



# FPGA

# 系统设计与实例

杨晓慧 杨旭 编著



人民邮电出版社

北京

## 图书在版编目 (CIP) 数据

FPGA系统设计与实例 / 杨晓慧, 杨旭编著. -- 北京:  
人民邮电出版社, 2010.1  
ISBN 978-7-115-21530-7

I. ①F… II. ①杨… ②杨… III. ①可编程序逻辑器件—系统设计 IV. ①TP332.1

中国版本图书馆CIP数据核字(2009)第176521号

## 内 容 提 要

本书共分为6章,分别介绍了EDA技术、可编程逻辑器件的基本知识及使用方法;VHDL语言设计方法;EDA的开发工具QuartusII的使用方法和技巧;基于VHDL的简单电路、应用电路及综合电路的设计,通过18个典型数字电路系统的设计实例(实例安排由简单到复杂),详细地介绍了基于EDA技术“自顶向下”的层次化设计的方法和技巧。

本书可作为EDA技术及相关技术课程设计的参考书,也可供从事数字逻辑电路和系统设计的电子设计人员参考。

## FPGA 系统设计与实例

- ◆ 编 著 杨晓慧 杨 旭  
责任编辑 刘 浩
- ◆ 人民邮电出版社出版发行 北京市崇文区夕照寺街14号  
邮编 100061 电子函件 315@ptpress.com.cn  
网址 <http://www.ptpress.com.cn>  
三河市海波印务有限公司印刷
- ◆ 开本: 787×1092 1/16  
印张: 21.5  
字数: 527千字  
印数: 1-3500册

2010年1月第1版  
2010年1月河北第1次印刷

ISBN 978-7-115-21530-7

定价: 45.00元

读者服务热线: (010)67132692 印装质量热线: (010)67129223

反盗版热线: (010)67171154

# 前 言

随着 FPGA/CPLD 的空前发展和广泛应用,人们愈来愈迫切地希望能够快速掌握基于 FPGA/CPLD 的应用电路设计方法和技巧。虽然市场上这方面的书籍不少,但读者在学习的过程中大多会遇到这样的问题:1. 或者是应用电路实例过于基础,深度上不能满足有一定基础的读者;或者是应用电路实例过于复杂,设计思路和方法表达得不是很具体,难度跨越较大,让很多读者,尤其是初学者学习起来感到吃力。2. 应用电路中的各个子电路(底层文件)和整体应用电路(顶层文件)大部分都由硬件描述语言实现,读者很难了解各个子电路接口的连接关系以及整体电路的设计思想。本书作者认为:底层文件和顶层文件都采用硬件描述语言实现的设计方法不适合初学者,因为这种设计方法缺乏层次感,设计思路较难理解。3. 第2个原因还会导致程序太大,增加了程序调试难度,一旦程序出现错误,读者想自行调试解决会很困难。

鉴于以上几点,我们总结了多年的教学和科研经验,编写了本书,希望读者不但能够学会基于 FPGA/CPLD 的硬件描述语言 VHDL 的编程方法和技巧,还能通过本书,更快地提高自己解决实际问题的能力。

本书的实例由简单到复杂,由浅入深,循序渐进,最后一章给是基于 FPGA 的多种综合电路设计的实例,旨在帮助读者熟悉并掌握一个完整的电路系统的设计方法和技巧。本书的应用电路设计实例均采用 VHDL 硬件描述语言进行系统的各部分功能模块电路的设计,最后采用原理图描述方式把系统的各部分模块连接起来,实现 FPGA 的顶层电路的层次化设计方法。所有程序全部在软件平台 Quartus II 下编译运行通过,同时书中还给出了时序仿真波形。

## ——内容安排

第1章中简单介绍了可编程逻辑器件 FPGA 和 CPLD 的基本知识、测试技术, CPLD 和 FPGA 的编程与配置。目的是让初学者了解要想开发 FPGA/CPLD, 应需基本掌握的 FPGA/CPLD 相关知识, 应注意的问题及使用方法。

第2章介绍了硬件描述语言 VHDL 的程序结构、基本语句的定义方法, 并举例加以说明。读者通过这一章的学习, 可初步掌握运用 VHDL 的基本语句完成某种特定功能电路的编程方法。

第3章介绍了 Quartus II 软件平台的开发及应用。这一章中讲解了采用 VHDL 文本输入和原理图输入方式进行硬件设计的方法；原理图顶层电路的设计方法；引脚设置、下载和硬件测试的方法；LPM 参数化宏功能模块与 IP 的应用技巧，Signal TapII 嵌入式逻辑分析仪的使用方法。以上内容全部有实例相对应，读者可在软件平台和硬件电路系统上边学边练。

第4章介绍了基于 VHDL 的简单电路的设计方法，并给出了 DAC0832 接口电路、LCD 显示器的控制电路等6个实例。通过这一章的学习，读者可初步掌握利用 VHDL 进行数字电路设计的方法和技巧。

第5章通过交通控制灯、数字秒表等6个实例介绍了基于 VHDL 的应用电路的“自顶向下”的层次化设计方法和技巧。先提出系统设计要求，然后根据要求给出设计方案，接着用 VHDL 硬件描述语言进行系统的各部分功能模块电路的设计，最后采用原理图描述方式把系统的各部分模块连接起来，实现 FPGA 的顶层电路。通过这一章的学习，希望读者能提高用 FPGA/CPLD 设计一个完整功能的数字电路的能力。

第6章是面向具有一定电路和单片机基础知识的读者编写的。通过等精度数字频率计、LC 压控振荡器及低频数字相位测量仪等6个实例，对基于 FPGA 的多种综合电路进行了设计。在这些实例中，给出了完成电路系统的总体方案，电路系统各个组成部分—包括 FPGA、单片机及硬件电路的设计原理、硬件连接、程序设计和仿真测试。本章的目的是提高读者运用 FPGA/CPLD、单片机或一些硬件电路进行综合电路系统的设计能力。

### ——读者对象

本书适合作为 EDA 技术及相关技术课程设计、综合实践、电子设计竞赛培训以及毕业设计的参考资料，也可供从事数字逻辑电路和系统设计的电子设计人员参考。

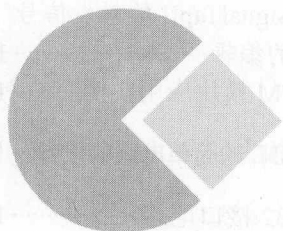
本书既适合初学者，也适合有一定数字电路和 VHDL 硬件描述语言知识基础并想进一步深入学习的读者。对于初学者可按本书的编写顺序逐章进行学习；有一定基础的读者可越过第1、第2或第3章，直接进行第4~6章的学习。

杨添博和刘师彤对本书 VHDL 程序进行了调试，并在本书的文字校对、绘图方面做了大量的工作；另外，本书参考和引用了许多专家的著作及相关 EDA 开发厂商的最新资料，在此一并表示由衷的感谢！

现代电子设计技术在不断地发展，相应的内容和设计方法也在不断地改进和完善，书中的许多内容可能还需要更深入地探讨及研究，因此疏漏在所难免，恳请广大读者批评指正（电子函件：book\_better@sina.com）。

编者

2009年8月



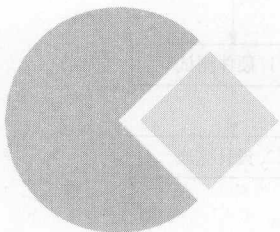
# 目 录

<b>第 1 章 EDA 技术与可编程逻辑器件</b> .....1	<b>第 2 章 硬件描述语言 VHDL</b> ..... 29
1.1 EDA 技术概述 .....1	2.1 VHDL 的特点 ..... 29
1.1.1 VHDL 硬件描述语言 .....1	2.2 VHDL 语言程序结构 ..... 31
1.1.2 EDA 工具开发流程 .....2	2.2.1 VHDL 库 ..... 32
1.1.3 EDA 的发展趋势 .....3	2.2.2 VHDL 程序包 ..... 34
1.2 可编程逻辑器件概述 .....4	2.2.3 实体 ..... 35
1.2.1 基于乘积项的 CPLD 结构 与工作原理 .....5	2.2.4 结构体 ..... 37
1.2.2 基于查找表 (Look-Up-Table) 的 FPGA 结构与工作原理 .....7	2.2.5 配置 ..... 38
1.2.3 其他类型的 FPGA、CPLD 及工程选择 .....10	2.3 VHDL 语言中的数据对象与 数据类型 ..... 41
1.3 FPGA/CPLD 测试技术 .....11	2.3.1 数据对象 ..... 41
1.4 CPLD 和 FPGA 的编程与配置 .....13	2.3.2 数据类型 ..... 44
1.4.1 利用 ByteBlasterII 并口 下载电缆进行配置 .....13	2.4 基本词法单元与操作符 ..... 52
1.4.2 利用 ByteBlasterMV 并口 下载电缆进行配置 .....18	2.4.1 VHDL 语言中的词法单元 包括注释、数字、字符、 字符串和位串 ..... 52
1.4.3 利用 MasterBlaster 串行/ USB 通信电缆进行配置 .....20	2.4.2 VHDL 语言中的操作符 ..... 54
1.4.4 利用 BitBlaster 串行下载 电缆进行配置 .....21	2.5 VHDL 基本语句 ..... 59
1.4.5 利用 FPGA 的专用芯片 进行配置 .....22	2.5.1 并行语句 ..... 59
1.4.6 使用单片机配置 FPGA .....25	2.5.2 顺序语句 ..... 69
1.4.7 使用 CPLD 配置 FPGA .....27	2.6 VHDL 语言与硬件电路的对应 ..... 77
	2.6.1 组合逻辑电路的 VHDL 描述 ..... 77
	2.6.2 时序逻辑电路的 VHDL 描述 ..... 85
	2.7 有限状态机 ..... 92

2.7.1	一般状态机的设计	93	3.5.5	IP 核的使用	153
2.7.2	Moore 型有限状态机的设计	96	3.6	Signal TapII 嵌入式逻辑分析仪的使用	159
2.7.3	Mealy 型有限状态机的设计	104	3.6.1	Signal TapII 使用实例	160
2.7.4	状态编码及剩余状态处理	105	3.6.2	SignalTapII 的触发信号的编辑	165
<b>第 3 章 Quartus II 功能及应用</b>			3.7	多种 LPM 模块应用实例	166
<b>3.1 Quartus II 的设计流程</b>			<b>第 4 章 基于 VHDL 的简单电路的设计</b>		
3.1.1	设计输入	110	4.1	DAC0832 接口电路	168
3.1.2	综合	111	4.1.1	DAC0832 接口电路及功能	168
3.1.3	布局布线	112	4.1.2	DAC0832 接口电路的程序设计	170
3.1.4	时序分析	112	4.2	LCD 显示器的控制电路	171
3.1.5	仿真	113	4.2.1	MDLS 系列液晶显示模块	171
3.1.6	编程和配置	113	4.2.2	显示模块驱动电路的程序设计	174
3.1.7	调试	114	4.3	LED 显示器的控制电路	176
3.1.8	系统级设计	115	4.3.1	LED 静态显示控制电路	176
3.2	原理图设计方法	116	4.3.2	LED 动态显示控制电路	178
3.2.1	建立 Quartus II 工程文件	116	4.4	分频器的设计	180
3.2.2	源文件原理图的输入	120	4.4.1	整数分频器	180
3.2.3	时序仿真	123	4.4.2	非整数分频器	183
3.3	VHDL 文本输入设计及引脚设置、下载和硬件测试	126	4.4.3	可控分频器的设计	185
3.3.1	VHDL 文本输入设计方法	126	4.5	并行脉冲控制电路	191
3.3.2	引脚设置、下载和硬件测试	127	4.6	二进制振幅键控 (ASK) 调制器与解调器	196
3.3.3	对配置器件的编程下载	130	4.6.1	二进制振幅键控 (ASK) 调制器与解调器原理	196
3.4	顶层电路的设计	130	4.6.2	ASK 调制电路的 VHDL 程序	198
3.5	LPM 参数化宏功能模块与 IP 的应用	133	4.6.3	ASK 解调电路的 VHDL 程序	200
3.5.1	宏模块应用实例	134	<b>第 5 章 基于 VHDL 的应用电路的设计</b>		
3.5.2	在系统存储器数据读写编辑器的应用	142	5.1	交通控制灯	202
3.5.3	其他存储器模块的定制与应用	144			
3.5.4	LPM 嵌入式锁相环的调用	150			

5.1.1	系统设计要求	202	5.6.1	PS/2 键盘通信协议原理	246
5.1.2	系统设计方案	202	5.6.2	PS/2 键盘通信控制电路中各模块电路的设计	250
5.1.3	交通控制灯各模块电路的设计	203	5.6.3	系统综合电路及仿真	258
5.1.4	顶层电路的设计	209			
5.2	数字秒表	212	<b>第 6 章</b>	<b>基于 FPGA 的综合电路的设计</b>	<b>260</b>
5.2.1	系统设计要求及设计方案	212	6.1	PWM 直流电机控制电路	260
5.2.2	各部分模块的设计	212	6.1.1	直流电机原理	260
5.2.3	顶层电路的设计	220	6.1.2	直流电机驱动电路	260
5.3	智力抢答器	221	6.1.3	基于 FPGA 的 PWM 直流电机控制电路的设计	262
5.3.1	系统设计要求及设计方案	221	6.2	等精度数字频率计	273
5.3.2	系统组成及工作原理	221	6.2.1	测量原理	273
5.3.3	抢答器各模块的 VHDL 程序设计	223	6.2.2	系统整体设计方案	274
5.3.4	系统仿真分析	228	6.2.3	频率计测频电路各模块电路的设计	276
5.4	电子密码锁	230	6.2.4	频率计测频电路的顶层电路设计	282
5.4.1	系统设计要求	230	6.3	LC 压控振荡器	284
5.4.2	电子密码锁的总体结构	231	6.3.1	系统总体方案	285
5.4.3	密码锁各部分电路模块的设计	231	6.3.2	FPGA 测控专用芯片各功能模块的设计	289
5.4.4	密码锁的顶层电路设计	238	6.3.3	FPGA 测控专用芯片总体电路的设计	294
5.5	PPM (脉冲位置调制) 基带系统	239	6.4	低频数字相位测量仪	295
5.5.1	PPM 基带系统组成框图	239	6.4.1	总体设计原理	295
5.5.2	PPM 信号产生电路的设计	239	6.4.2	数据采集电路的设计	301
5.5.3	PPM 信号解调器的设计	244	6.5	出租车计价器	308
5.5.4	PPM 基带系统的顶层电路及仿真	245	6.5.1	系统的要求与系统设计方案	308
5.6	PS/2 键盘通信控制电路	246	6.5.2	FPGA 测控电路的设计	313
			6.6	多功能波形发生器	324
			6.6.1	多功能波形发生器的设计要求及系统组成	325
			6.6.2	FPGA 电路的设计	328





# 第1章 EDA 技术与可编程逻辑器件

电子设计自动化 (Electronic Design Automation, EDA) 技术是以计算机和微电子技术为先导, 汇集了计算机图形学、拓扑学、逻辑学、微电子工艺与结构学和计算数学等多种计算机应用学科最新成果的先进技术。利用 EDA 技术进行电子系统的设计, 具有以下几个特点: (1) 用软件的方式设计硬件; (2) 用软件方式设计的系统到硬件系统的转换是由有关的开发软件自动完成的; (3) 设计过程中可用有关软件进行各种仿真; (4) 系统可现场编程, 在线升级; (5) 整个系统可集成在一个芯片上, 体积小、功耗低、可靠性高。因此, EDA 技术是现代电子设计的发展趋势。

可编程逻辑器件 (PLD) 是一种由用户编程以实现某种逻辑功能的新型逻辑器件。FPGA (Field Programmable Gate Array) 和 CPLD (Complex Programmable Logic Device) 分别是现场可编程门阵列和复杂可编程逻辑器件的简称。高集成度、高速度和高可靠性是 FPGA/CPLD 最明显的特点, 其时钟延时可小至 ns 级。结合其并行工作方式, 在超高速应用领域和实时测控方面有着非常广阔的应用前景。

## 1.1 EDA 技术概述

### 1.1.1 VHDL 硬件描述语言

硬件描述语言 (Hardware Description Language, HDL) 是 EDA 技术的重要组成部分, 常用的硬件描述语言有 VHDL、Verilog、ABEL。

在电子工程领域, VHDL 是电子设计主流的硬件描述语言。它具有很强的电路描述和建模能力, 能从多个层次对数字系统进行建模和描述, 从而大大简化了硬件设计任务, 提高了设计效率和可靠性。用 VHDL 进行电子系统设计的一个很大的优点是, 设计者可以专心致力于其功能的实现, 而不需要对不影响功能的与工艺有关的因素花费过多的时间和精力。

基于 VHDL 的设计流程一般为自顶向下设计, 如图 1-1 所示。

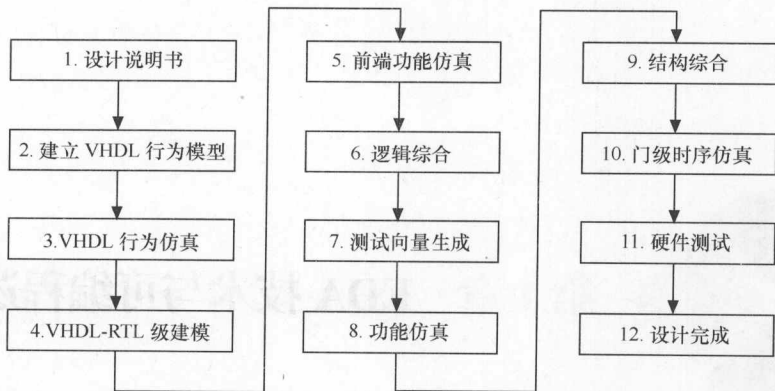


图 1-1 基于 VHDL 的自顶向下的设计流程

### 1.1.2 EDA 工具开发流程

EDA 工具大致可以分为设计输入编辑器、HDL 综合器、仿真器、适配器（或布局布线器）及下载器等。

应用 FPGA/CPLD 的 EDA 开发流程如图 1-2 所示。

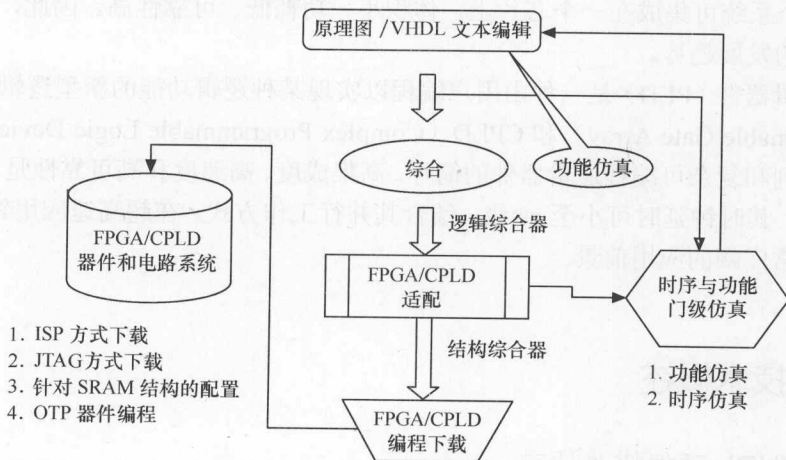


图 1-2 FPGA/CPLD 的 EDA 开发流程

#### 1. 源程序的编辑和编译

利用 EDA 技术进行一项工程设计，首先需利用 EDA 工具的文本编辑器或图形编辑器将它用文本方式或图形方式表达出来，进行排错编译，变成 HDL 文件格式，为进一步的逻辑综合做准备。

#### 2. 逻辑综合和优化

如果要把 HDL 的软件设计与硬件的可实现性挂钩，需要利用 EDA 软件系统的综合器进行逻辑综合。所谓逻辑综合，就是将电路的高级语言描述（如 HDL、原理图或状态图形的描述）转换成版图表示（ASIC 设计），或转换到 FPGA/CPLD 的配置网表文件，有了版图信息

就可以把芯片生产出来了。有了对应的配置文件，就可以使对应的 FPGA/CPLD 变成具有专门功能的电路器件。

### 3. 目标器件的布线/适配

所谓逻辑适配，就是将由综合器产生的网表文件针对某一具体的目标器进行逻辑映射操作，其中包括底层器件配置、逻辑分割、逻辑优化、布线与操作等，配置于指定的目标器件中，产生最终的下载文件。

### 4. 目标器件的编程/下载

如果编译、综合、布线/适配和行为仿真、功能仿真、时序仿真等过程都没有发现问题，即满足原设计的要求，则可以将由 FPGA/CPLD 布线/适配器产生的配置/下载文件通过编程器或下载电缆载入目标芯片 FPGA/CPLD 中。

### 5. 设计过程中的有关仿真

设计过程中的仿真有 3 种，它们是行为仿真、功能仿真和时序仿真。

- 行为仿真就是将 HDL 设计源程序直接送到 HDL 仿真器中所进行的仿真。该仿真只是根据 HDL 的语义进行的，与具体电路没有关系。在这种仿真中，可以充分发挥 HD 中的适用于仿真控制的语句及有关的预定义函数和库文件。

- 功能仿真就是将综合后的 HDL 网表文件再送到 HDL 仿真器中所进行的仿真。

- 时序仿真就是将布线器/适配器所产生的 HDL 网表文件送到 HDL 仿真器中所进行的仿真。

#### 1.1.3 EDA 的发展趋势

EDA 技术在进入 21 世纪后，得到了更大的发展，突出表现在以下几个方面：

- (1) FPGA 上实现 DSP（数字信号处理）应用。
- (2) 嵌入式处理器软核的成熟。
- (3) 使电子设计成果以自主知识产权的方式得以明确表达和确认成为可能。
- (4) 在仿真和设计两方面支持标准硬件描述语言的功能强大的 EDA 软件不断推出。
- (5) 电子技术全方位纳入 EDA 领域。
- (6) EDA 使得电子领域各学科的界限更加模糊，更加互为包容。
- (7) 更大规模的 FPGA 和 CPLD 器件的不断推出。
- (8) 基于 EDA 工具的 ASIC 设计标准单元已涵盖大规模电子系统及 IP（Intellectual Property）核模块。
- (9) 软硬件 IP 核在电子产业的产业领域、技术领域和设计应用领域得到进一步确认。
- (10) SoC 高效低成本设计技术的成熟。

由于 EDA 技术是面向解决电子系统最基本、最低层硬件实现的技术，因此就其发展趋势来看，势必涉及越来越广泛的电子技术及电子设计领域。其中包括电子工程、电子信息、通信、航空航天、工业自动化、家用电器及生物工程等。而且随着大规模集成电路技术的发展和 EDA 工具软件功能的不断加强，所涉及的领域还将不断扩大。因此，EDA 技术实

现的硬件形式和设计的理论模型必将导致一个统一的结合体,即单片系统(System On Chip, SOC)。

随着百万门级的 FPGA 芯片、功能复杂的 IP 核、可重构的嵌入式处理器核以及各种强大 EDA 的开发工具的迅速发展,使得电子设计者并不需要过多地关注半导体集成工艺,完全可以利用现有的成熟工艺,在 EDA 工具的帮助下完成整个系统从行为算法级到物理结构级的全部设计,并最终将一个电子系统集成到一片 FPGA 中,即片上可编程系统(System on Programmable Chip, SOPC)。可见, SOPC 是基于 FPGA 解决方案的 SOC,是 SOC 发展的新阶段。SOPC 技术是美国 Altera 公司在 2000 年最早提出的。SOPC 技术是现代计算机辅助设计技术、EDA 技术和大规模集成电路技术高度发展的产物。SOPC 技术的目标就是试图将尽可能大而完整的电子系统,包括嵌入式处理器系统、接口系统、硬件协处理器或加速器系统、DSP 系统、数字通信系统、存储电路以及普通数字系统等,在单一 FPGA 中实现,使得所设计的电路系统在其规模、可靠性、体积、功耗、功能、性能指标、上市周期、开发成本、产品维护及其硬件升级等多方面实现最优化。

## 1.2 可编程逻辑器件概述

FPGA(现场可编程门阵列)与 CPLD(复杂可编程逻辑器件)是在 PAL、GAL 等逻辑器件的基础之上发展起来的。同以往的 PAL、GAL 等相比较, FPGA/CPLD 的规模比较大,可以替代几十甚至几千块通用 IC 芯片。这种芯片受到世界范围内电子工程设计人员的广泛关注和普遍欢迎。经过了十几年的发展,许多公司都开发出了多种可编程逻辑器件。比较典型的的就是 Xilinx 公司的 FPGA 器件系列和 Altera 公司的 CPLD 器件系列,它们开发较早,占用了较大的 PLD 市场。

FPGA / CPLD 芯片都是特殊的 ASIC(Application Specific IC)芯片,它们除了具有 ASIC 的特点之外,还具有以下几个优点:

(1) 随着超大规模集成电路(Very Large Scale IC, VLSI)工艺的不断提高,单一芯片内部可以容纳上百万个晶体管, FPGA/CPLD 芯片的规模也越来越大,其单片逻辑门数已达到上百万门,它所能实现的功能也越来越强,同时还可以实现系统集成。

(2) FPGA/CPLD 芯片在出厂之前都做过测试,不需要设计人员承担投片风险和费用,设计人员只需在自己的实验室里就可以通过相关的软硬件环境来完成芯片的最终功能设计。所以, FPGA/CPLD 的资金投入小,节省了许多潜在的花费。

(3) 用户可以反复地编程、擦除,使用者在外围电路不动的情况下用不同软件就可实现不同的功能。所以,用 FPGA/CPLD 试制样片,能以最快的速度占领市场。FPGA/CPLD 软件包中有各种输入工具和仿真工具,还有版图设计工具和编程器等全线产品,电路设计人员在很短的时间内就可完成电路的输入、编译、优化、仿真,直至最后芯片的制作。当电路有少量改动时,更能显示出 FPGA/CPLD 的优势。电路设计人员使用 FPGA/CPLD 进行电路设计时,不需要具备专门的 IC(集成电路)深层次的知识, FPGA/CPLD 软件易学易用,可以使设计人员更能集中精力进行电路设计,快速将产品推向市场。

尽管 FPGA/CPLD 和其他类型 PLD 的结构各有其特点和长处,但概括起来,典型的 PLD 框图如图 1-3 所示,由三大部分组成:一个二维的逻辑块阵列(LAB),它构成了 PLD 器件的逻辑组成核心;输入/输出(I/O)块,它是连接逻辑块的互连资源;连线资源(可编程连线阵列,PIA),它由各种长度的连线线段组成,其中也有一些可编程的连接开关,用于逻辑块之间、逻辑块与输入/输出块之间的连接。

可编程逻辑器件一般分为:基于乘积项(Product-Term)技术、EEPROM(或 Flash)工艺的 CPLD;基于查找表(Look-Up table, LUT)技术、SRAM 工艺的 FPGA;基于反熔丝(Anti-fuse)技术的 FPGA。下面介绍这几种类型的可编程逻辑器件的工作原理及特点。

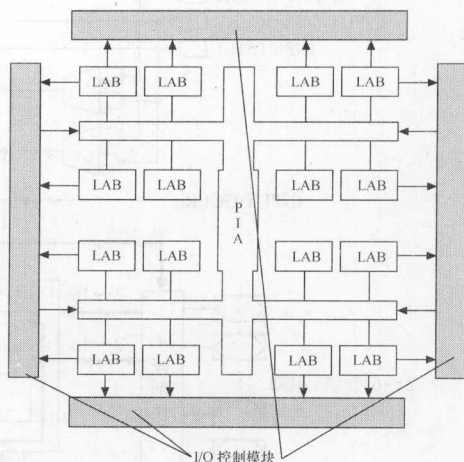


图 1-3 典型的 PLD 框图

### 1.2.1 基于乘积项的 CPLD 结构与工作原理

基于乘积项技术、EEPROM(或 Flash)工艺的 CPLD 密度小,多用于 5 000 门以下的小规模设计,适合做复杂的组合逻辑,如译码,且可根据厂家提供的编程电缆实现在线编程。

采用这种结构的 PLD 芯片有:Altera 的 MAX7000, MAX3000 系列(EEPROM 工艺),Xilinx 的 XC9500 系列(Flash 工艺)和 Lattice, Cypress 的大部分产品(EEPROM 工艺)等。

下面以 Altera 公司的 MAX7000A 器件为例进行介绍,其基本结构如图 1-4 所示。该器件包括逻辑阵列块(LAB)、宏单元(由它来实现基本的逻辑功能)、扩展乘积项(共享和并联)、可编程连线阵列(PIA,负责信号传递,连接所有的宏单元)和 I/O 控制块(负责输入输出的电气特性控制,比如可以设定集电极开路输出,摆率控制,三态输出等)等 5 部分。图中左上上的 INPUT/GCLK1、INPUT/GCLKn、INPUT/OE1、INPUT/OE2/GCLK2 是全局时钟、清零和输出使能信号,这几个信号有专用连线与 PLD 中每个宏单元相连,信号到每个宏单元的延时相同并且延时最短。

LAB 由 16 个宏单元阵列组成,多个 LAB 通过可编程连线阵列(PIA)和全局总线连接在一起,全局总线由所有的专用输入、I/O 引脚和宏单元馈给信号。每个 LAB 包括以下输入信号:来自 PIA 的 36 个通用逻辑输入信号;用于辅助寄存器功能的全局控制信号;从 I/O 引脚到寄存器的直接输入信号。

MAX7000A 器件的宏单元结构如图 1-5 所示。

图 1-5 中左侧是乘积项逻辑阵列,实际就是一个“与或”阵列,每一个交叉点都是一个可编程熔丝,如果导通就是实现“与”逻辑。后面的乘积项选择矩阵是一个“或”阵列。两者一起完成组合逻辑。图右侧是一个可编程 D 触发器,它的时钟、清零输入都可以编程选择,可以使用专用的全局清零和全局时钟,也可以使用内部逻辑(乘积项阵列)产生的时钟和清零。如果不需要触发器,也可以将此触发器旁路,信号直接输给 PIA 或输出到 I/O 脚。

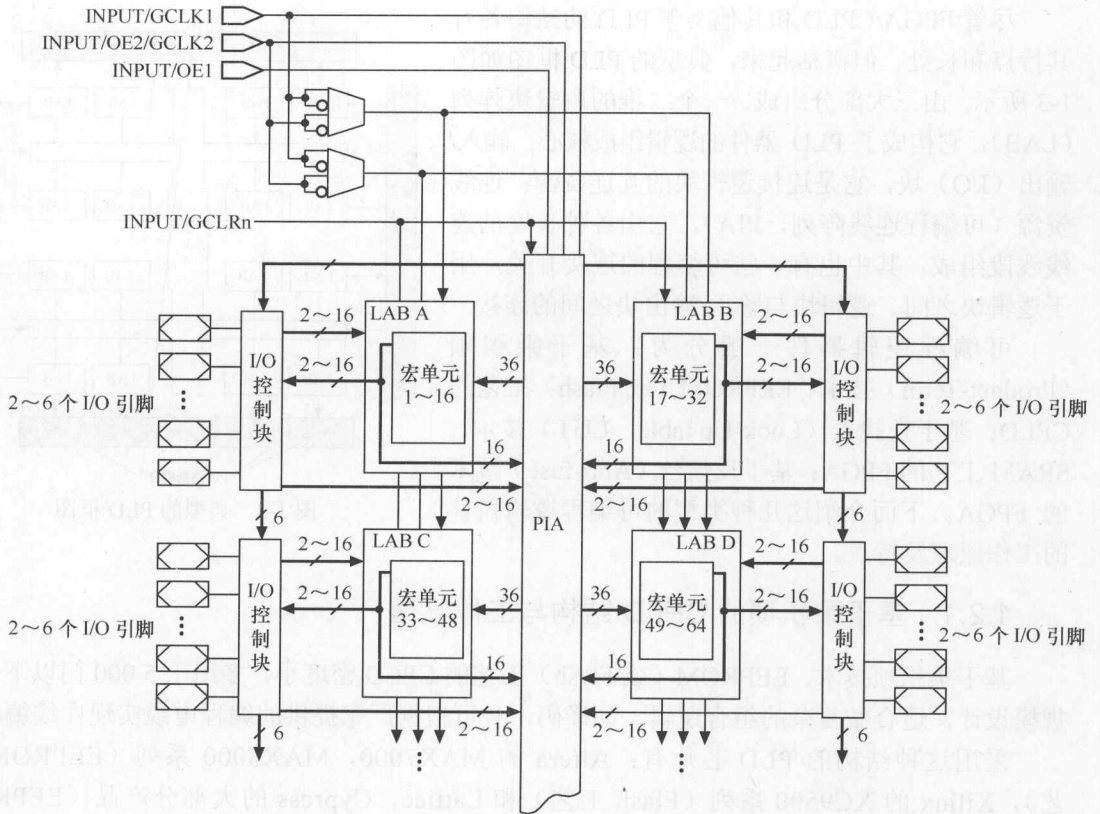


图 1-4 MAX7000A 器件基本结构

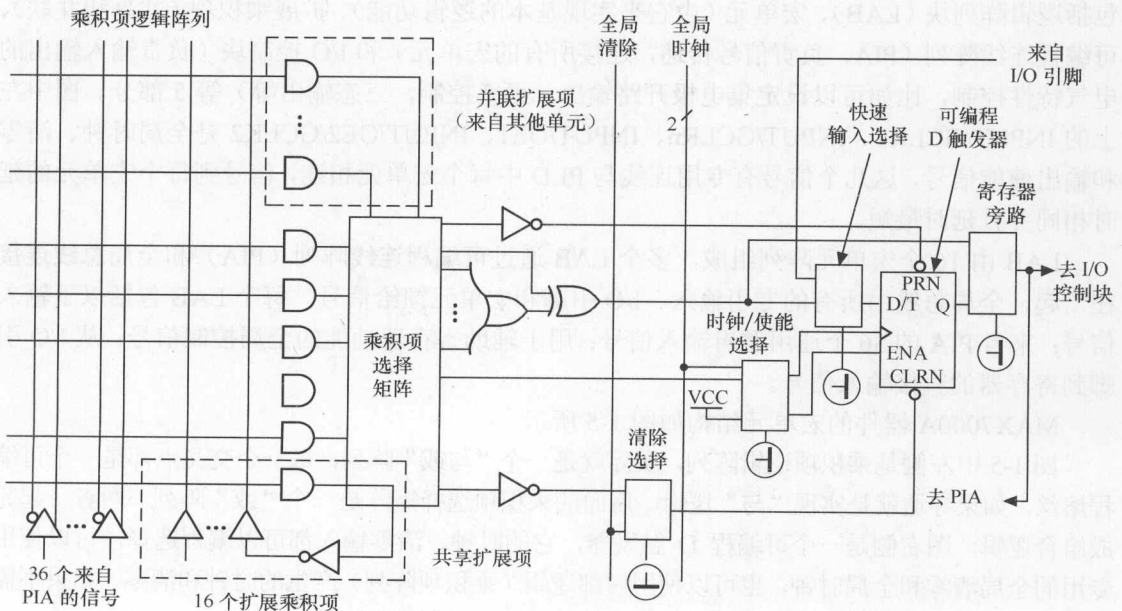


图 1-5 MAX7000A 的宏单元结构

下面以一个简单的电路（如图 1-6 所示）为例，具体说明 PLD 如何利用以上结构实现逻辑功能。

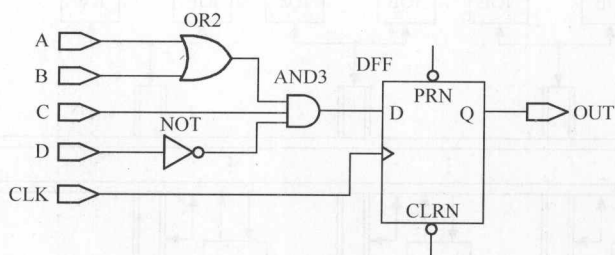


图 1-6 简单电路图

假设组合逻辑 AND3 的输出为  $f$ ，则  $f = (A + B) \cdot C \cdot \bar{D} = A \cdot C \cdot \bar{D} + B \cdot C \cdot \bar{D}$ ，PLD 将以图 1-7 的方式来实现组合逻辑  $f$ 。

图 1-7 中的  $A, B, C, D$  由 PLD 芯片的管脚输入后进入可编程连线阵列 (PIA)，在内部会产生  $A, \bar{A}, B, \bar{B}, C, \bar{C}, D, \bar{D}$  共 8 个输出。图 1-7 中每一个叉表示相连（可编程熔丝导通）。电路中 D 触发器的实现比较简单，直接利用宏单元中的可编程 D 触发器来实现。时钟信号 CLK 由 I/O 脚输入后进入芯片内部的全局时钟专用通道，直接连接到可编程触发器的时钟端。可编程触发器的输出与 I/O 脚相连，把结果输出到芯片管脚。

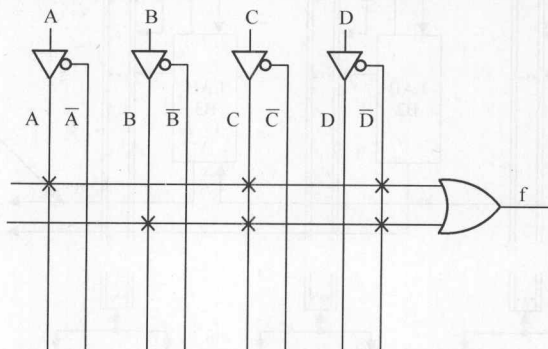


图 1-7 实现组合逻辑

图 1-7 的电路是一个很简单的例子，只需要一个宏单元就可以完成。但对于一个复杂的电路，一个宏单元是不能实现的，这时就需要通过并联扩展项和共享扩展项将多个宏单元相连，宏单元的输出也可以连接到可编程连线阵列，再做为另一个宏单元的输入。这样 PLD 就可以实现更复杂的逻辑。

这种基于乘积项的 PLD 基本上都是由 EEPROM 和 Flash 工艺制造的，一上电就可以工作，无需其他芯片配合。

### 1.2.2 基于查找表 (Look-Up-Table) 的 FPGA 结构与工作原理

本小节介绍的可编程器件是使用另一种可编程的查找表 (Look-Up-Table, LUT) 结构，这种结构的 PLD 芯片称之为 FPGA，比如 Altera 的所有 FPGA（如 FLEX/ACEX、APEX、Cyclone、Stratix 系列），Xilinx 的所有 FPGA（如 Spartan、Virtex 系列），Lattice 的 EC/ECP 系列等。

Altera 的 FLEX/ACEX 等芯片的结构如图 1-8 所示。

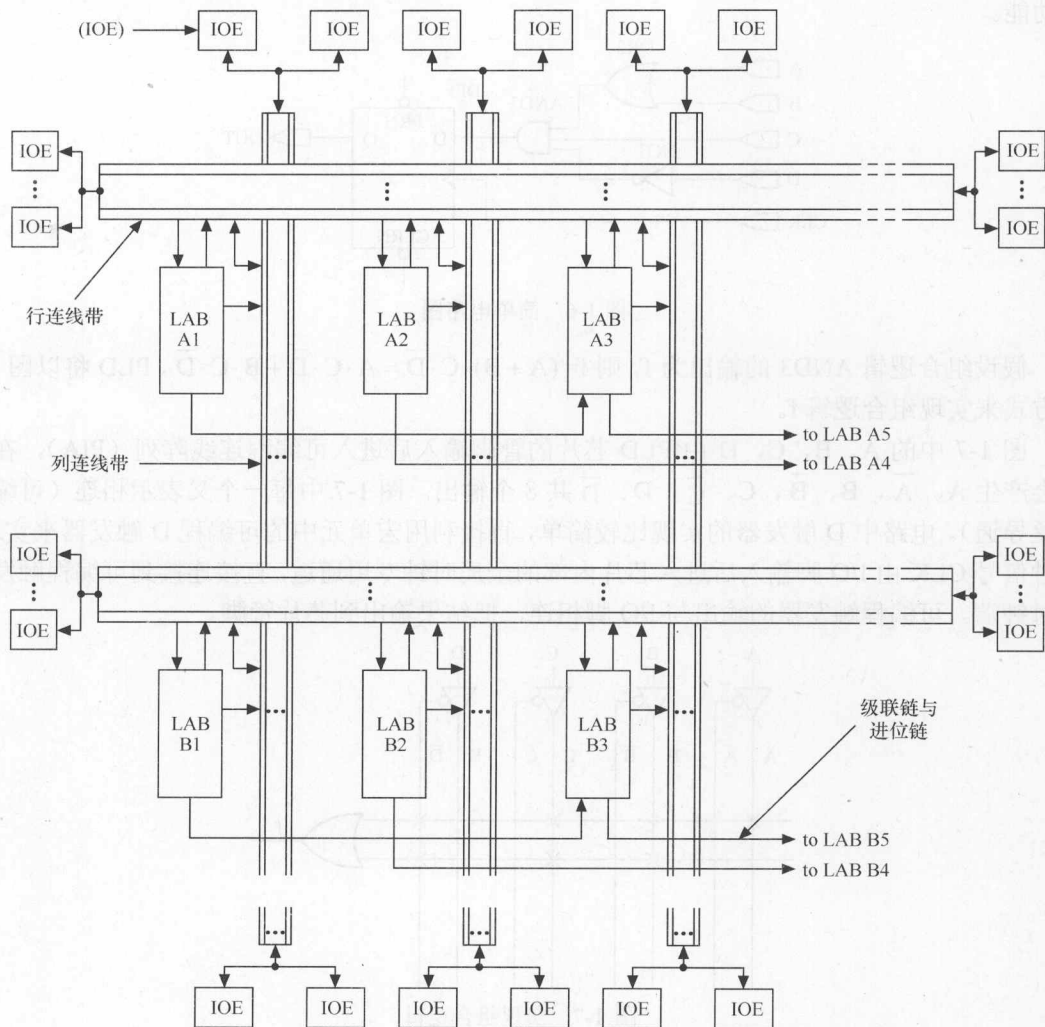


图 1-8 Altera FLEX/ACEX 芯片的内部结构

FLEX/ACEX 的结构主要包括逻辑阵列块 (LAB)、I/O 块、RAM 块 (未表示出) 和可编程行/列连线。在 FLEX/ACEX 中, 一个 LAB 包括 8 个逻辑单元 (LE), 每个 LE 包括一个四输入查找表 (LUT)、一个带有同步使能的可编程触发器、进位链和级联链。其中, LUT 是一个四输入变量的快速逻辑产生器。

每个 LE 都能驱动局部互连和快速通道 (FastTrack), 逻辑单元 (LE) 内部结构如图 1-9 所示。LE 中的可编程触发器可设置成 D、T、JK 或 RS 触发器。LE 有两个驱动互连通道的输出引脚: 一个驱动局部互连通道, 另外一个驱动行或列快速互连通道。这两个输出可被独立控制。LE 是 FLEX/ACEX 芯片实现逻辑的最基本结构 (Altera 的其他系列, 如 APEX 的结构与此基本相同, 具体请参阅数据手册)。8 个 LE 可以构成一个中规模的逻辑块, 如八位计数器、地址译码器和状态机。多个 LAB 组合起来可以构成更大的逻辑块。每个 LAB 代表大约 96 个可用逻辑门。



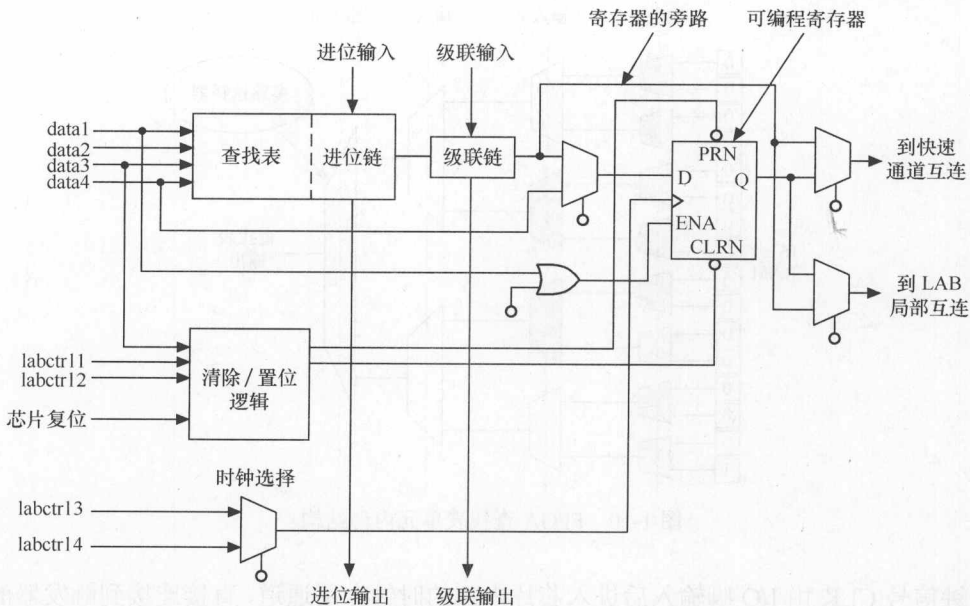


图 1-9 逻辑单元 (LE) 内部结构

LUT 是可编程的最小逻辑构成单元。LUT 本质上就是一个 RAM，大部分 FPGA 采用基于 SRAM (静态随机存储器) 的查找表逻辑形成结构，就是用 SRAM 来构成逻辑函数发生器。一个 N 输入查找表可以实现 N 个输入变量的任何逻辑功能，表 1-1 给出了实现 4 输入与门逻辑电路的查找表实现方法。每一个 LUT 可以看成是一个有 4 位地址线的 16x1 的 RAM。当用户通过原理图或 HDL 语言描述了一个逻辑电路后，PLD/FPGA 开发软件会自动计算逻辑电路的所有可能的结果，并把结果事先写入 RAM，这样，每输入一个信号进行逻辑运算就等于输入一个地址进行查表，找出地址对应的内容，然后输出即可。

表 1-1 4 输入与门逻辑电路的 LUT 的实现

实际逻辑电路		LUT 的实现方式	
a、b、c、d 输入	逻辑输出	地址	RAM 中存储的内容
0000	0	0000	0
0001	0	0001	0
....	0	...	0
1111	1	1111	1

图 1-10 所示为 FPGA 的四输入 LUT 的内部结构。图中 4 个输入信号由 FPGA 芯片的管脚输入后进入可编程连线，然后作为地址线连接到 LUT，LUT 中已经事先写入了所有可能的逻辑结果 (如表 1-1 所示)，通过地址查找到相应的数据后输出，这样就实现了组合逻辑。