

“十一五”国家重点图书

64 位微处理器 系统编程和 应用编程

周明德 编著

清华大学出版社



“十一五”国家重点图书

64 位微处理器 系统编程和应用编程

周明德 编著

清华大学出版社
北京

内 容 简 介

本书综合了 Intel 公司和 AMD 公司的 x86 系列的 64 位处理器的应用和系统编程,是作者《微型计算机系统原理及应用(第五版)》一书向 64 位处理器的扩展与提高。反映了当代微处理器的最新发展。本书详细介绍了 64 位处理器的应用编程和 64 处理器体系结构系统编程的具体内容,对于应用编程和系统编程的开发者都是十分重要和有用的。

本书适合希望了解和应用 64 位处理器的科技人员使用,也可作为高等院校相关课程的教材。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

64 位微处理器系统编程和应用编程 / 周明德编著. —北京:清华大学出版社, 2009. 11
ISBN 978-7-302-20775-7

I. 64… II. 周… III. 微处理器—程序设计 IV. TP332

中国版本图书馆 CIP 数据核字(2009)第 153089 号

责任编辑:张瑞庆 薛 阳

责任校对:焦丽丽

责任印制:王秀菊

出版发行:清华大学出版社

地 址:北京清华大学学研大厦 A 座

<http://www.tup.com.cn>

邮 编:100084

社 总 机:010-62770175

邮 购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质 量 反 馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

印 刷 者:清华大学印刷厂

装 订 者:北京市密云县京文制本装订厂

经 销:全国新华书店

开 本:185×260 印 张:47

字 数:1204 千字

版 次:2009 年 11 月第 1 版

印 次:2009 年 11 月第 1 次印刷

印 数:1~3000

定 价:68.00 元

本书如存在文字不清、漏印、缺页、倒页、脱页等印装质量问题,请与清华大学出版社出版部联系调换。
联系电话:010-62770177 转 3103 产品编号:029424-01

电子计算机是人类在 20 世纪最重大的科技创造之一。自 20 世纪 40 年代诞生第一台用电子管制造的现代电子计算机以来,电子计算机的主要元件先后经历了真空管、晶体管、中小规模集成电路、大规模超大规模集成电路 4 代。

超大规模集成电路的发展,把计算机的主体——中央处理单元(CPU)集成在一个芯片上,称为微处理器,使计算机进入了微型计算机时代。

自从 1981 年 IBM 公司进入了微型计算机领域并推出了 IBM-PC 以后,计算机的发展开创了一个新的时代——微型计算机时代。微型计算机的迅速普及,使计算机真正广泛应用于工业、农业、科学技术领域以及社会生活的各个方面。以前的大型机(Main Frame)、中型机、小型机的界线已经日益模糊与消失。随着微型机应用的普及及技术的发展,芯片与微型机的功能和性能迅速提高,其功能已经远远超过了 20 世纪 80 年代以前的中小型机甚至超过了大型机。

到了 20 世纪 90 年代,随着局域网、广域网、城际网以及 Internet 的迅速普及与发展,微型计算机从功能上可分为网络工作站(客户端——Client)和网络服务器(Server)两大类型。网络客户端又称为个人计算机(台式 PC 或笔记本 PC)。

在个人计算机中,其核心是中央处理单元(CPU)。Intel 公司的芯片在个人计算机中占据了统治地位(约占 80%)。形成了个人计算机芯片的主流——x86 系列结构。x86 系列结构从 8 位的 8088、16 位的 8086 发展到 32 位的 80386、80486 直至奔腾 4(P4)以及最近推出的双核心、四核心的处理器,其功能与性能都有近千倍的提升。由于广泛的应用,x86 系列结构已成了事实上的工业标准。其他厂商,例如 AMD 也推出依从这样的体系结构的兼容的 CPU,并得到了大量应用。

网络时代的来临、多媒体信息的数字化等,都使信息爆炸般增长。信息的存储、处理、交换都强烈地促进微处理器向 64 位时代过渡。

当前主流的 64 位处理器是 AMD 公司的 x86-64 系列,它是与 32 位 x86 处理器兼容的,得到了迅速的发展和广泛的认可与应用。为此,Intel 公司也推出了与 IA-32(32 位 x86 系列处理器)兼容的 Intel 64 位体系结构处理器。这两种 64 位处理器,无论从应用编程还是系统编程的角度来看都是一致的,所以作者把这两者综合起来统一进行介绍。

对 64 位处理器,多数开发者主要进行应用编程,但是为深入了解与掌握 64 位处理器的体系结构,能更自如地进行编程和应用,必须也具有系统编程所需的主要

原理与技术。本书把这两者结合起来向读者进行了最本质的介绍。

本书综合了 Intel 公司和 AMD 公司的 x86 系列的 64 位处理器的应用和系统编程,是作者《微型计算机系统原理及应用(第五版)》一书向 64 位处理器的扩展与提高。反映了当代微处理器的最新发展。本书详细介绍了 64 位处理器的应用编程和 64 处理器体系结构系统编程的具体内容。对于应用编程和系统编程的开发者都是十分重要和有用的。

本书 11.16 节的应用举例取自《信息与电子工程》2006 年,第 4 卷第 01 期中由张琦、万枫丹、段柯和吴镇扬所写的“基于 MMX/SSE/SSE2 的 H.264 解码器关键算法优化”一文。在本书引用前征得了吴镇扬的同意。在此向论文的作者表示感谢。

本书适合希望了解和应用 64 位处理器的科技人员使用,也可作为高等院校相关课程的教材。

周明德

2009 年 4 月

读者意见反馈

亲爱的读者：

感谢您一直以来对清华版计算机教材的支持和爱护。为了今后为您提供更优秀的教材，请您抽出宝贵的时间来填写下面的意见反馈表，以便我们更好地对本教材做进一步改进。同时如果您在使用本教材的过程中遇到了什么问题，或者有什么好的建议，也请您来信告诉我们。

地址：北京市海淀区双清路学研大厦 A 座 602 室 计算机与信息分社营销室 收

邮编：100084

电子邮件：jsjc@tup.tsinghua.edu.cn

电话：010-62770175-4608/4409

邮购电话：010-62786544

教材名称：64 位微处理器系统编程和应用编程

ISBN：978-7-302-20775-7

个人资料

姓名：_____ 年龄：_____ 所在院校/专业：_____

文化程度：_____ 通信地址：_____

联系电话：_____ 电子信箱：_____

您使用本书是作为：指定教材 选用教材 辅导教材 自学教材

您对本书封面设计的满意度：

很满意 满意 一般 不满意 改进建议_____

您对本书印刷质量的满意度：

很满意 满意 一般 不满意 改进建议_____

您对本书的总体满意度：

从语言质量角度看 很满意 满意 一般 不满意

从科技含量角度看 很满意 满意 一般 不满意

本书最令您满意的是：

指导明确 内容充实 讲解详尽 实例丰富

您认为本书在哪些地方应进行修改？（可附页）

您希望本书在哪些方面进行改进？（可附页）

电子教案支持

敬爱的教师：

为了配合本课程的教学需要，本教材配有配套的电子教案（素材），有需求的教师可以与我们联系，我们将向使用本教材进行教学的教师免费赠送电子教案（素材），希望有助于教学活动的开展。相关信息请拨打电话 010-62776969 或发送电子邮件至 jsjc@tup.tsinghua.edu.cn 咨询，也可以到清华大学出版社主页（<http://www.tup.com.cn> 或 <http://www.tup.tsinghua.edu.cn>）上查询。

第 1 章 引言	1
1.1 符号约定	1
1.1.1 位与字节顺序	1
1.1.2 保留位与软件兼容性	1
1.1.3 十六进制与二进制数	2
1.1.4 分段的寻址	2
1.1.5 对 CPUID、CR 和 MSR 值的新句法	3
1.1.6 异常	3
1.2 Intel 64 和 IA-32 体系结构的简要历史	4
1.2.1 16 位处理器与分段	4
1.2.2 Intel 286 处理器	4
1.2.3 Intel 386 处理器	4
1.2.4 Intel 486 处理器	4
1.2.5 Intel Pentium(奔腾)处理器	5
1.2.6 处理器的 P6 族(系列)	5
1.2.7 Intel Pentium 4 处理器系列	6
1.2.8 Intel Xeon 处理器	6
1.2.9 Intel Pentium M 处理器	6
1.2.10 Intel Pentium 处理器极品版	6
1.2.11 Intel Core Duo 和 Intel Core Solo 处理器	7
1.2.12 Intel Xeon 处理器 5100 系列和 Intel Core 2 处理器系列	7
1.3 更多的关于特定的先进技术	8
1.3.1 P6 族微体系结构	8
1.3.2 Intel NetBurst 微体系结构	9
1.3.3 Intel Core 微体系结构	11
1.3.4 SIMD 指令	13
1.3.5 超线程技术	14

1.3.6	多核技术	15
1.3.7	Intel 64 体系结构	16
1.3.8	Intel 虚拟化技术	17
第 2 章	基本执行环境	18
2.1	操作方式	18
2.1.1	Intel 64 体系结构	18
2.1.2	x86-64 的操作方式	19
2.2	基本执行环境概要	21
2.2.1	64 位方式执行环境	22
2.3	内存组织	24
2.3.1	IA-32 方式	25
2.3.2	分页和虚拟存储器	26
2.3.3	64 位方式的内存组织	26
2.3.4	操作方式与内存模型	26
2.3.5	32 位和 16 位地址与操作数尺寸	26
2.3.6	在保护方式扩展的物理寻址	27
2.3.7	在 64 位方式的地址计算	27
2.4	基本程序执行寄存器	28
2.4.1	通用寄存器	28
2.4.2	段寄存器	30
2.4.3	EFLAGS 寄存器	32
2.5	指令指针	35
2.6	操作数尺寸和地址尺寸属性	35
2.7	操作数寻址	36
2.7.1	立即数	37
2.7.2	寄存器操作数	37
2.7.3	存储器操作数	38
2.7.4	规定段选择子	38
2.7.5	规定偏移量	39
2.7.6	汇编程序和编译器寻址方式	40
2.7.7	I/O 端口寻址	40
第 3 章	数据类型	41
3.1	基本数据类型	41
3.2	数字数据类型	42
3.2.1	整数	42
3.2.2	浮点数据类型	43
3.3	指针数据类型	45
3.4	位字段数据类型	46

3.5	串数据类型	46
3.6	组合的 SIMD 数据类型	47
3.6.1	64 位 SIMD 组合的数据类型	47
3.6.2	128 位组合的 SIMD 数据类型	47
3.7	BCD 和组合的 BCD 整数	48
3.8	实数和浮点格式	49
3.8.1	实数系统	49
3.8.2	浮点格式	49
3.8.3	实数和非数字编码	51
3.8.4	舍入	54
3.9	浮点异常概要	55
3.9.1	浮点异常条件	56
3.9.2	浮点异常优先权	59
3.9.3	浮点异常处理程序的典型动作	60
第 4 章	Intel 64 (AMD x86-64) 和 IA-32 系统体系结构概要	61
4.1	系统级体系结构概要	62
4.1.1	全局和局部描述符表	62
4.1.2	系统段、段描述符和门	64
4.1.3	任务状态段和任务门	64
4.1.4	中断和异常处理	65
4.1.5	存储管理	65
4.1.6	系统寄存器	66
4.1.7	其他系统资源	66
4.2	操作方式	67
4.3	在 EFLAGS 寄存器中的系统标志和字段	68
4.4	存储管理寄存器	70
4.4.1	全局描述符表寄存器(GDTR)	70
4.4.2	局部描述符表寄存器(LDTR)	70
4.4.3	中断描述符表寄存器(IDTR)	70
4.4.4	任务寄存器(TR)	71
4.5	控制寄存器	71
4.6	系统指令概要	75
4.6.1	装入和存储系统寄存器	77
4.6.2	验证访问权	77
4.6.3	装入和存储调试寄存器	77
4.6.4	无效缓存和 TLB	78
4.6.5	控制处理器	78
4.6.6	读性能监视和时戳计数器	78
4.6.7	读和写模型特定寄存器	79

第 5 章 保护方式存储管理	80
5.1 存储管理概要	80
5.2 使用分段	81
5.2.1 基本平面模型	81
5.2.2 保护的平面模型	82
5.2.3 多段模型	82
5.2.4 在 IA-32e 方式中的分段	83
5.2.5 分页和段	83
5.3 物理地址空间	84
5.4 逻辑和线性地址	84
5.4.1 在 IA-32e 方式中逻辑地址的转换	85
5.4.2 段选择子	85
5.4.3 段寄存器	85
5.4.4 在 IA-32e 方式中的段装入指令	86
5.4.5 段描述符	87
5.5 系统描述符类型	90
5.5.1 段描述符表	91
5.5.2 在 IA-32e 方式中的段描述符表	92
5.6 分页(虚拟存储器)概要	93
5.6.1 分页选项	93
5.6.2 页表和页目录	94
5.7 使用 32 位物理寻址的页转换	94
5.7.1 线性地址转换(4KB 页)	94
5.7.2 线性地址转换(4MB 页)	95
5.7.3 混合 4KB 和 4MB 页	96
5.7.4 内存混合	96
5.7.5 页目录的基地址	96
5.7.6 页目录和页表项	96
5.7.7 页目录和页项不存在	99
5.8 使用 PAE 分页机制的 36 位物理寻址	99
5.8.1 增强的传统 PAE 分页	100
5.8.2 具有 PAE 启用的(4KB 页)的线性地址转换	100
5.8.3 具有 PAE 启用的(2MB 页)的线性地址转换	101
5.8.4 访问具有扩展的页表结构的全扩展物理地址空间	101
5.8.5 具有扩展的地址启用的页目录和页表	102
5.9 使用 PSE-36 分页机制的 36 位物理寻址	103
5.10 在 IA-32e 方式中 PAE 启用的分页	104
5.10.1 IA-32e 方式线性地址转换(4KB 页)	105
5.10.2 IA-32e 方式线性地址转换(2MB 页)	106

5.10.3	增强的分页数据结构	106
5.11	映射段至页	109
5.12	转换查找缓冲器	110
5.13	输入输出	111
5.13.1	I/O 端口寻址	111
5.13.2	I/O 端口硬件	111
5.13.3	I/O 地址空间	111
5.13.4	I/O 指令	112
5.13.5	保护方式 I/O	113
5.13.6	顺序 I/O	114
第 6 章	内存缓存控制	116
6.1	内部缓存、TLB 和缓冲器	116
6.2	缓存的术语	119
6.3	缓存可用的方法	120
6.3.1	写组合内存单元的缓冲	121
6.3.2	选择内存类型	122
6.3.3	在不可缓存的内存中取代码	123
6.4	缓存控制协议	123
6.5	缓存控制	123
6.5.1	缓存控制寄存器和位	124
6.5.2	缓存控制的优先级	126
6.5.3	阻止缓存	127
6.5.4	禁止和启用 L3 缓存	128
6.5.5	缓存管理指令	128
6.5.6	L1 数据缓存环境方式	129
6.6	自修改代码	129
6.7	隐含的缓存(Pentium 4、Intel Xeon 和 P6 族处理器)	129
6.8	显式缓存	130
6.9	无效转换查找缓冲器	130
6.10	存储缓冲器	131
6.11	内存类型范围寄存器	131
6.11.1	MTRR 特性标识	132
6.11.2	用 MTRR 设置内存范围	133
6.11.3	基地址和屏蔽计算举例	136
6.11.4	范围尺寸和对齐要求	137
6.11.5	MTRR 初始化	138
6.11.6	重新映射内存类型	138
6.11.7	MTRR 维护编程接口	138
6.11.8	在 MP 系统中 MTRR 考虑	141

6.11.9	大页尺寸考虑	142
6.12	页属性表(PAT)	142
6.12.1	检测对 PAT 特性的支持	143
6.12.2	IA32_CR_PAT MSR	143
6.12.3	从 PAT 选择一内存类型	144
6.12.4	编码 PAT	144
第 7 章	保护	146
7.1	启用与禁止段和页保护	146
7.2	段级和页级保护所用的字段与标志	147
7.3	界限检查	149
7.4	类型检查	150
7.5	特权级	151
7.6	当访问数据段时的特权级检查	152
7.7	当装入 SS 寄存器时的特权级检查	154
7.8	在码段之间传送程序控制的特权级检查	154
7.8.1	直接调用或跳转至码段	154
7.8.2	门描述符	156
7.8.3	调用门	156
7.8.4	通过调用门访问码段	158
7.8.5	堆栈切换	160
7.8.6	从被调用过程返回	162
7.8.7	用 SYSENTER 和 SYSEXIT 指令执行快速调用至系统过程	162
7.8.8	在 64 位方式中快速系统调用	164
7.9	特权指令	165
7.10	指针确认	166
7.10.1	访问权检查(LAR 指令)	166
7.10.2	检查读写权限(VERR 和 VERW 指令)	166
7.10.3	检查偏移量在界限内(LSL 指令)	167
7.10.4	调整调用者的访问权(ARPL 指令)	167
7.10.5	检查对齐	169
7.11	页级保护	169
7.11.1	页保护标志	169
7.11.2	限制可寻址的域	169
7.11.3	页类型	169
7.11.4	组合页表的两级保护	170
7.11.5	超越页保护	171
7.12	组合页与段保护	171
7.13	页级保护与执行禁止位	171
7.13.1	检测与启用执行禁止位功能	172

7.13.2	执行禁止位页保护	172
7.13.3	保留位检查	173
7.13.4	异常处理	174
第 8 章	中断和异常处理	175
8.1	中断和异常概要	175
8.2	异常和中断向量	175
8.3	中断源	177
8.3.1	外部中断	177
8.3.2	可屏蔽的硬件中断	177
8.3.3	软件生成的中断	177
8.4	异常的源	178
8.4.1	程序差错异常	178
8.4.2	软件生成的中断	178
8.4.3	机器检查异常	178
8.5	异常分类	178
8.6	程序或任务重启动	179
8.7	非屏蔽中断	180
8.8	启用与禁止中断	180
8.8.1	屏蔽可屏蔽的硬件中断	180
8.8.2	屏蔽指令断点	181
8.8.3	屏蔽当切换堆栈时的异常和中断	181
8.9	在同时发生中断和异常之间的优先级	181
8.10	中断描述符表(IDT)	182
8.11	IDT 描述符	183
8.12	异常和中断处理	184
8.12.1	异常或中断处理程序过程	185
8.12.2	中断任务	187
8.13	出错码	188
8.14	在 64 位方式中的异常和中断处理	188
8.14.1	64 位方式 IDT	189
8.14.2	64 位方式堆栈帧	190
8.14.3	在 IA-32e 方式中的 IRET	190
8.14.4	在 IA-32e 方式中的堆栈切换	190
8.14.5	中断堆栈表	191
8.15	异常和中断引用	191
8.15.1	中断 0——除法错误异常(#DE)	192
8.15.2	中断 1——调试异常(#DB)	192
8.15.3	中断 2——NMI 中断	193
8.15.4	中断 3——断点异常(#BP)	193

8.15.5	中断 4——溢出异常(#OF)	194
8.15.6	中断 5——BOUND 范围超出异常(#BR)	194
8.15.7	中断 6——无效操作码异常(#UD)	194
8.15.8	中断 7——设备不可用异常(#NM)	195
8.15.9	中断 8——双故障异常(#DF)	196
8.15.10	中断 9——协处理器段超出	198
8.15.11	中断 10——无效异常(#TS)	198
8.15.12	中断 11——段不存在(#NP)	201
8.15.13	中断 12——堆栈故障异常(#SS)	202
8.15.14	中断 13——通用保护异常	202
8.15.15	中断 14——页故障异常	204
8.15.16	中断 15——x87 FPU 浮点出错(#MF)	207
8.15.17	中断 16——对齐检查异常(#AC)	208
8.15.18	中断 17——机器检查异常处理程序(#MC)	209
8.15.19	中断 18——SIMD 浮点异常(#XF)	210
8.15.20	中断 32~255——用户定义的中断	211
第 9 章 指令集小结		213
9.1	通用指令	214
9.1.1	数据传送指令	214
9.1.2	二进制算术运算指令	221
9.1.3	十进制算术运算指令	225
9.1.4	逻辑指令	227
9.1.5	移位和旋转指令	228
9.1.6	位和字节指令	230
9.1.7	控制传送指令	233
9.1.8	串指令	243
9.1.9	I/O 指令	247
9.1.10	进入和离开指令	249
9.1.11	标志控制指令	250
9.1.12	段寄存器指令	254
9.1.13	杂项指令	254
9.2	x87 FPU 指令	256
9.2.1	x87 FPU 数据传送指令	256
9.2.2	x87 FPU 基本算术运算指令	260
9.2.3	x87 FPU 比较指令	270
9.2.4	x87 FPU 超越指令	273
9.2.5	x87 FPU 装入常数指令	278
9.2.6	x87 FPU 控制指令	278
9.3	x87 FPU 和 SIMD 状态管理指令	282

9.4	MMX 指令	288
9.4.1	MMX 数据传送指令	288
9.4.2	MMX 转换指令	289
9.4.3	MMX 组合的算术运算指令	291
9.4.4	MMX 比较指令	295
9.4.5	MMX 逻辑指令	295
9.4.6	MMX 移位和旋转指令	296
9.4.7	MMX 状态管理指令	298
9.5	SSE 指令	298
9.5.1	SSE SIMD 单精度浮点指令	298
9.5.2	SSE MXCSR 状态管理指令	310
9.5.3	SSE 64 位 SIMD 整数指令	311
9.5.4	SSE 缓存控制、预取和指令按序指令	314
9.6	SSE2 指令	316
9.6.1	SSE2 组合的和标量双精度浮点指令	317
9.6.2	SSE2 组合的单精度浮点指令	329
9.6.3	SSE2 128 位 SIMD 整数指令	330
9.6.4	SSE2 缓存控制指令和按序指令	333
9.7	SSE3 指令	336
9.7.1	SSE3 x87 FPU 整数转换指令	336
9.7.2	SSE3 特定的 128 位未对齐的数据装入指令	337
9.7.3	SSE3 SIMD 浮点组合的加/减指令	337
9.7.4	SSE3 SIMD 浮点水平加/减指令	338
9.7.5	SSE3 SIMD 浮点装入/传送/复制指令	341
9.7.6	SSE3 代理同步指令	342
9.8	补充的流扩展 3 指令	344
9.8.1	水平加减指令	344
9.8.2	组合的绝对值	345
9.8.3	乘和加组合的符号的和无符号的字节	345
9.8.4	用舍入和伸缩组合地乘高	345
9.8.5	组合地抽取字节	346
9.8.6	组合的符号	346
9.8.7	组合的右对齐	346
9.9	系统指令	347
9.10	64 位方式指令	360
第 10 章	用 x87 FPU 编程	363
10.1	x87 FPU 执行环境	363
10.1.1	在 64 位方式和兼容方式中的 x87 FPU	364
10.1.2	x87 FPU 数据寄存器	364

10.1.3	x87 FPU 状态寄存器	365
10.1.4	条件分支和条件传送	367
10.1.5	x87 FPU 控制字	368
10.1.6	无穷大控制标志	369
10.1.7	x87 FPU 标记字	369
10.1.8	x87 FPU 指令和数据指针	370
10.1.9	最后的指令操作码	370
10.1.10	用 FSTENV/FNSTENV 和 FSAVE/FNSAVE 保存 x87 FPU 的状态	371
10.1.11	用 FXSAVE 保存 x87 FPU 的状态	372
10.2	x87 FPU 数据类型	372
10.2.1	不确定	373
10.2.2	不支持的扩展双精度浮点编码和伪非规格化	373
10.3	x87 FPU 指令集	374
10.3.1	换码指令	375
10.3.2	x87 FPU 指令操作数	375
10.3.3	数据传送指令	375
10.3.4	装入常数指令	376
10.3.5	基本算术运算指令	376
10.3.6	比较和分类指令	378
10.3.7	三角函数指令	379
10.3.8	π	380
10.3.9	对数、指数和伸缩	381
10.3.10	超越指令精度	381
10.3.11	x87 FPU 控制指令	381
10.3.12	等待的与非等待的指令	382
10.3.13	不支持的 x87 FPU 指令	382
10.4	x87 FPU 浮点异常处理	383
10.4.1	算术与非算术指令	383
10.5	x87 FPU 浮点异常条件	384
10.5.1	无效操作异常	384
10.5.2	非规格化操作数异常 (#D)	386
10.5.3	被零除异常 (#Z)	386
10.5.4	数字溢出异常 (#O)	386
10.5.5	数字下溢异常 (#U)	387
10.5.6	不精确结果(精度)异常 (#P)	388
10.6	x87 FPU 异常同步	388
10.7	用软件处理 x87 FPU 异常	389
10.7.1	本身方式	389
10.7.2	MS-DOS 兼容子方式	390

10.7.3 用软件处理 x87 FPU 异常	390
10.8 8087 程序设计举例	391
第 11 章 64 位和 128 位媒体与科学编程	419
11.1 概要	420
11.2 能力	420
11.2.1 并行操作	421
11.2.2 数据转换和重组	422
11.2.3 矩阵运算	425
11.2.4 饱和	426
11.2.5 分支删除	426
11.2.6 浮点向量运算	427
11.3 MMX 技术、SSE 和 SSE2 编程环境	428
11.3.1 在 64 位方式和兼容方式中的 SSE	428
11.3.2 MMX 寄存器	429
11.3.3 XMM 寄存器	429
11.3.4 MXCSR 控制和状态寄存器	430
11.3.5 SSE 扩展与 SSE2/SSE3/MMX 和 x87 FPU 的兼容性	433
11.3.6 其他寄存器	433
11.3.7 rFLAGS 寄存器	433
11.4 操作数	433
11.4.1 数据类型	434
11.4.2 操作数尺寸和超越	436
11.4.3 操作数寻址	436
11.4.4 数据对齐	436
11.4.5 整型数据类型	437
11.4.6 64 位媒体浮点数据类型	438
11.4.7 128 位媒体浮点数据类型	439
11.4.8 浮点数表示	440
11.4.9 浮点数编码	442
11.4.10 浮点舍入	444
11.5 指令摘要——整型指令	444
11.5.1 语法	445
11.5.2 退出媒体状态	446
11.5.3 数据传送	446
11.5.4 数据转换	450
11.5.5 数据重组	450
11.5.6 算术运算	454
11.5.7 移位	459
11.5.8 比较	460