本书得到中国国家自然科学基金资助
本书列入TI大学计划项目

最新DSP技术

——“达芬奇”系统、框架和组件

张起贵　张胜　张刚　等著
谢克明　主审

本书特点：

- 最全面地涉及嵌入式多处理器的达芬奇技术细节
- 首次从软件工程角度分析了达芬奇技术的硬件、系统、框架和组件
- 精心设计的11个实验确保您拥有众多Codec资源，成为流媒体技术的高手

本书帮助您：

- 设计多核嵌入式处理器硬件系统，在异构平台运行不同操作系统
- 理解达芬奇的框架，轻松实现视频、图像、语音和音频（VISA）流媒体应用
- 充分发挥视频前后端、以太网、USB和ATA硬盘等丰富的片上外设的强大能力

国防工业出版社
National Defense Industry Press

本书得到中国国家自然科学基金资助
本书列入 TI 大学计划项目

最新 DSP 技术
——“达芬奇”系统、框架和组件

张起贵　张胜　张刚
常青　裴科　王耀力　武淑红　赵哲峰　著
谢克明　主审

国防工业出版社
·北京·

内容简介

今天的个人计算机，就是明天的嵌入式SoC！采用这个理念，把面向服务的架构SOA引入到异构嵌入式多核处理器，就是TI的达芬奇技术的关键特点，它拓展了未来嵌入式SoC的一个发展方向。

本书从软件工程层面分析了嵌入式SoC达芬奇技术的硬件、系统、框架和组件，由浅入深地介绍了SoC芯片及汇编指令，硬件评估板设计，移植操作系统，达芬奇软件资源和搭建流媒体应用系统，嵌入式中间件和达芬奇框架，以及怎样装配Codec引擎、创建Codec Server和编译Codec算法；描述了如何利用达芬奇框架和H.264算法组件搭建一个高质量、低成本的基于SIP的流媒体传输系统，这是视频监控和视频会议中普遍应用的部件。本书最后精心提供了11个实验，读者可以联系作者(Email：CE S Lab@163.com)索取源代码包。读者通过这些实验可以深入了解达芬奇技术本质，同时拥有了流媒体处理各方面的代码资源，从修改这些代码出发可以获得各种复杂高效的流媒体应用系统。

本书介绍的嵌入式系统框架也为今后开发我国自主知识产权的多核嵌入式系统提供了一个研究方法。

本书可以作为高等学校电子信息专业本科毕业生就业培训的教材，同时可作为研究生进行嵌入式系统体系架构、流媒体算法等课题的研究平台。

图书在版编目(CIP)数据

最新DSP技术：“达芬奇”系统、框架和组件/张起贵等著. —北京：国防工业出版社，2009.8

本书得到中国国家自然科学基金资助

ISBN 978-7-118-06401-8

Ⅰ.最… Ⅱ.张… Ⅲ.数字信号-信号处理 Ⅳ.TN911.72

中国版本图书馆CIP数据核字(2009)第116989号

※

国防工业出版社出版发行

(北京市海淀区紫竹院南路23号 邮政编码100048)

腾飞印务有限公司印刷

新华书店经售

*

开本 787×1092 1/16 **印张** 24¾ **字数** 611千字

2009年8月第1版第1次印刷 **印数** 1—4000册 **定价** 49.00元

(本书如有印装错误，我社负责调换)

国防书店：(010)68428422 发行邮购：(010)68414474

发行传真：(010)68411535 发行业务：(010)68472764

前　言

计算机软件经历了结构化、面向对象和基于组件程序设计的重大变化，目前这三种开发方法同时影响着嵌入式系统的发展。结构化程序设计让纯粹私人的脑力活动行为进入工业流水生产；面向对象和基于组件的程序设计方法致力于解决软件产品的重复使用问题，前者在源代码层级将对象高度抽象，并通过例化使其用于不同的设计需求；后者针对二进制目标代码的可复用性在系统结构上定义了框架、包、组件、中间件和工具。开发商可以独立完成其中部分产品，然后用工具将多个不同厂商提供的组件、中间件和库封装成包，在框架下实现系统功能。最常见的框架是基于网络或多处理器环境，算法组件在运行时承担数据加工任务，并发挥着强大的作用。

达芬奇平台是典型的基于共享存储的嵌入式多处理（ARM、DSP、VICP、视频前端和后端等）环境，支撑的关键技术是片内实现了多通道的交换中心资源（Switch Central Resources，SCR）。基于片内 SCR，达芬奇平台在片内多处理器之间形成了典型的 C/S 架构：计算能力强大的 DSP（高达 4800MIPS）可以作为服务器提供算法的实时计算服务；带有 JAVA 处理能力的 ARM9 实现网络、硬盘音视频 I/O 等用户界面。美国 Texas Instruments（TI）公司在达芬奇平台上专门为音视频编解码（Codec）多媒体应用精心设计了系统框架，提供了丰富的系统程序接口 SPI、应用程序接口 API 以及视频、图像、话音和音频千余种流媒体算法组件。它们与操作系统、中间件构成了一个应用系统的大部分内容，应用系统开发团队只需将它们封装成运行包，就能得到高可用性和高可靠性的产品。

达芬奇平台框架完成了产品研发的大部分工作，剩余内容划分成应用系统设计和算法组件（如果不打算使用 TI 的千余算法组件）设计两类。应用系统设计团队只需关注用户界面管理等方面，有关多处理器之间进程调度、操作系统及驱动程序、存储器分配和数据交换等诸多复杂的事情，一律不必操心。通过本书示例可以发现，一个 H.264 编解码并与硬盘交换数据，应用程序开发代码仅由几行伪指令组成，其余全部事情交给达芬奇框架完成。

让不同开发商提供的算法组件平滑无差错地用于达芬奇平台框架，TI 设计并提供了专用数字信号处理算法接口标准（eXpress DSP Arithmetic Interface Standard，XDAIS）及其针对流媒体应用的版本 XDM（Digital Medium XDAIS，XDAIS - DM）。遵循 XDM 标准的算法组件可无障碍地运行在达芬奇平台框架中。符合 XDAIS 标准但不遵循 XDM 的算法组件仍可在达芬奇平台框架运行，但需修改框架提供的中间件。算法接口标准 XDAIS（或 XDM）的宗旨是分离并掩蔽算法中涉及硬件或操作系统的操作，使其成为纯粹的数据加工软件。这样的软件可以编译成任何处理器代码用于不同的平台，因此也称为软件“芯片”。

第 1 章和第 2 章分别介绍了达芬奇数字媒体 SoC 处理器硬件结构和 DM6446 DSP 指令集与程序设计要点，这些是设计评估模块硬件和研发算法组件的基础知识。第 3 章介绍评估模块 DVEVM，TI 提供一个完全集成到 CCS 中的基于扫描链的硬件仿真器 XDS560 JTAG 用于高

级的主机和目标板 DVEVM 连接，构成了数字视频软硬件开发环境，尽管 CCS 具有调试两个处理器的能力，但调试工作不能同时进行，且在调试 ARM 时，不支持 MMU 使能。作为一种尝试，第 7 章介绍了在 GPP 端使用 GDB + DDD 的调试解决方案，恰好也是一种基于框架组件的程序设计案例。

第 4 章叙述了评估板 DVEVM 软件设计，对于独立研制评估模块的读者掌握如何编程控制硬件资源会有帮助。第 5 章专门讨论了如何将操作系统装入到评估模块并引导启动。这几章是本实验室研制开发达芬奇软硬件系统的经验总结，读者参考这些内容可以设计自己的数字视频硬件和操作系统。在 DVEVM 评估模块上安装上 TI 的数字视频软件开发套件（Digital Video Software Development Kit，DVSDK）后可形成完整的产品。第 6 章介绍 DVSDK，包括如下软件产品。

1. MontaVista Linux Professional Edition v4

这是一套完整的经许可认证的 MontaVista 专业版的 Linux 系统。

2. DM644x SoC Analyzer（DSA）

这个软件安装在一个 Windows 主机上允许用户从运行的系统中收集分析数据和真实地鉴别情况，例如，不合适地负载平衡、共享资源的争夺和瓶颈等。

3. DSP/BIOS for Linux

DSP/BIOS 是一个可裁剪的实时 DSP 操作系统。它是专门为要求具有实时调度和同步，目标机—主机通信或实时仪器（Real-Time Instrumentation）等应用程序而设计的。

4. TI Codegen Tools for Linux

针对 TI 系列 DSP 编译器、连接器和相关的构建工具。

5. Framework Components

支持用于管理 XDAIS——兼容算法、分配内存和 DMA 资源，并确保这些资源能够尽可能的被有效/正确地共享。

6. Digital Video Test Bench（DVTB）

ARM 端的基于脚本（或命令行交互）的使能 DSP 编解码器执行的应用程序。

7. Code Composer Studio and Emulator

基于 Windows 平台的用于开发 DSP 应用程序的集成开发环境。

第 7 章从现代软件工程的角度分析了 TI 达芬奇框架与其他嵌入式系统的不同的特点，描述了本实验室开发的 ARM 端 Linux 调试工具 GDB + DDD 解决方案，也是一种达芬奇框架的实施示例。本章描述的另一个达芬奇框架示例是视频、图像、话音和音频处理框架 VISA。

TI 提供了基于实时系统组件（Real Time System Component，RTSC）技术的 CE 配置套件，该技术利用 XDC（eXpress DSP Component）基本工具（也称 XDC 配置套件）支持开发者自动操作其目标内容。第 8 章介绍如何利用 XDC 配置、优化、构建、测试和装配 Codec 引擎。第 9 章介绍创建 Codec Server 的方法。第 10 章介绍如何编译 Codec 算法。

第 11 章报告了这样一个完整产品的示例：先在达芬奇框架下配置一个视频流服务器；然后在 PC 机和视频流服务器之间建立 SIP 呼叫链接，生成基于 IP 的音/视频通道；利用 RTP/RTSP 协议将 H.264 编码的码流传输到 PC 机；最后 PC 机用 DirectShow 解码播放。

熟悉并掌握了本书内容，完全可以胜任复杂的数字媒体的项目开发任务。为使读者能

够从入门到精通，成为合格的音视频软硬件开发工程师，本书最后一章按照 TI 的全球高级研讨班的培训要求精心完成了 11 个示例教程。本实验室的研究生通过练习这些实验，可以很快获得实际开发的动手能力，以胜任流媒体项目的研发任务。本书所选的实验涉及到相对应的程序名，这些名称不易改变，因此出现实验的中文顺序与相应程序的英文名称不一致，特此说明。

本书共 12 章约 70 余万字，由张刚教授负责统筹全书内容和风格。张胜博士执笔完成 10 万字，张起贵副教授执笔完成 13 万字，常青讲师执笔完成 12 万字，王耀力讲师执笔完成 10 万字，裴科博士执笔完成 10 万字，武淑红教授执笔完成 12 万字，赵哲峰博士执笔完成 3 万字。

书中一部分内容源于太原理工大学通信与嵌入式系统实验室硕士研究生叶志龙、李付江、曾桂三等人的科研工作。

本书是 TI 大学计划的部分工作，美国德州仪器半导体技术（上海）有限公司大学计划部经理沈洁女士、潘亚涛先生和通用 DSP 技术应用工程师崔晶女士在百忙中审阅了全稿并提出中肯的修改意见。在此表示感谢！

本书得到了中国国家自然科学基金（项目号：60772101）资助。

著者

2009. 5

目　录

第1章　达芬奇SoC硬件结构

TMS320DM6446(以下简称DM6446)是TI公司于2005年12月推出的高集成度视频处理芯片,业界称为达芬奇(DaVinci)数字媒体片上系统(DMSoC)。该芯片为361脚BGA封装,引脚间距为0.8mm,图1-1是其内部功能块。DMSoC包括ARM子系统、DSP子系统、视频处理子系统(VPSS)和系统控制模块;另外还有电源管理、外部存储接口、外围控制模块和交换中心资源(Switched Central Resonrcl,SCR)等部件。

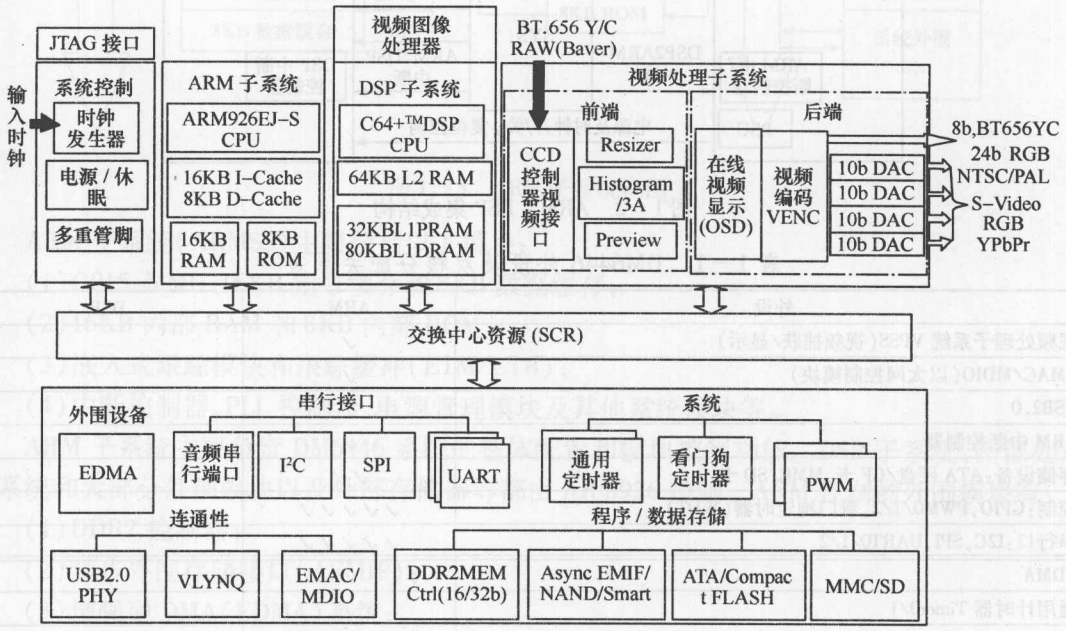

图1-1　TMS320DM6446功能结构框图

达芬奇数字媒体片上系统ARM与DSP的集成构架如图1-2所示,从图中能清楚地看到ARM可以访问DSP片内存储器(L2RAM和L1P/D),同样DSP也可以访问ARM片内存储器;ARM和DSP共享DDR2和AEMIF。因此ARM只需传递需要处理的数据地址指针给DSP,而无需大块的数据搬移。但是通常情况下应特别小心,这种直接存储器操作往往引入不可预知的错误。通过相互之间中断,ARM和DSP可以实现通信。ARM可以中断DSP(通过4个通用中断和1个不可屏蔽中断);DSP可以通过2个通用中断来中断ARM。ARM通过电源休眠控制器(PSC)控制DSP的电源、时钟、复位和引导。

达芬奇双核架构最重要的是两个处理器核之间的资源分配、通信方式及如何高效地实现资源共享。表1-1列出了ARM与DSP对外围设备的管理及利用情况,其中"✓"代表ARM或DSP可以使用该资源。

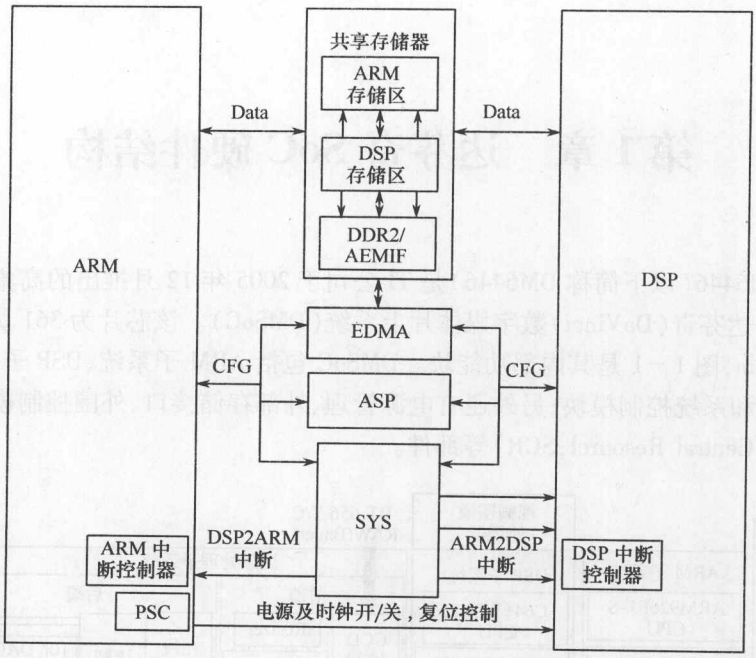

图 1－2　ARM－DSP 集成结构

表 1－1　DM6446 外设及双核分配关系表

外设	ARM	DSP
视频处理子系统 VPSS(视频捕获/显示)	✓	
EMAC/MDIO(以太网控制模块)	✓	
USB2.0	✓	
ARM 中断控制器	✓	
存储设备:ATA 硬盘/CF 卡,MMC/SD 卡	✓✓	
控制:GPIO,PWM0/1/2,看门狗定时器(WDT)	✓✓✓✓✓	
串行口:I2C,SPI,UART0/1/2	✓✓✓✓✓	
EDMA	✓	✓
通用计时器 Timer0/1	✓	✓
电源休眠控制器 PSC	✓	✓
音频串行端口 ASP	✓	✓
共享存储器:DDR2,EMIF	✓✓	✓✓
DSP 中断控制器		✓
视频/图像协处理器 VICP(视频/图像加速器)		✓

1.1　ARM 子系统

1.1.1　概述

ARM 子系统采用 ARMv5TEJ (32/16bit)指令集的 ARM926EJ－S 内核 CPU,是采用管道化流水线的 32bit RISC 处理器,工作频率高达 297MHz,同时配备 Thumb 扩展。ARM926EJ－S 内核小端模式,包括中断控制器,锁相环(PLL)控制器,电源休眠控制器(PSC),嵌入式跟踪宏单元及缓冲(ETM/ETB)及系统模块等。它能够处理 32bit 或 16bit 的指令和 8bit、16bit、32bit

的数据，且通过使用协处理器 CP15 和保护模块使体系结构得到增强，并提供数据和程序内存管理单元(MMU)。MMU 具有两个 64 项的转换旁路缓存器(TLB)用于指令和数据流，每项均可映射存储器的段、大页和小页。为了保证内核周期的存取指令和数据，提供独立的 16KB 指令 Cache 和 8KB 数据 Cache，指令和数据 Cache 均通过 VIVT 四路连接。另外还有一个写缓冲用来提升内核性能，其缓冲数据容量高达 17KB。图 1－3 是 ARM 子系统框图。

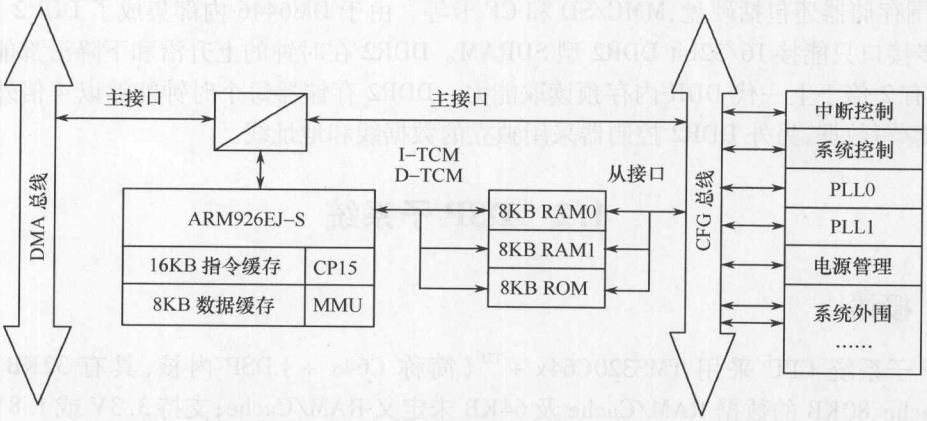

图 1－3　ARM 子系统框图

ARM 子系统(ARMSS)主要包括以下模块：

(1)CP15、MMU、16KB 指令缓存和 8KB 数据缓存；

(2)16KB 内部 RAM 和 8KB 内部 ROM；

(3)嵌入式跟踪模块和跟踪缓冲(ETM/ETB)；

(4)中断控制器、PLL 控制器、电源管理模块及其他系统模块等。

ARM 子系统主要负责 DM6446 系统的整体配置和模块控制功能。DSP 子系统、图像处理子系统和大部分外围模块以及外部存储器等都由 ARM926 控制。ARM 控制的外围模块有：

(1)DDR2 控制器；

(2)异步外围存储接口(AEMIF)；

(3)增强型 DMA(EDMA)系统；

(4)串口(UART)；

(5)定时器(Timers)；

(6)脉宽调制器(PWM)；

(7)I^2C 接口；

(8)MMC/SD 卡控制器；

(9)音频串口(ASP)；

(10)USB 接口；

(11)ATA/CF 接口；

(12)SPI 接口；

(13)以太网链路层控制器(EMAC)；

(14)视频处理前端(VPFE)；

(15)视频处理后端(VPBE)。