

品華集

本館編輯
品華集
卷一



品華集



4/4 编 制 说 明

一、本目录所编产品均属大规模集成电路器件，系我厂目前生产或试制的品种，凡已停产或转产的品种，均未列入。

二、本目录共分四个部分：

1. MCS 80/85系列电路。
2. CMOS 14500一位微处理机系列电路。
3. 通用存储器电路。
4. 其他大规模集成电路。

凡仿国外产品者，为方便用户，本目录都提供国外同类产品型号。

三、在目录中，型号前有“×”者，系尚未生产定型产品，其电参数规范可能有所变动。

四、本目录中所列各项电参数规范，仅供设计参考，不作验收依据。验收应以本厂产品技术条件为准。

五、本目录对产品性能仅作一些必需和简要的介绍，以便用户选用。不妥之处，欢迎大家提出宝贵意见，使之逐趋完善，以满足广大用户需要。

目 录

大规模集成电路

一、 MCS 80/85系列电路

1.	5 G8080	单片8位中央处理单元 (CPU)	(1)
×2.	5 G8085	单片8位中央处理单元 (CPU)	(12)
×3.	5 G8251	通用可编程序通讯接口 (U S A R T)	(27)
×4.	5 G8253	可编程序计时器	(42)
5.	5 G8255	可编程序8位并行 I/O接口 (P P I)	(49)
×6.	5 G8257	可编程序 D M A 控制器	(60)
×7.	5 G8259	可编程序中断控制器 (P I C)	(71)
×8.	5 G8279	可编程序键盘/显示器接口	(79)

二、 CMOS 14500一位微处理机系列电路

1.	5 G14500	工业控制单元	(87)
2.	5 G14512	8通道数据选择器	(94)
3.	5 G14516	可予置四位二进制可逆计数器	(98)
4.	5 G14599	8位可寻址双向锁存器	(104)

三、 通用存贮器

1.	5 G903	256×4位 N沟 MOS 静态随机存贮器	(109)
2.	5 G2102	1024×1位 N沟 MOS 静态随机存贮器	(115)
3.	5 G2112	256×4位 N沟 MOS 静态随机存贮器	(121)
×4.	5 G2114	1024×4位 N沟 MOS 静态随机存贮器	(126)
×5.	5 G5101	256×4位 CMOS 静态随机存贮器	(131)
6.	5 G2704	512×8位可编程序只读存贮器	(138)
7.	5 G2708	1024×8位可编程序只读存贮器	(138)
8.	5 G717	128位 MOS 静态移位寄存器	(146)
9.	5 G718	256位 MOS 静态移位寄存器	(150)
×10.	5 G719	256×4位 MOS 静态移位寄存器	(154)

四、 其他大规模集成电路

- ×1. 5 G7216 D 10MHz通用频率计数器 (159)
- 2. 5 G14433 3½位 A/D转换器 (165)
- ×3. 5 G0801/02/03/04与8位微机兼容逐级近似(S A R) A/D转换器 (171)

5 G 8080单片 8 位中央处理单元

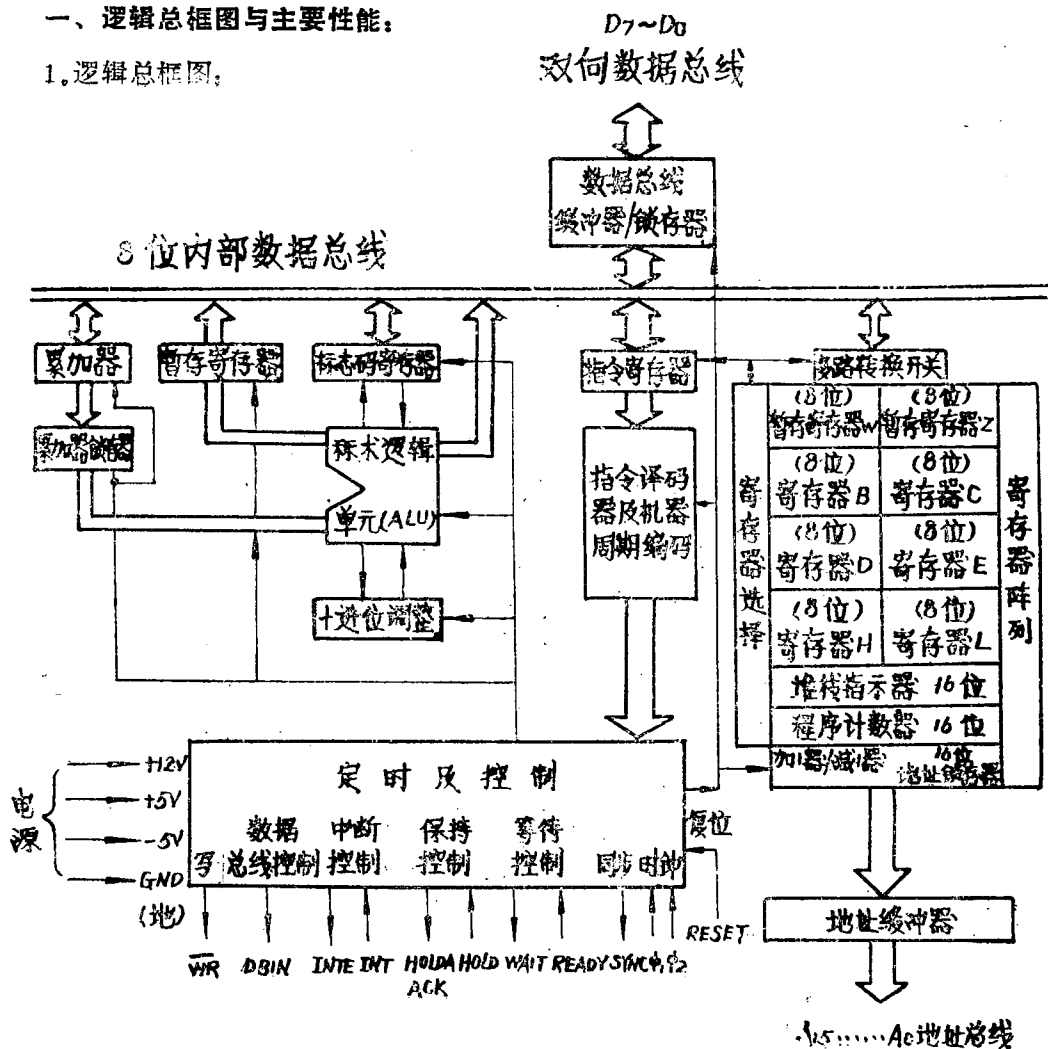
(国外型号: Intel 8080A)

5 G8080(SB8080) 是采用 n 沟硅栅MOS工艺制成的单片八位中央处理单元 (CPU)。它与I/O输入输出接口, ROM、RAM 存储器等芯片可组成微处理机及微型计算机系统。可用于数据通信、计算机网络的智能终端设备、仪器仪表计测系统、工业自动化控制等各个方面。

5 G8080, 采用40脚金属陶瓷双列直插式封装。其管脚排列、管脚尺寸、功能、电参数均与美国Intel公司产品8080A具有互换性。

一、逻辑总框图与主要性能:

1. 逻辑总框图:



2. 主要特点:

- * 与 T T L 相容, 主频 2 兆周, 两相时钟脉冲 ϕ_1 和 ϕ_2 。
- * 最短指令执行时间: 2 μ s
- * 字长 8 位, 并行处理, 可根据需要采用多倍字长运算, 而字长的倍数不受限制。
- * 基本指令 72 条, 237 种机器代码, 分 1 字节、2 字节和 3 字节指令, 指令长度可变。
- * 16 位三状态地址总线可直接寻址 64 K 字节, 有 8 位双向三状态数据总线, 有一个 16 位的堆栈指示器, 用来控制设在存贮器的外部堆栈寻址, 易于处理多级中断及子程序嵌套。
- * 可接受 8 级中断, 可以 8 为模扩展。并有十进制调整能力。
- * 可选择 256 个输入口和 256 个输出口。

二、指令系统:

记忆符号	说 明	指 令 码 (1)								时钟周 期 (2)
		D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	
MOV r ₁ , r ₂	寄存器送寄存器	0	1	D	D	D	S	S	S	5
MOV M, r	寄存器送存贮器	0	1	1	1	0	S	S	S	7
MOV r M	存贮器送寄存器	0	1	D	D	D	1	1	0	7
H L T	暂 停	0	1	1	1	0	1	1	0	7
MVI r	立即数送寄存器	0	0	D	D	D	1	1	0	7
MVI M	立即数送存贮器	0	0	1	1	0	1	1	0	10
INR r	寄存器加 1	0	0	D	D	D	1	0	0	5
DCR r	寄存器减 1	0	0	D	D	D	1	0	1	5
INR M	存贮器加 1	0	0	1	1	0	1	0	0	10
DCR M	存贮器减 1	0	0	1	1	0	1	0	1	10
ADD r	加寄存器到 A	1	0	0	0	0	S	S	S	4

记忆符号	说 明	指 令 码 (1)								时间 周期 (2)
		D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	
ADC r	寄存器连同进位加至 A	1	0	0	0	1	S	S	S	4
SUB r	A减寄存器	1	0	0	1	0	S	S	S	4
SBB r	A减寄存器和借位	1	0	0	1	1	S	S	S	4
ANA r	寄存器“与” A	1	0	1	0	0	S	S	S	4
XRA r	寄存器“异或” A	1	0	1	0	1	S	S	S	4
ORA r	寄存器“或” A	1	0	1	1	0	S	S	S	4
CMP r	寄存器和 A 比较	1	0	1	1	1	S	S	S	4
ADD M	存贮器加到 A	1	0	0	0	0	1	1	0	4
ADC M	存贮器连同进位加到 A	1	0	0	0	1	1	1	0	7
SUB M	A减存贮器	1	0	0	1	0	1	1	0	7
SBB M	A减存贮器和借位	1	0	0	1	1	1	1	0	7
ANA M	存贮器“与” A	1	0	1	0	0	1	1	0	7
XRA M	存贮器“异或” A	1	0	1	0	1	1	1	0	7
ORA M	存贮器“或” A	1	0	1	1	0	1	1	0	7
CMP M	存贮器和 A 比较	1	0	1	1	1	1	1	0	7
ADI	立即数加到 A	1	1	0	0	0	1	1	0	7
ACI	立即数连同进位加到 A	1	1	0	0	1	1	1	0	7
SUI	A减立即数	1	1	0	1	0	1	1	0	7
SBI	A减立即数和借位	1	1	0	1	1	1	1	0	7
ANI	立即数“与” A	1	1	1	0	0	1	1	0	7
XRI	立即数“异或” A	1	1	1	0	1	1	1	0	7
ORI	立即数“或” A	1	1	1	1	0	1	1	0	7
CPI	立即数和 A 比较	1	1	1	1	1	1	1	0	7
RLC	A循环左移	0	0	0	0	0	1	1	1	4
RRC	A循环右移	0	0	0	0	1	1	1	1	4

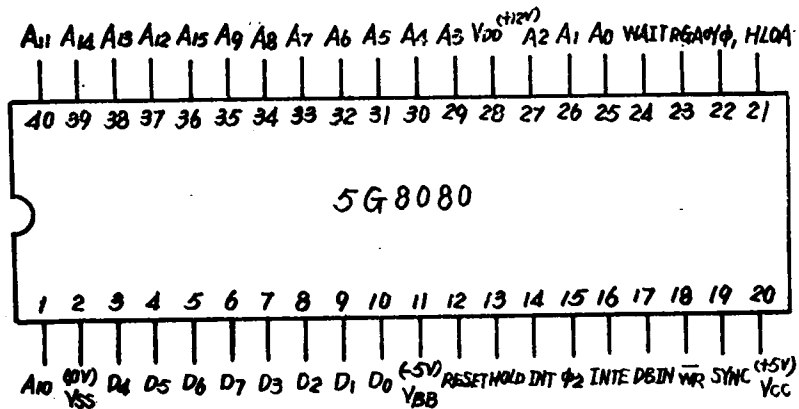
记忆符号	说 明	指 令 码 (1)								时间 周期 (2)
		D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	
R A L	A通过进位循环左移	0	0	0	1	0	1	1	1	4
R A R	A通过进位循环右移	0	0	0	1	1	1	1	1	4
J M P	无条件转移	1	1	0	0	0	0	1	1	10
J C	标志指示进位, 转移	1	1	0	1	1	0	1	0	10
J N C	标志指示没进转, 转移	1	1	0	1	0	0	1	0	10
J Z	标志指示是零, 转移	1	1	0	0	1	0	1	0	10
J N Z	标志指示不是零, 转移	1	1	0	0	0	0	1	0	10
J P	标志指示正数, 转移	1	1	1	1	0	0	1	0	10
J M	标志指示负数, 转移	1	1	1	1	1	0	1	0	10
J P E	标志指示是偶数, 转移	1	1	1	0	1	0	1	0	10
J P O	标志指示是奇数, 转移	1	1	1	0	0	0	1	0	10
C A L L	无条件调用(转子)	1	1	0	0	1	1	0	1	17
C C	标志指示有进位, 转子	1	1	0	1	1	1	0	0	11/17
C N C	标志指示没进位, 转子	1	1	0	1	0	1	0	0	11/17
C Z	标志指示是零, 转子	1	1	0	0	1	1	0	0	11/17
C N Z	标志指示不是零, 转子	1	1	0	0	0	1	0	0	11/17
C P	标志指示是正数, 转子	1	1	1	1	0	1	0	0	11/17
C M	标志指示是负数, 转子	1	1	1	1	1	1	0	0	11/17
C P E	标志指示是偶数, 转子	1	1	1	0	1	1	0	0	11/17
C P O	标志指示是奇数, 转子	1	1	1	0	0	1	0	0	11/17
R E T	返 回	1	1	0	0	1	0	0	1	10
R C	标志指示有进位, 返回	1	1	0	1	1	0	0	0	5/11
R N C	标志指示没有进位, 返回	1	1	0	1	0	0	0	0	5/11
R Z	标志指示是零, 返回	1	1	0	0	1	0	0	0	5/11
R N Z	标志指示不是零, 返回	1	1	0	0	0	0	0	0	5/11

记忆符号	说 明	指 令 码 (1)								时间 周期 (2)
		D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	
R P	标志指示是正数, 返回	1	1	1	1	0	0	0	0	5/11
R M	标志指示是负数, 返回	1	1	1	1	1	0	0	0	5/11
P P E	标志指示是偶数, 返回	1	1	1	0	1	0	0	0	5/11
R P O	标志指示是奇数, 返回	1	1	1	0	0	0	0	0	5/11
R S T	重 新 开 始	1	1	A	A	A	1	1	1	1 1
I N	输 入	1	1	0	1	1	0	1	1	1 0
O U T	输 出	1	1	0	1	0	0	1	1	1 0
LXI B	立即数送寄存器对 B及 C	0	0	0	0	0	0	0	1	1 0
LXI D	立即数送寄存器对 D及 E	0	0	0	1	0	0	0	1	1 0
LXI H	立即数送寄存器对 H及 L	0	0	1	0	0	0	0	1	1 0
LXI SP	立即数送堆栈指示器	0	0	1	1	0	0	0	1	1 0
PUSH B	寄存器对 B及 C推入堆栈	1	1	0	0	0	1	0	1	1 1
PUSH D	寄存器对 D及 E推入堆栈	1	1	0	1	0	1	0	1	1 1
PUSH H	寄存器对 H及 L推入堆栈	1	1	1	0	0	1	0	1	1 1
PUSH PSW	把 A和标志推入堆栈	1	1	1	1	0	1	0	1	1 1
POP B	寄存器对 B及 C弹出堆栈	1	1	0	0	0	0	0	1	1 0
POP D	寄存器对 D及 E弹出堆栈	1	1	0	1	0	0	0	1	1 0
POP H	寄存器对 H及 L弹出堆栈	1	1	1	0	0	0	0	1	1 0
POP PSW	A和标志弹出堆栈	1	1	1	1	0	0	0	1	1 0
STA	直 接 存 A	0	0	1	1	0	0	1	0	1 3
LTA	直 接 送 A	0	0	1	1	1	0	1	0	1 3
XCHG	寄存器 H和 L与寄存器 D和 E交换	1	1	1	0	1	0	1	1	4
XTHL	H及 L和堆栈顶点交换	1	1	1	0	0	0	1	1	1 8
SPHL	H及 L移至堆栈指示器	1	1	1	1	1	0	0	1	5
PCHL	H及 L移至程序计数器	1	1	1	0	1	0	0	1	5

记忆符号	说 明	指 令 码 (1)								时间 周期 (2)
		D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	
DAD B	B及 C加至H及 L	0	0	0	0	1	0	0	1	1 0
DAD D	D及 E加至H及 L	0	0	0	1	1	0	0	1	1 0
DAD H	H及 L加至H及 L	0	0	1	0	1	0	0	1	1 0
DAD SP	堆栈指示器加到H及 L	0	0	1	1	1	0	0	1	1 0
STAX B	间 接 存 A	0	0	0	0	0	0	1	0	7
STAX D	间 接 存 A	0	0	0	1	0	0	1	0	7
LDAX B	间 接 送 A	0	0	0	0	1	0	1	0	7
LDAX D	间 接 送 A	0	0	0	1	1	0	1	0	7
INX B	寄存器 B及 C加 1	0	0	0	0	0	0	1	1	5
INX D	寄存器 D及 E加 1	0	0	0	1	0	0	1	1	5
INX H	寄存器 H及 L加 1	0	0	1	0	0	0	1	1	5
INX SP	堆栈指示器加 1	0	0	1	1	0	0	1	1	5
DCX B	B 及 C 减 1	0	0	0	0	1	0	1	1	5
DCX D	D 及 E 减 1	0	0	0	1	1	0	1	1	5
DCX H	H 及 L 减 1	0	0	1	0	1	0	1	1	5
DCX SP	堆栈指示器减 1	0	0	1	1	1	0	1	1	5
CMP	A 变 反 码	0	0	1	0	1	1	1	1	4
STC	进 位 置 位	0	0	1	1	0	1	1	1	4
CMC	进 位 反 码	0	0	1	1	1	1	1	1	4
DAA	A的十进制调整	0	0	1	0	0	1	1	1	4
SHLD	直接存H及 L	0	0	1	0	0	0	1	0	1 6
LHLD	直接送H及 L	0	0	1	0	1	0	1	0	1 6
E I	开 放 中 断	1	1	1	1	1	0	1	1	4
D I	关 中 断	1	1	1	1	0	0	1	1	4
NOP	无 操 作	0	0	0	0	0	0	0	0	4

三、外引线排列:

1、外引线排列



2、功能引线端的定义:

$A_0 \sim A_{15}$	16位输出三状态地址总线
$D_0 \sim D_7$	8位输入/输出三状态数据总线
SYNC	输出同步信号
DBIN	数据总线允许输入的信号
READY	准备完毕讯号
WAID	等待讯号
ϕ_1	时钟讯号
$\overline{WR}$	写讯号
HOLD	保持讯号
HLDA	保持响应讯号
INTE	中断允许讯号
INT	中断申请讯号
RESET	复位讯号
ϕ_2	时钟讯号

交流参数:

定时的测量是在如下电压时进行的

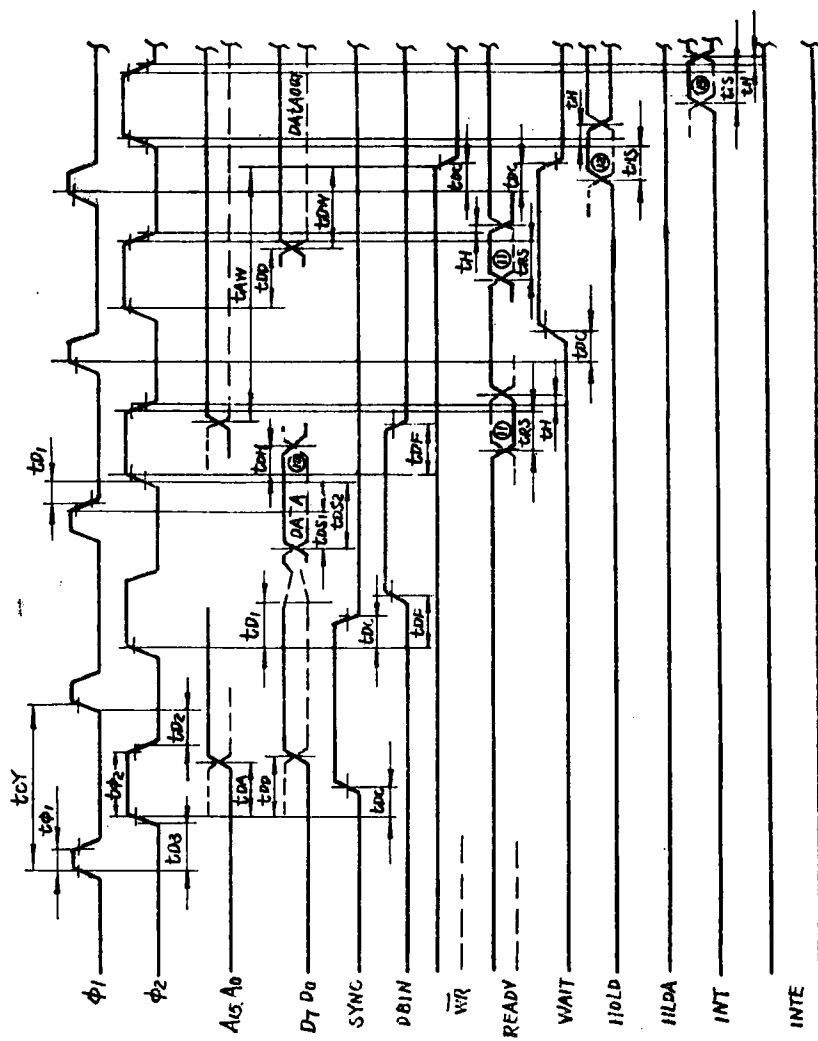
时钟“1” = 8.0伏, “0” = 1.0伏 输入“1” = 3.3伏, “0” = 0.8

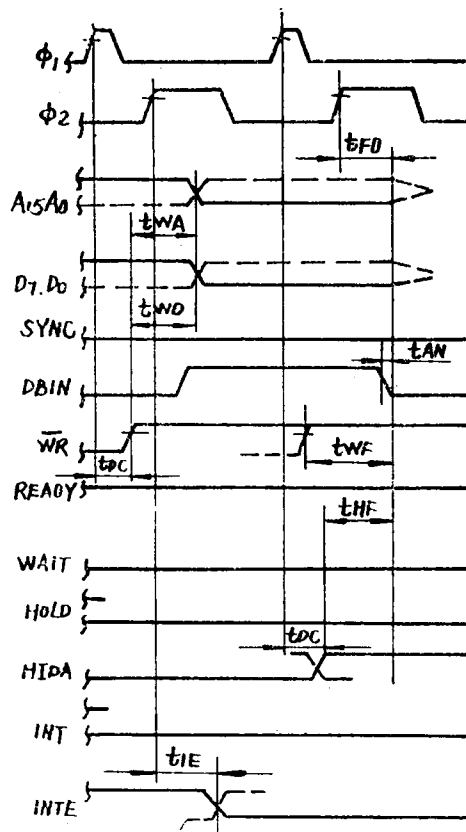
输出“1” = 2.0伏, “0” = 0.8伏

参数表:

符号	参 数	最小值	最大值	单位	测试条件
t_{cr}	时 钟 周 期	0.48	20	ns	
t_r, t_f	时钟上升及下降时间	0	50	ns	
t_{ϕ_1}	ϕ_1 时 钟 脉 宽	60		ns	
t_{ϕ_2}	ϕ_2 时 钟 脉 宽	220		ns	
t_{D1}	ϕ_1 至 ϕ_2 延 迟	0		ns	
t_{D2}	ϕ_2 至 ϕ_1 延 迟	70		ns	
t_{D3}	ϕ_1 至 ϕ_2 上升边延迟	80		ns	
t_{DA}	地址输出对 ϕ_2 延迟		200	ns	} CL = 100pf
t_{DD}	数据输出对 ϕ_2 延迟		220	ns	
t_{DC}	讯号输出对 ϕ_1 或 ϕ_2 延迟 (SYNC, WR, WAIT, HLDA)		120	ns	} CL = 50pf
t_{DF}	DBIN对 ϕ_2 延迟	25	140	ns	
t_{D1}	输入总线进入输入模式的延迟		t_{DF}	ns	
t_{DS1}	ϕ_1 和DBIN期间数据建立时间	30		ns	
t_{DS2}	DBIN期间数据建立到 ϕ_2 时间	150		ns	
t_{IE}	INTE输出对 ϕ_2 延迟		200	ns	
t_{RS}	ϕ_2 期间READY建立时间	120		ns	
t_{HS}	HOLD建立到 ϕ_2 时间	140		ns	
t_{IS}	ϕ_2 期间INT建立时间	120		ns	
t_H	对 ϕ_2 保 持 时 间 (READY, INT, HOLD)	0		ns	
t_{FD}	保持期间延迟到浮动 (地址和数据总线)		120	ns	

波形图:





5G8085单片 8 位中央处理器

(国外型号: intel 8085)

5 G8085是一个完整的 8 位并行中央处理单元 (CPU)。其指令系统与8080微处理器软件100%兼容。

5 G8085把8080 (CPU)、8224 (时钟发生器)和8228 (系统控制器)集成于单片,因此,它与8080相比,有更高水平的系统集成度和系统完整性,进一步提高了系统的速度。由三片IC电路:8085(CPU),8156(RAM/IO口)和8355/8755 (ROM/PROM/IO口)即可组成最小微型计算机系统,同时保持系统的扩展能力。

此外,8085结构设计上采用复合数据/地址总线技术,低 8 位地址和 8 位数据分时共用一条 8 位总线。在采用像8155/8156/8355/8755等等片内具有地址锁存的存贮器时,不需要外加地址缓冲锁存器,就能直接与8085 A联结。

8085除具有与 8080 A 兼容的中断输入 INTR 之外,还增加了四条中断输入(均为重新启动中断输入端,其中之一为非屏蔽中断),因此,中断能力明显提高。

5 G 8085单片 8 位并行中央处理单元与 ROM、RAM 和 I/O 接口等芯片可组成微处理机和微型计算机系统。可用于数据通信、计算机网络的智能终端设备、仪器、仪表计测系统、工业自动化控制等各个方面。

5 G8085的管脚排列、管脚尺寸、功能、电参数均与美国intel公司的8085具有互换性。

一、逻辑总框图与主要特点

1、逻辑框图

(图见下页)

2、主要特点:

- *、使用单一+ 5 伏电源;
- *、软件与8080 100%兼容;
- *、指令周期为 $1.3\mu s$;
- *、片内具有时钟发生器(外接晶体或RC网络);
- *、五条向量中断输入。(其中之一与8080 A完全相同,其余为重新启动中断。)
- *、具有串行输入/串行输出口;
- *、十进制、二进制和双精度运算;
- *、具有对存贮器64 K字节的直接选址能力。
- *、与 intel 8085 A可互换使用。

逻辑框图

