

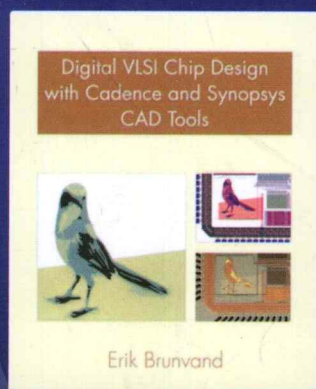
国外电子与通信教材系列

PEARSON

数字VLSI芯片设计

——使用Cadence和Synopsys CAD工具

Digital VLSI Chip Design with Cadence and Synopsys CAD Tools



[美] Erik Brunvand 著

周润德 译



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

TN470.2
B983

内容简介

国外电子与通信教材系列

数字 VLSI 芯片设计

——使用 Cadence 和 Synopsys CAD 工具

Digital VLSI Chip Design with Cadence and
Synopsys CAD Tools

[美] Erik Brunvand 著

周润德 译

電子工業出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书介绍如何使用 Cadence 和 Synopsys 公司的 CAD 工具来实际设计数字 VLSI 芯片。读者通过本书可以循序渐进地学习这些 CAD 工具, 并使用这些软件设计出可制造的数字集成电路芯片。本书内容按集成电路的设计流程编排, 包括 CAD 设计平台、电路图输入、Verilog 仿真、版图编辑、标准单元设计、模拟和数模混合信号仿真、单元表征和建库、Verilog 综合、抽象形式生成、布局布线及芯片组装等工具; 每一工具的使用都以实例说明, 最后给出了一个设计简化 MIPS 微处理器的完整例子。本书可与有关集成电路设计理论的教科书配套使用, 可作为高等院校有关集成电路设计理论类课程的配套教材和集成电路设计实践类课程的教科书, 也可作为集成电路设计人员的培训教材和使用手册。

Authorized translation from the English language edition, entitled Digital VLSI Chip Design with Cadence and Synopsys CAD Tools, 9780321547996 by Erik Brunvand, published by Pearson Education, Inc, publishing as Addison Wesley, Copyright © 2009 Pearson Education, Inc.

All rights reserved. No part of this book may be reproduced or transmitted in any form or by any means, electronic or mechanical, including photocopying, recording or by any information storage retrieval system, without permission from Pearson Education, Inc.

CHINESE SIMPLIFIED language edition published by PEARSON EDUCATION ASIA LTD., and PUBLISHING HOUSE OF ELECTRONICS INDUSTRY, Copyright © 2009.

本书中文简体字版专有出版权由 Pearson Education (培生教育出版集团) 授予电子工业出版社。未经出版者预先书面许可, 不得以任何方式复制或抄袭本书的任何部分。

本书贴有 Pearson Education (培生教育出版集团) 激光防伪标签, 无标签者不得销售。

版权贸易合同登记号 图字: 01-2009-3288

图书在版编目 (CIP) 数据

数字 VLSI 芯片设计: 使用 Cadence 和 Synopsys CAD 工具 / (美) 布鲁范德 (Brunvand, E.) 著; 周润德译.
北京: 电子工业出版社, 2009.11

书名原文: Digital VLSI Chip Design with Cadence and Synopsys CAD Tools

(国外电子与通信教材系列)

ISBN 978-7-121-09607-5

I. 数… II. ①布… ②周… III. 超大规模集成电路-芯片-计算机辅助设计-教材 IV. TN470.2

中国版本图书馆 CIP 数据核字 (2009) 第 174394 号

策划编辑: 谭海平

责任编辑: 史平

印刷: 北京市顺义兴华印刷厂

装订: 三河市双峰印刷装订有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编: 100036

开本: 787 × 1092 1/16 印张: 24 字数: 675 千字

印次: 2009 年 11 月第 1 次印刷

印数: 4000 册 定价: 59.00 元

凡所购买电子工业出版社的图书有缺损问题, 请向购买书店调换; 若书店售缺, 请与本社发行部联系。联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 zlts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010) 88258888。

序

2001年7月间,电子工业出版社的领导同志邀请各高校十几位通信领域方面的老师,商量引进国外教材问题。与会同志对出版社提出的计划十分赞同,大家认为,这对我国通信事业、特别是对高等院校通信学科的教学工作会很有好处。

教材建设是高校教学建设的主要内容之一。编写、出版一本好的教材,意味着开设了一门好的课程,甚至可能预示着一个崭新学科的诞生。20世纪40年代MIT林肯实验室出版的一套28本雷达丛书,对近代电子学科、特别是对雷达技术的推动作用,就是一个很好的例子。

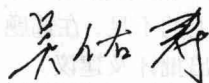
我国领导部门对教材建设一直非常重视。20世纪80年代,在原教委教材编审委员会的领导下,汇集了高等院校几百位富有教学经验的专家,编写、出版了一大批教材;很多院校还根据学校的特点和需要,陆续编写了大量的讲义和参考书。这些教材对高校的教学工作发挥了极好的作用。近年来,随着教学改革不断深入和科学技术的飞速进步,有的教材内容已比较陈旧、落后,难以适应教学的要求,特别是在电子学和通信技术发展神速、可以讲是日新月异的今天,如何适应这种情况,更是一个必须认真考虑的问题。解决这个问题,除了依靠高校的老师 and 专家撰写新的符合要求的教科书外,引进和出版一些国外优秀电子与通信教材,尤其是有选择地引进一批英文原版教材,是会有好处的。

一年多来,电子工业出版社为此做了很多工作。他们成立了一个“国外电子与通信教材系列”项目组,选派了富有经验的业务骨干负责有关工作,收集了230余种通信教材和参考书的详细资料,调来了100余种原版教材样书,依靠由20余位专家组成的出版委员会,从中精选了40多种,内容丰富,覆盖了电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等方面,既可作为通信专业本科生和研究生的教学用书,也可作为有关专业人员的参考材料。此外,这批教材,有的翻译为中文,还有部分教材直接影印出版,以供教师用英语直接授课。希望这些教材的引进和出版对高校通信教学和教材改革能起一定作用。

在这里,我还要感谢参加工作的各位教授、专家、老师与参加翻译、编辑和出版的同志们。各位专家认真负责、严谨细致、不辞辛劳、不怕琐碎和精益求精的态度,充分体现了中国教育工作者和出版工作者的良好美德。

随着我国经济建设的发展和科学技术的不断进步,对高校教学工作会不断提出新的要求和希望。我想,无论如何,要做好引进国外教材的工作,一定要联系我国的实际。教材和学术专著不同,既要注意科学性、学术性,也要重视可读性,要深入浅出,便于读者自学;引进的教材要适应高校教学改革的需要,针对目前一些教材内容较为陈旧的问题,有目的地引进一些先进的和正在发展中的交叉学科的参考书;要与国内出版的教材相配套,安排好出版英文原版教材和翻译教材的比例。我们努力使这套教材能尽量满足上述要求,希望它们能放在学生们的课桌上,发挥一定的作用。

最后,预祝“国外电子与通信教材系列”项目取得成功,为我国电子与通信教学和通信产业的发展培土施肥。也恳切希望读者能对这些书籍的不足之处、特别是翻译中存在的问题,提出意见和建议,以便再版时更正。



中国工程院院士、清华大学教授

“国外电子与通信教材系列”出版委员会主任

出版说明

进入21世纪以来,我国信息产业在生产和科研方面都大大加快了发展速度,并已成为国民经济发展的支柱产业之一。但是,与世界上其他信息产业发达的国家相比,我国在技术开发、教育培训等方面都还存在着较大的差距。特别是在加入WTO后的今天,我国信息产业面临着国外竞争对手的严峻挑战。

作为我国信息产业的专业科技出版社,我们始终关注着全球电子信息技术的发展方向,始终把引进国外优秀电子与通信信息技术教材和专业书籍放在我们工作的重要位置上。在2000年至2001年间,我社先后从世界著名出版公司引进出版了40余种教材,形成了一套“国外计算机科学教材系列”,在全国高校以及科研部门中受到了欢迎和好评,得到了计算机领域的广大教师与科研工作者的充分肯定。

引进和出版一些国外优秀电子与通信教材,尤其是有选择地引进一批英文原版教材,将有助于我国信息产业培养具有国际竞争能力的技术人才,也将有助于我国国内在电子与通信教学工作中掌握和跟踪国际发展水平。根据国内信息产业的现状、教育部《关于“十五”期间普通高等教育教材建设与改革的意见》的指示精神以及高等院校老师们反映的各种意见,我们决定引进“国外电子与通信教材系列”,并随后开展了大量准备工作。此次引进的国外电子与通信教材均来自国际著名出版商,其中影印教材约占一半。教材内容涉及的学科方向包括电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等,其中既有本科专业课程教材,也有研究生课程教材,以适应不同院系、不同专业、不同层次的师生对教材的需求,广大师生可自由选择和自由组合使用。我们还将与国外出版商一起,陆续推出一些教材的教学支持资料,为授课教师提供帮助。

此外,“国外电子与通信教材系列”的引进和出版工作得到了教育部高等教育司的大力支持和帮助,其中的部分引进教材已通过“教育部高等学校电子信息科学与工程类专业教学指导委员会”的审核,并得到教育部高等教育司的批准,纳入了“教育部高等教育司推荐——国外优秀信息科学与技术系列教学用书”。

为做好该系列教材的翻译工作,我们聘请了清华大学、北京大学、北京邮电大学、南京邮电大学、东南大学、西安交通大学、天津大学、西安电子科技大学、电子科技大学、中山大学、哈尔滨工业大学、西南交通大学等著名高校的教授和骨干教师参与教材的翻译和审校工作。许多教授在国内电子与通信专业领域享有较高的声望,具有丰富的教学经验,他们的渊博学识从根本上保证了教材的翻译质量和专业学术方面的严格与准确。我们在此对他们的辛勤工作与贡献表示衷心的感谢。此外,对于编辑的选择,我们达到了专业对口;对于从英文原书中发现的错误,我们通过作者联络、从网上下载勘误表等方式,逐一进行了修订;同时,我们对审校、排版、印制质量进行了严格把关。

今后,我们将进一步加强同各高校教师的密切关系,努力引进更多的国外优秀教材和教学参考书,为我国电子与通信教材达到世界先进水平而努力。由于我们对国内外电子与通信教育的发展仍存在一些认识上的不足,在选题、翻译、出版等方面的工作中还有许多需要改进的地方,恳请广大师生和读者提出批评及建议。

电子工业出版社

教材出版委员会

- | | | |
|-----|-----|---|
| 主任 | 吴佑寿 | 中国工程院院士、清华大学教授 |
| 副主任 | 林金桐 | 北京邮电大学校长、教授、博士生导师 |
| | 杨千里 | 总参通信部副部长，中国电子学会会士、副理事长
中国通信学会常务理事、博士生导师 |
| 委员 | 林孝康 | 清华大学教授、博士生导师、电子工程系副主任、通信与微波研究所所长
教育部电子信息科学与工程类专业教学指导分委员会委员 |
| | 徐安士 | 北京大学教授、博士生导师、电子学系主任 |
| | 樊昌信 | 西安电子科技大学教授、博士生导师
中国通信学会理事、IEEE 会士 |
| | 程时昕 | 东南大学教授、博士生导师 |
| | 郁道银 | 天津大学副校长、教授、博士生导师
教育部电子信息科学与工程类专业教学指导分委员会委员 |
| | 阮秋琦 | 北京交通大学教授、博士生导师
计算机与信息技术学院院长、信息科学研究所所长
国务院学位委员会学科评议组成员 |
| | 张晓林 | 北京航空航天大学教授、博士生导师、电子信息工程学院院长
教育部电子信息科学与电气信息类基础课程教学指导分委员会副主任委员
中国电子学会常务理事 |
| | 郑宝玉 | 南京邮电大学副校长、教授、博士生导师
教育部电子信息与电气学科教学指导委员会委员 |
| | 朱世华 | 西安交通大学副校长、教授、博士生导师
教育部电子信息科学与工程类专业教学指导分委员会副主任委员 |
| | 彭启琮 | 电子科技大学教授、博士生导师、通信与信息工程学院院长
教育部电子信息科学与电气信息类基础课程教学指导分委员会委员 |
| | 毛军发 | 上海交通大学教授、博士生导师、电子信息与电气工程学院副院长
教育部电子信息与电气学科教学指导委员会委员 |
| | 赵尔沅 | 北京邮电大学教授、《中国邮电高校学报（英文版）》编委会主任 |
| | 钟允若 | 原邮电科学研究院副院长、总工程师 |
| | 刘 彩 | 中国通信学会副理事长兼秘书长，教授级高工
信息产业部通信科技委副主任 |
| | 杜振民 | 电子工业出版社原副社长 |
| | 王志功 | 东南大学教授、博士生导师、射频与光电集成电路研究所所长
教育部高等学校电子电气基础课程教学指导分委员会主任委员 |
| | 张中兆 | 哈尔滨工业大学教授、博士生导师、电子与信息技术研究院院长 |
| | 范平志 | 西南交通大学教授、博士生导师、信息科学与技术学院院长 |

译者序

超大规模集成电路 (VLSI) 的飞速发展是 20 世纪 70 年代以来人类历史上的一个奇迹。它的出现与发展彻底改变了人类文明和人们日常生活的面目。现在, VLSI CMOS 的制造工艺已缩小到前所未有的深亚微米尺寸和超深亚微米尺寸, VLSI 的设计和应用也已渗透到几乎每一个工程技术领域, 特别是片上系统 (SoC)、片上网络 (NoC) 的出现与发展对集成电路的设计提出了新的要求。这些芯片的设计本质上是一项团队合作, 需要系统设计师、软件工程师、芯片构架设计师、专利产品供应商以及工艺与器件工程师之间密切沟通。而首先要求设计者应当能熟练掌握数字集成电路设计的 CAD 工具, 特别是当前工业界普遍使用的 CAD 工具 (如 Cadence 与 Synopsys 公司的 CAD 工具), 并能把整个芯片设计过程内部密不可分的各个流程联系起来, 融会贯通。本书正是为此目的而写的。

本书是作者根据在美国犹他大学 (University of Utah) 多年讲授数字大规模集成电路课程的讲义和经验写成的, 具体介绍如何使用 Cadence 和 Synopsys 公司的 CAD 工具实际设计数字 VLSI 芯片。读者通过本书可以循序渐进地学习这些 CAD 工具, 并使用这些软件设计出即可制造的数字集成电路芯片。

本书内容按照集成电路的设计流程编排, 包括 CAD 设计平台、电路图输入、Verilog 仿真、版图编辑、标准单元设计、模拟和数/模混合信号仿真、单元表征和建库、Verilog 综合、抽象形式生成、布局布线以及整个芯片组装等工具; 每个工具的使用都以实例说明, 最后还给出了一个设计简化 MIPS 微处理器的完整例子。书中列出了使用这些软件时顺序键入的命令, 以及在工作站屏幕上相应显示出的工具窗和对话框的图片, 为读者展示了真实的设计环境。书中还提供了大量设计资料, 包括 Verilog 源代码、软件的安装信息以及工艺与单元库的例子。因此, 本书不仅是一本初学者学习 CAD 工具的指导书, 也是一本设计者可随时参考的简明手册。

本书可与有关集成电路设计理论的教科书配套使用, 如 J. Rabaey, A. Chandrakasan 和 B. Nikolic 所著 “Digital Integrated Circuits” 一书的第二版, 以及 N. Weste 和 D. Harris 所著 “CMOS VLSI Design” 一书的第三版。这两本书在国内都已出版了影印本和中译本。

本书可作为高等院校有关集成电路设计理论类课程的配套教材和集成电路设计实践类课程的教科书, 也可作为集成电路设计人员的培训教材和使用手册。

本书在翻译过程中受到清华大学微电子学研究所领导和多位教师的关心, 特别是得到钱佩信教授、贺祥庆教授、王燕教授、吴行军副教授、李树国副教授以及胡苑、陈玉洁、王华、陆自强、郭磊、钱欣、高俊丽等多位老师的帮助与指正。我的学生戴宏宇、张盛、王乃龙、杨骞、肖勇、张建良、王硕、刘萌萌、王雪强等在完成译稿过程中给予我很大的支持。特别是王硕, 他现在已是我的年轻同事, 他不仅通读了原著和全部译稿, 而且提出了许多宝贵的修改意见。我的妻子金申美和女儿周晔帮助翻译修改了部分章节并完成了全部的文字输入和文稿整理。我在此一并深表谢意。

最后, 本书虽经仔细校对, 但由于译者水平有限, 文中定有不当或欠妥之处, 望读者批评指正。

译者

2009 年 8 月于清华园

前 言

本书介绍如何使用 Cadence Design Systems 公司和 Synopsys 公司的商用 CAD 工具实际设计数字超大规模集成电路芯片,其目的是作为集成电路设计方面较为理论化教科书的补充教材。例如,由 Addison Wesley 公司出版,Weste 和 Harris 所著的“CMOS VLSI Design: A Circuits and Systems Perspective”^[1]一书,以及由 Prentice Hall 公司出版,Rabaey, Chandrakasan 和 Nikolic 所著的“Digital Integrated Circuits: A Design Perspective”^[2]一书,就是两本集成电路设计理论教材的例子。

使数字超大规模集成电路课程的设计流程实践环节能付诸实现的原因之一,是使用了功能很强的商用 CAD 工具设计集成电路。使用不同工具完成整块芯片设计过程的不同阶段称为“工具流程”。在商业设计环境中,设计团队非常乐意在设计过程的每一阶段选用最佳等级的工具。也就是说,经过仔细评估将在每一阶段使用现有的最好工具,即使这意味着将从许多不同的供应商那里购买工具。但在大学环境中,我们所能购买 CAD 工具的经费通常比较有限,并且也不能花费太多的时间与许多不同供应商的工具打交道。

本书中描述的超大规模集成电路 CAD 流程使用两家公司的工具,即 Cadence Design Systems 公司和 Synopsys 公司的工具。这些工具能极好地记录并跟踪设计一块成功芯片所必需的大量细节,但学习并掌握这些工具是一个令人难以忍受的过程。几年来,我为设计流程中的每一种工具都开发了辅导学习用的详细例子,而世界上的其他教师也在做同样的事情,看起来这是没有必要的重复性工作。因此,我想如果有一本书能把这些辅导材料收集在一起,并将其与代表整个芯片设计过程的内部密不可分的流程联系起来,也许会对其他设计者、学生及教师都非常有用。当然,这并不意味着本书要代替一本 VLSI 设计的教科书,但却是对它的补充。

本书也可以供那些在自己的设计流程中使用这些工具的芯片工程师们参考。事实上,我发现自己在接触到一个芯片设计项目的各个不同阶段时也常常要参考它。确实,在设计过程中需要记住许多细节。

关于数字 VLSI 课程

本书来源于我在美国犹他大学多年讲授一门数字 VLSI 课程的经历。我深刻体会到这门课程的学习途径。特别地,尽管这是许多学生所上的有关数字集成电路设计的第一门课,但我还是认为他们应当经历一个完整芯片的设计项目,直到这块芯片能制造出来。这门课的一学期教程如下:

- 首先,学习晶体管理论,打好一个坚实的基础。
- 其次,学习如何用 CMOS 晶体管构成布尔逻辑门以实现逻辑功能。
- 再次,学习晶体管的制造过程,以及如何画版图来定义各个制造层。
- 再后,学生组成团队开发出自己的包含 10~20 个单元的小规模 CMOS 单元库,单元的类型可以从反相器到 D 触发器。
- 接着,对这些单元的功能和时序进行表征,使它们能用在综合工具中。它们同时还生成抽象形式以用在布局布线工具中。

- 最后,学生团队使用 Verilog 作为前端工具来开发一个项目。他们以自己的单元作为目标库,并用综合及布局布线工具实现一个可付诸制造的完整芯片设计。
- 作为选项,学生团队可以选择是否制造他们的芯片。这可以得到 MOSIS 助教计划 (MOSIS Educational Program)^[3] 的慷慨支持。学生设计的芯片制造后返回给学生,以便在下一个学期进行测试。

这个“由始至终”的过程使一学期的学习充满活力。我相信,所有学生都能从开发他们的项目直至芯片能付诸制造的过程中受益。即使学生最终并没有选择真正制造出他们的芯片也会有所收获。这个实践使学生的芯片“可付诸制造”,为设计项目创造了一个真实的环境,使他们能深刻体会到为使一个项目成功需要关注多少个细节。我试图告诉我的学生:“VLSI 设计(达到某一水平)并不困难,不过非常费时。”他们通常在学期结束时都会相信我的这句话。

注释:我倾向下的另一种说法是,“当读者完成了芯片的 90% 的时候,还剩下 90% 的事情要去完成。”

对于决定把自己的设计送去制造的学生来说,他们还有在芯片返回之后测试芯片的额外学习机会。就许多学生而言,他们在使用测试仪测试芯片时心里是非常害怕的。但当他们最终验证芯片能够工作时,就会非常满意。许多学生还会围绕自己的芯片继续构造出小系统,以进一步验证其功能。而对于另外一些学生,测试过程将以非常真实的方式告诉他们,设计良好的测试向量用于仿真很不容易,并且在仿真时所做的假设会如何使他们误认为事情是成功的。最后,学生们通常会发现,芯片确实在执行仿真时预测的功能,但其性能也许与他们所设计的不完全相同。

补充信息

本书介绍了许多用在设计流程不同部分的数据文件、脚本和其他一些信息。这些文件、有关工具的其他信息,以及本书中所有插图的彩色版本,都可以在本书的网站 <http://www.pearsonhighered.com/brunvand> 上找到。

此外,该网站还提供教师使用的资源,包括本书使用的完整的 UofU_Digital 单元库。我把这个库置于单独的部分,这样教师就可以选择或者让学生直接使用这一预先设计好的单元库,或者让学生不参照这一现有库的细节而建立他们自己的单元库。

致谢

许多犹他大学的学生都用过本书的不同版本,我非常感谢他们的耐心和有益的建议。我希望本书对他们学习数字 VLSI 的设计艺术能有所帮助。

我自己也从一些优秀教师和同事那里学到了许多有关芯片设计的知识。我于 1981 年在上 Kent Smith 的 VLSI 课程中设计了我的第一块芯片。那时,我们使用 Computer Vision 公司专门用于集成电路设计的工作站设计 5 μm nMOS 电路(在 1982 年的课程中我们才开始采用 CMOS)。我们的设计存储在九道磁带上,并用 CalComp 公司的圆珠笔绘图仪打印版图。这些芯片通过初出茅庐的 MOSIS^[4] 服务部门制造。从那时起,我们在 VLSI 课上所采用的 CMOS 工艺特征尺寸已缩小了 10 倍,达到 0.5 μm 。而产业界高性能芯片的特征尺寸已缩小了 100 倍,达到 0.045 μm (45 nm)。然而,甚至在工艺技术出现了如此惊人的进步之后,集成电路设计的基本原理仍然改变不多。因而,我们课程的芯片仍然通过 MOSIS 制造。

注释:注意,器件特征尺寸缩小 100 倍,大约相当于把能放在同一面积上的器件数目增加 10 000 倍。

我得益于与许多极具灵感的设计师合作,他们是Randy Bryant, Al Davis, Carl Ebling, Ran Ginosar, David Harris, Reid Harrison, Alan Hayes, Ian Jones, Dick Lyon, Charles Molnar, Mike Parker, Bob Reese, Bob Sproull, Marshall Soares, Ken Stevens, James Stine, Ivan Sutherland 和 Allen Tanner 等。我也从我以前从事VLSI设计研究的研究生那里学到了许多,他们是Gaurav Gulati, John Hurdle, Luli Josephson, Vamshi Kadaru, Ajay Koche, Niti Madan, Sudheesh Madayi, Joe Novak, Bill Richardson, Himanshu Singh, Tom Wolf 和 Jung-Lin Yang。

把我上课的讲义改写成书的工作,最初是我在哥伦比亚大学(Columbia University)学术休假期间完成的,并且部分资助来自犹他大学的John R. Park 奖学金。

非常感谢Cadence Design Systems公司和Synopsys公司乐意授权我从他们优秀的CAD工具包中复制屏幕照片。如果读者使用的这些工具与本书例子中的版本不同,则所看到的屏幕窗口和菜单命令与本书中的会稍有不同。但是,本书中的屏幕窗口和菜单命令将有助于读者了解设计过程的每一步。

Addison-Wesley/Pearson的朋友们在本书出版的过程中表现得极为出色。我特别要感谢编辑Matt Goldstein, Sarah Milmore 和 Jeff Holcomb, 感谢文字编辑Genevieve d'Entremont 和封面设计人员Elena Sidorova。

Erik Brunvand

目 录

第 1 章	引言	1
1.1	CAD 工具流程	2
1.1.1	定制 VLSI 及单元设计流程	2
1.1.2	层次化的单元/模块 ASIC 流程	3
1.2	本书的内容	3
1.3	关于工具的瑕疵问题	4
1.4	工具设置及执行脚本	4
1.5	字体使用约定	5
第 2 章	Cadence 设计平台 DFII 及启动命令 ICFB	6
2.1	Cadence 设计平台	6
2.2	启动 Cadence	7
2.3	小结	11
第 3 章	Composer 原理图输入工具	12
3.1	启动 Cadence 建立一个新的工作库	13
3.2	建立新单元	14
3.2.1	建立全加器原理图视图	14
3.2.2	建立加法器符号图	18
3.2.3	用一位全加器组成两位加法器	19
3.3	晶体管级原理图	20
3.4	打印原理图	22
3.4.1	修改后脚本打印文件	24
3.5	变量、端口和单元的命名规则	25
3.6	小结	26
第 4 章	Verilog 仿真	27
4.1	Composer 原理图的 Verilog 仿真	28
4.1.1	用 Verilog-XL 仿真原理图	29
4.1.2	用 NC_Verilog 仿真原理图	39
4.2	Composer 工具中的行为级 Verilog 代码	43
4.2.1	生成行为级视图	44
4.2.2	仿真行为级视图	45
4.3	独立的 Verilog 仿真	46
4.3.1	Verilog-XL	48
4.3.2	NC_Verilog	51
4.3.3	VCS	53

4.4	Verilog 仿真中的时序	57
4.4.1	行为级与晶体管开关级仿真的比较	57
4.4.2	行为级逻辑门时序	60
4.4.3	标准延时格式时序	61
4.4.4	晶体管时序	62
4.5	小结	65
第 5 章	Virtuoso 版图编辑器	67
5.1	反相器原理图	68
5.1.1	启动 Cadence 的 icfb	68
5.1.2	建立反相器原理图	68
5.1.3	建立反相器符号图	69
5.2	反相器版图	69
5.2.1	建立新的版图视图	69
5.2.2	绘制 nmos 晶体管	70
5.2.3	绘制 pmos 晶体管	72
5.2.4	用晶体管版图组装反相器	73
5.2.5	用层次化方法建立版图	76
5.2.6	Virtuoso 命令概要	78
5.3	打印版图	79
5.4	设计规则检查	80
5.4.1	DIVA 设计规则检查	80
5.5	生成提取视图	82
5.6	版图对照原理图检查	83
5.6.1	生成模拟提取视图	88
5.7	单元设计全流程 (到目前为止.....)	88
5.8	小结	89
第 6 章	标准单元设计模板	90
6.1	标准单元几何尺寸说明	90
6.2	标准单元 I/O 端口布置	93
6.3	标准单元晶体管尺寸选择	94
6.4	小结	96
第 7 章	Spectre 模拟仿真器	97
7.1	原理图仿真 (瞬态仿真)	98
7.2	Spectre 模拟环境下仿真	100
7.3	用配置视图仿真	104
7.4	模拟 / 数字混合仿真	106
7.4.1	有关混合模式仿真的结束语	114
7.5	静态仿真	114
7.5.1	参数化仿真	117

7.6	功耗测量	119
7.7	小结	122
第 8 章	单元表征	124
8.1	Liberty 文件格式	124
8.1.1	组合单元定义	128
8.1.2	时序单元定义	129
8.1.3	三态单元定义	134
8.2	用 ELC 表征单元	135
8.2.1	生成 ELC 网表	136
8.2.2	单元命名及 Encounter 库表征工具	143
8.2.3	最好、典型、最坏情形表征	144
8.3	用 Spectre 表征单元	144
8.4	把 Liberty 转换成 Synopsys 数据库格式	148
8.5	小结	150
第 9 章	Verilog 综合	151
9.1	用 dc_shell 进行 Synopsys Design Compiler 综合	151
9.1.1	基本综合	151
9.1.2	用脚本综合	154
9.1.3	Synopsys Design Vision 用户图形界面	162
9.1.4	DesignWare 组件	165
9.2	Cadence RTL Compiler 综合	167
9.2.1	用脚本综合	167
9.2.2	Cadence RTL Compiler 用户图形界面	170
9.3	把结构描述 Verilog 输入到 Cadence DFII 设计平台中	171
9.4	综合后 Verilog 仿真	173
9.5	小结	178
第 10 章	抽象生成	179
10.1	将库读入到 Abstract 中	180
10.2	找出单元中的端口	181
10.3	提取步骤	183
10.4	抽象步骤	183
10.5	生成 LEF (库转换格式) 文件	184
10.6	修改 LEF 文件	185
10.7	小结	187
第 11 章	SOC Encounter 布局布线	188
11.1	Encounter 用户图形界面	190
11.1.1	读入设计	192
11.1.2	平面规划	194
11.1.3	电源规划	196

11.1.4	布局标准单元	200
11.1.5	初步优化阶段	201
11.1.6	时钟树综合	203
11.1.7	时钟树综合后优化	205
11.1.8	最终布线	205
11.1.9	布线后优化	208
11.1.10	增加填充单元	208
11.1.11	检查结果	208
11.1.12	保存并输出布局布线后的单元	211
11.1.13	把单元读回 Virtuoso	212
11.2	用配置文件进行设计输入	216
11.2.1	平面规划	217
11.3	编写 SOC Encounter 脚本	218
11.4	小结	220
第 12 章	芯片组装	221
12.1	用 ccar 进行模块布线	221
12.1.1	用 Virtuoso-XL 准备布局	222
12.1.2	启动 ccar 布线器	226
12.2	用 ccar 完成内核至焊盘框的布线	230
12.2.1	复制焊盘框	231
12.2.2	修改焊盘框的原理图视图	232
12.2.3	修改焊盘框的版图视图	236
12.2.4	用 ccar 完成内核至焊盘框的布线	238
12.2.5	金属密度问题	241
12.3	生成最终的 GDSII	242
12.4	小结	245
第 13 章	设计举例	246
13.1	微型 MIPS 处理器	247
13.2	微型 MIPS: 展平设计工具流程	252
13.2.1	综合	252
13.2.2	布局布线	257
13.2.3	仿真	263
13.2.4	最终组装	270
13.3	微型 MIPS: 层次化设计工具流程	272
13.3.1	综合	272
13.3.2	宏模块内布局布线	273
13.3.3	准备层次结构中的定制电路	275
13.3.4	生成宏模块的抽象视图	276
13.3.5	含宏模块的布局布线	278
13.3.6	仿真	287

13.3.7 最终组装	287
13.4 小结	287
附录 A 工具与设置脚本	288
附录 B 驱动工具的脚本	304
附录 C 工艺与单元库	326
参考文献	358
术语表	359

第1章 引言

数字集成电路的设计过程极其复杂。因此,如果没有功能很强的工具,即设计软件的支持,就不可能设计出集成电路。遗憾的是,对这一设计过程至关重要的电子设计自动化(Electronic Design Automation, EDA)和计算机辅助设计(Computer Aided Design, CAD)工具也极其复杂。我们把寻找一组可用于一个具体设计项目的工具以及使用这些工具的方法,称为寻找用于该项目的“工具路径”。因此,工具路径是指找到一条设计者想要完成设计过程所有部分而必须经过的这组复杂工具的路径。

注释: 本书中称工具为“CAD 工具”,称公司为“EDA 公司”。

本书将介绍能构成上述数字集成电路设计路径的各种CAD工具。这些工具将通过辅导实例说明其用途及其在一个较大工具流程中的位置。作为一名设计者,读者可以读一读这些介绍,了解这些工具的用途以及如何应用在一个流程中;读者也可以按照本书的指南直接获得使用这些工具的经验。这是使用本书的最好方式。我认为由读者自己通过有关实例来驾驭这些工具,是读者真正了解如何使用它们的唯一途径。而且即使一些工具能用脚本驱动,我也认为,如能首先通过一个实例利用系统菜单在图形用户界面(Graphical User Interface, GUI)上使用这些工具,将会帮助我们了解这些工具在做什么。对工具的这一了解将提高读者以后使用脚本来驱动这些工具时的效率。

本书介绍的CAD流程使用Cadence Design System公司(www.cadence.com)和Synopsys公司(www.synopsys.com)的工具,大学生可以通过这些公司与大学之间的具体协议使用这些工具。如果直接从公司购买这些成套工具,通常要花几十万甚至几百万美元,但通过“大学计划”则可以较低的固定费用获得这些软件。

不过,为了使这些较低的费用比较合理,EDA公司通常只向大学用户提供对这些工具非常有限的支持,以降低成本。在工业界,多半有一个完整的CAD支持部门,其任务是确保这些工具能够运用并且为公司自己的项目开发工具流程。但几乎没有大学能为他们的CAD工具提供这类支持。这使得学校只能全靠自己来对付这些复杂工具,因此更需要找到一条可用的工具路径。本书力图整理出至少一条适用于Cadence/Synopsys流程的可行工具路径,使学生和研究人员能用来设计数字集成电路。书中包括具体工具的使用指南和大量实例,用来说明如何使用所有这些工具,以设计出一个简单却很有说服力的集成电路。

注释: 安装CAD工具的提示请见附录。

本书介绍的工具和流程一般属于支持用标准库单元设计专用集成电路(Application Specific Integrated Circuit, ASIC)的类型。如果愿意,这些指南可以用来帮助读者从头开始开发自己的单元库,也可以与从供应商那里买来的完整单元库一起使用。介于这两者之间,读者可以用这一流程把支持特定设计的专用新单元扩充到一个现有的单元库中。书中的具体例子使用我们在犹他大学为“数字超大规模集成电路”课程开发的单元库,这个单元库称为UofU_Digital库。这一单元库可以从犹他大学那里免费获取^[5]。该库所基于的工艺信息来自北卡罗来纳州立大学的Cadence设计附件(North Carolina State University Cadence Design Kit, NCSU CDK),它也可以免费获取^[6]。如果读者

没有这些库文件,应当仍然可以借助自己的单元库和工艺信息来理解本书中的大部分内容,但若读者要使用这些工具,就必须要有某种单元库和工艺库本身。我将假设读者的工具版本已设置成可以使用这些库。

注释: CAD工具通常不包括任何工艺或单元数据。这些数据文件直接来自制造芯片和单元的代工厂,并且所含的信息是针对这些代工厂的具体工艺的。

1.1 CAD 工具流程

本书介绍的一般工具流程采用 CMOS (Complimentary Metal Oxide Semiconductor) 标准单元和自动布局布线来设计芯片,也包括如何设计定制单元的版图并把这些单元添加到库中的细节。这一定制流程自然可以用来设计全定制芯片。但它也可以用来设计读者自己的单元库。设计一个单元库不仅需要设计各个单元,同时也需要用这些单元在不同的输出负载和输入信号斜率下的延时来表征它们,并把这些性能编成综合工具可以使用的形式。此外还必须表征这些单元的物理参数,以使布局布线器有足够的信息可以把它们组装成芯片。最后,如果要使这一过程产生出一块能成功工作的芯片,那么进行不同详细程度和时序精度的仿真是必不可少的。

整个工具流程将使用 Cadence 和 Synopsys 公司的许多工具、大量不同的文件格式和转换程序,还涉及对电路和系统的多方面考虑。这在一项设计大规模集成电路的复杂任务中是不可避免的,甚至可能是令人生畏的。在 VLSI 设计中固有的这一复杂性的结果是,这些工具虽然已设计成能处理单元和晶体管的非常大的组合,但用它们来设计只有 4 个晶体管的项目并不比设计一个具有 4000 个、40 万个或 400 万个晶体管的项目容易多少。从小规模开始再加入新的特性也并不容易。从某种意义上说,我们必须从一开始就全做对,这就使学习过程变得很困难。流程的许多部分(特别是特定格式的文件)必须从一开始就准备好,这可能是开始阶段要做的最重要的事情。把整个工具流程分解成各个工具,并提供一步步学习这些工具的详细指南和许多我们应当看到的屏幕图片,也许有望使这一学习过程不那么令人生畏。

注释: 整个流程的文件格式将在流程中用到它们的时候介绍,并已列在附录的文档中。除 Cadence 的数据库文件外,还包括 .lib, .db, .lef, .gds, .sdf, .def, .v, .sdc 和 .tcl 文件。

本书介绍的工具有都与数字集成电路的设计有关。虽然某些工具在模拟电路的设计中也肯定有用,但其使用方法不在本书中直接介绍。基于本书的这些章节,设计者可以决定如何在自己的流程中使用这些工具。此外,取决于设计者的具体设计要求,还可以有许多使用这些工具的流程。以下两小节说明使用本书介绍的工具有时两种可能的流程。

1.1.1 定制 VLSI 及单元设计流程

这是一个设计定制 VLSI 系统的工具流程。这一流程从前端的晶体管电路原理图开始,用定制版图方式设计系统的各个部分,然后生成制造所需要的信息。它用来设计单元库以及设计大电路中由于性能优先而需要单独设计晶体管级电路的部分。这一流程的前端使用 Composer[®] 完成晶体管级的原理图(见第 3 章)。这些原理图可以用 Verilog[®] 仿真器如 Verilog-XL[®], NC_Verilog[®] 或 VCS[®] 进行功能级仿真(见第 4 章),也可以用详细的模拟仿真器如 Spectre[®] 进行仿真(见第 7 章)。这一流程的后端用 Virtuoso[®] 完成一张组合的版图(见第 5 章),并用模拟仿真器进行更为详细的仿真。

如果最终目的是设计一个单元库,可以用如 Spectre 这样的仿真器,或用如 Encounter[®] Library Characterizer 这样的库表征工具对库单元的性能进行表征(见第 8 章)。如果读者希望以后在一个综