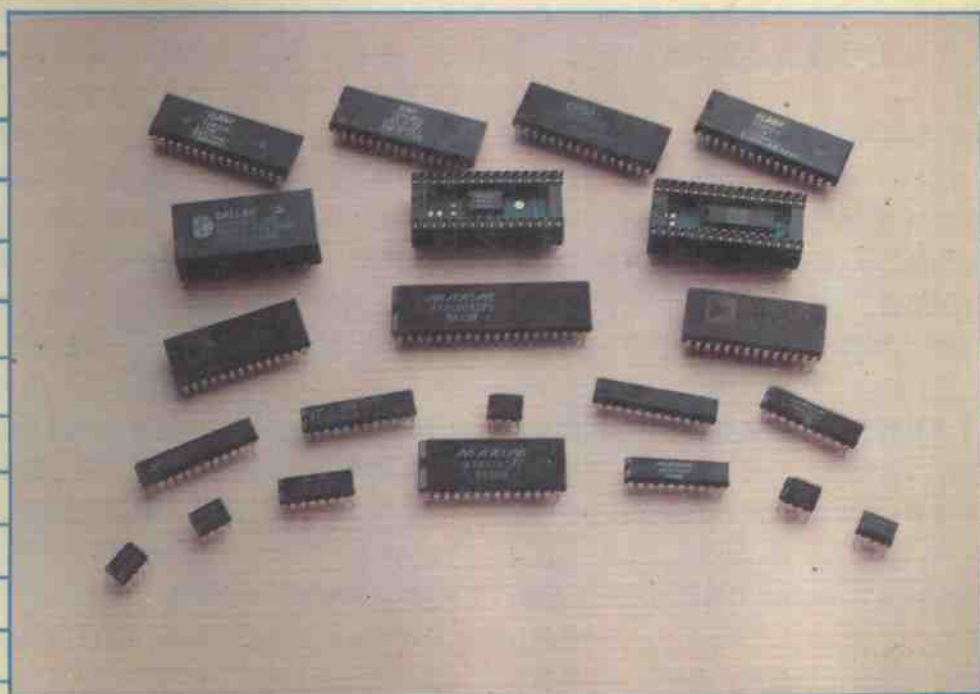


特殊集成電路

应用手册

下



武汉力源单片机技术研究所

一九九三年十月

第三章

D/A 转换器

MAX500

COMS四路, 串行接口, 八位D/A转换器

武汉市力源单片机技术研究所

一、概述

MAX500是四路八位电压输出的数字到模拟转换器(DAC), 且有可级联的串行接口。MAX500的电路包含有四个输出缓冲放大器和一个易用的两线或三线串行接口的输入逻辑。在使用多个MAX500的系统中, 通过将所有的DAC级联的方法, 只需要一根串行数据线就可以加载所有的DAC。MAX500包含了双重缓冲的逻辑和一个十位的移位寄存器, 该移位寄存器允许用一个控制信号对四个DAC同时更新数据。由于有三个基准输入端, 因此, 有两个DAC的范围可以独立设置而另两个DAC就要保持一致。

MAX500在工作温度范围内可获得八位的特性, 不需要外部调整。

1.1 特性

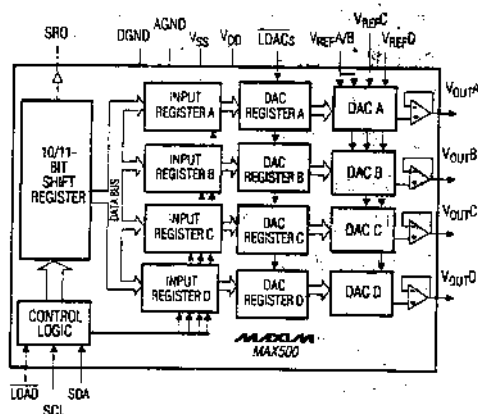
- 有带缓冲的电压输出
- 具有双重缓冲的数字输入
- 与微处理器和TTL/COMS兼容
- 不需要外部调整
- 两线或三线级联、串行接口
- 十六引脚封装形式
- 用单电源或双电源工作

1.2 应用范围

减少元件数量的模拟系统
数字偏置和增益调整系统
工业过程控制系统
任意函数发生器
自动测试设备

1.3 功能框图

功能框图如右

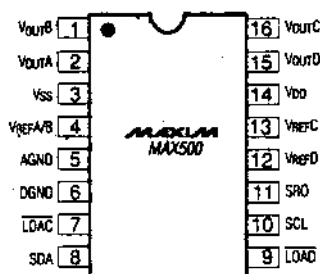


1.4 订购信息

PART	TEMP. RANGE	PACKAGE	ERROR
MAX500ACPE	0°C to +70°C	Plastic DIP	±1 LSB
MAX500BCPE	0°C to +70°C	Plastic DIP	±2 LSB
MAX500ACWE	0°C to +70°C	Wide SO	±1 LSB
MAX500BCWE	0°C to +70°C	Wide SO	±2 LSB
MAX500BC/D	0°C to +70°C	Dice	±2 LSB
MAX500AEWE	-40°C to +85°C	Wide SO	±1 LSB
MAX500BEWE	-40°C to +85°C	Wide SO	±2 LSB
MAX500AEJE	-40°C to +85°C	CERDIP	±1 LSB
MAX500BEJE	-40°C to +85°C	CERDIP	±2 LSB
MAX500AMJE	-55°C to +125°C	CERDIP	±1 LSB
MAX500BMJE	-55°C to +125°C	CERDIP	±2 LSB

1.5 引脚图

Top View



1.6 极限范围

V_{DD} 对AGND	-0.3V
V_{DD} 对DGND	-0
V_{SS} 对DGND	
V_{DD} 对 V_{SS}	
数字输入电压对DGND	
V_{REF} 对AGND	$V_{DD}+0.3V$
V_{OUT} 对AGND (注1)	-0.3V, $V_{DD}+0.3V$
功耗 (任何封装) 至+75°C	500mW
+75°C 以上的下降率	8mW/°C
工作温度范围	
MAX500XC	0°C到+70°C
MAX500XE	-40°C到+85°C
MAX500XM	-55°C到+125°C
贮存温度	-65°C到+150°C
引脚温度 (焊接 10秒)	+300°C

若使设备处于“极限范围”所规定的条件之外的状态下，就会引起设备永久性的损坏。这

仅仅是一种承受状态，在超过特性值工作部分所指出的任何条件外该器件的额定值和工作都是不确定的。若器件在极限值条件下超过一定时间可能会影响器件的可靠性。

1.7 电气特性

1.7.1 电气特性：双电源参数

($V_{DD}=+11.4V$ 到 $+16.5V$, $V_{SS}=-5V \pm 10\%$, $AGND=DGND=0V$, $V_{REF}=+2V$ 到 $(V_{DD}-4V)$, $T_A=T_{MIN}$ 到 T_{MAX} , 另有说明者除外)。

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE						
Resolution			8			Bits
Total Unadjusted Error		$V_{DD} = 15V \pm 5\%$ $V_{REF} = 10V$			± 1 ± 2	LSB
Relative Accuracy		MAX500A MAX500B			$\pm 1/2$ ± 1	LSB
Differential Nonlinearity Guaranteed Monotonic					± 1	LSB
Full Scale Error		MAX500A MAX500B			$\pm 1/2$ ± 1	LSB
Full Scale Tempco		$V_{REF} = 10V$		± 5		ppm/°C
Zero Code Error		$T_A = 25^\circ C$			± 15 ± 20	mV
		$T_A = T_{MIN}$ to T_{MAX}			± 20 ± 30	
Zero Code Tempco				± 30		$\mu V/^\circ C$
REFERENCE INPUT						
Reference Input Range			2		$V_{DD} - 4$	V
Reference Input Resistance Pins 12, 13			11			k Ω
Reference Input Resistance Pin 4			5.5			
Reference Input Capacitance		(Note 2) Code Dependent			100	pF
Channel-to-Channel Isolation		(Note 3)	-60			dB
AC Feedthrough		(Note 3)	-70			dB
DIGITAL INPUTS						
Digital Input High Voltage	V_{IH}		2.4			V
Digital Input Low Voltage	V_{IL}				0.8	V
Digital Output High Voltage	V_{OH}	$I_{OUT} = -1mA$, SRO only	$V_{DD} - 1$			V
Digital Output Low Voltage	V_{OL}	$I_{OUT} = 1mA$, SRO only	0.4			V
Digital Input Leakage Current		(Note 4)			± 1 30	μA
Digital Input Capacitance		(Note 5)			8	pF
DYNAMIC PERFORMANCE						
Voltage Output Slew Rate		(Note 5) ¹	3			V/ μs
V_{OUT} Settling Time		To $\pm 1/2$ LSB, $V_{REF} = 10V$, $V_{DD} = +15V$, 2k Ω in parallel with 100pF load			4	μs
Digital Feedthrough		(Note 6)		50		nV-s
Digital Crosstalk		(Note 6)		50		nV-s
Output Load Resistance		$V_{OUT} = 10V$	2			k Ω
POWER SUPPLIES						
Positive Supply Voltage	V_{DD}	For specified performance	11.4		16.5	V
Positive Supply Current	I_{DD}	Outputs unloaded, $T_A = 25^\circ C$ $T_A = T_{MIN}$ to T_{MAX}			10 12	mA
Negative Supply Current	I_{SS}	Outputs unloaded, $T_A = 25^\circ C$ $T_A = T_{MIN}$ to T_{MAX}			-9 -10	mA

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SWITCHING CHARACTERISTICS (Note 5)						
THREE-WIRE MODE						
SDA Valid to SCL Setup	t_{s1}		150			ns
SDA Valid to SCL Hold	t_{h1}		0			ns
SCL High Time	t_1		350			ns
SCL Low Time	t_2		350			ns
LOAD Pulse Width	t_{LOW}		150			ns
LOAD Delay from SCL	t_{LOS}		150			ns
LDAC Pulse Width	t_{LDAC}		150			ns
SRO Output Delay	t_{D1}	$C_{LOAD} = 50pF$			150	ns
TWO-WIRE MODE						
SDA Valid to SCL Hold	t_{h1}		0			ns
SCL High Time	t_1		350			ns
SCL Low Time	t_2		350			ns
LDAC Pulse Width	t_{LDAC}		150			ns
SCL Valid to SDA Setup	t_{s1}	(Start condition)	150			ns
SDA Valid to SCL Setup	t_{s2}	(Stop condition)	100			ns
SDA Valid to Rising SCL	t_{s3}		125			ns
SRO Output Delay	t_{D1}	$C_{LOAD} = 50pF$			150	ns

1.7.2 电气特性: 单电源参数

($V_{DD} = +15V \pm 5\%$, $V_{SS} = AGND = DGND = 0V$, $V_{REF} = 10V$, $T_A = T_{MIN}$ 到 T_{MAX} , 另有说明者除外)。

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE						
Resolution			8			Bits
Total Unadjusted Error		$V_{DD} = 15V \pm 5\%$ $V_{REF} = 10V$			± 1 ± 2	LSB
Relative Accuracy					$\pm 1/2$ ± 1	LSB
Differential Nonlinearity Guaranteed Monotonic					± 1	LSB
Full Scale Error					$\pm 1/2$ ± 1	LSB
Full Scale Tempco		$V_{REF} = 10V$		± 5		ppm/°C
Zero Code Error		$T_A = 25^\circ C$			± 15 ± 20	mV
		$T_A = T_{MIN}$ to T_{MAX}			± 20 ± 30	
Zero Code Tempco				± 30		$\mu V/^\circ C$
REFERENCE INPUT - All specifications are the same as for dual supplies.						
DIGITAL INPUTS - All specifications are the same as for dual supplies.						
DYNAMIC PERFORMANCE - All specifications are the same as for dual supplies.						
POWER SUPPLIES						
Positive Supply Voltage	V_{DD}	For specified performance	14.25		15.75	V
Positive Supply Current	I_{DD}	Outputs Unloaded $T_A = 25^\circ C$ $T_A = T_{MIN}$ to T_{MAX}			10 12	mA
SWITCHING CHARACTERISTICS - All specifications are the same as for dual supplies.						

注1: 只要不超过封装的功耗, 输出端可以与AGND短接。到AGND的典型的短路电流为25mA。

注2: 由设计保证, 不是产品测试。

注3: $V_{REF}=10\text{KHz}$, 峰对峰值为10V的正弦波。

注4: LOAD内部有一个较小的上拉电阻接到 V_{DD} 。

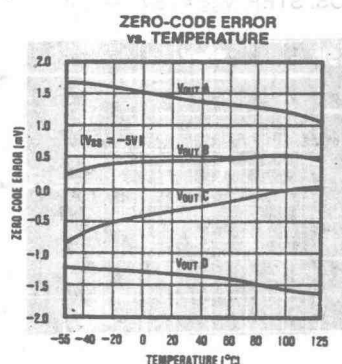
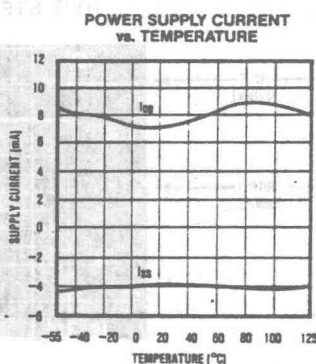
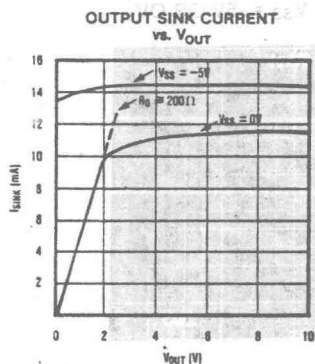
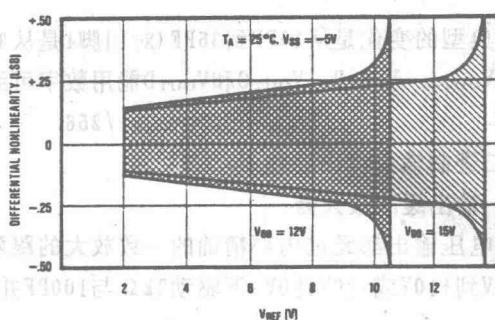
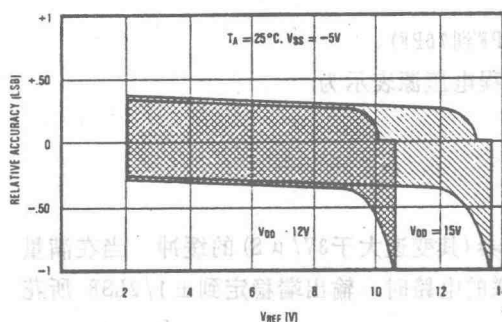
注5: 在+25°C下的采样测试可保证服从。

注6: DAC从全“1”代码切换到全“0”代码, 又从全“0”代码切换到全“1”代码。

1.8 典型的工作特性

相对精度对 V_{REF} 的函数

微分非线性对 V_{REF} 的函数



二、详细说明

MAX500有四个匹配的电压输出数字到模拟转换器(DAC)。DAC是倒置的“R-2R”阶梯网络, 该网络将八个数字位转换成等价的与基准电压成比例的模拟输出电压。MAX500中有两个DAC有独立的基准输入, 而另外两个DAC共用一个基准输入。其中一个DAC的简化电路框图如图1。

2.1 V_{REF} 输入

在 V_{REF} 引脚(引脚4, 12和19)上的电压规定了DAC的量程输出值。 V_{REF} 的输入阻抗是与代码有关的值。当输入代码为01010101时, 就出现最低的值, 大约为11kΩ(对引脚4为5.6kΩ)。当输入代码为00000000时, 出现无穷大的值。因为 V_{REF} 的输入电阻是与代码有关的, 所以DAC的基准源的输出电阻不能超过20Ω(对引脚4, 不超过10Ω)。 V_{REF} 上的输入电容也是随代码变

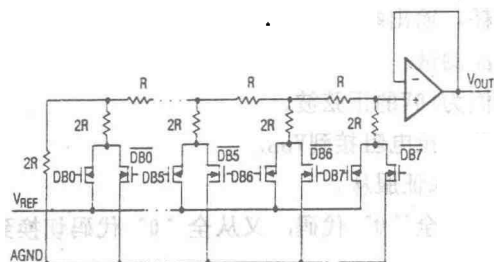


图1 简化的DAC电路图

化的值，典型的变化是从15PF到35PF (对引脚4是从30PF到70PF)。

V_{OUTA} , V_{OUTB} , V_{OUTC} 和 V_{OUTD} 能用数字可编程电压源表示为:

$$V_{OUT} = (N_b \times V_{REF}) / 256,$$

N_b 是DAC二进制输入代码的数值。

2.2 输出缓冲放大器

所有电压输出都经过内部精确的一致放大的跟随器(其变速大于 $3V/\mu S$)的缓冲。当在满量程变化(0V到+10V或+10V到0V)下驱动 $2k\Omega$ 与 $100PF$ 并联的电路时，输出端稳定到 $\pm 1/2LSB$ 所花

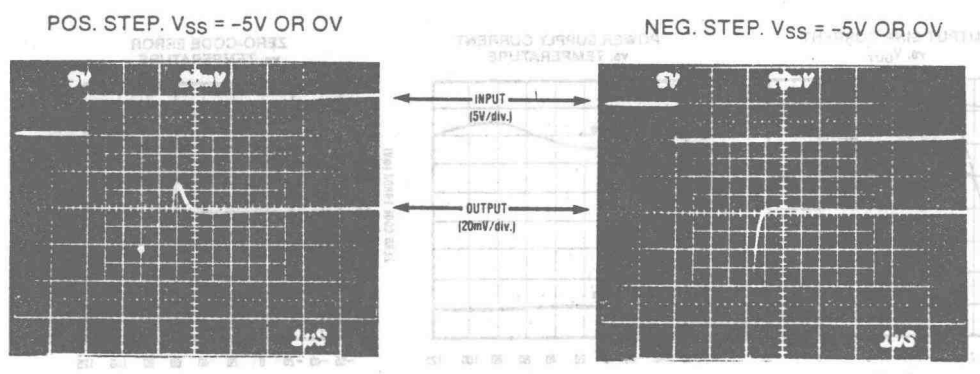


图2 正和负的稳定时间, $V_{SS}=0V$ 或-5V

DYNAMIC RESPONSE. $V_{SS} = -5V$ OR $0V$

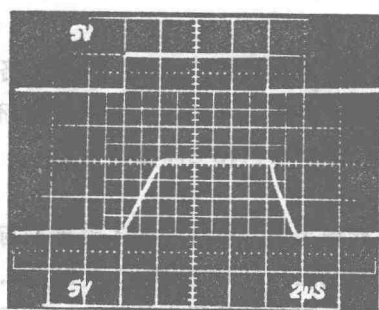


图3 动态响应 $V_{SS}=0V$ 或-5V

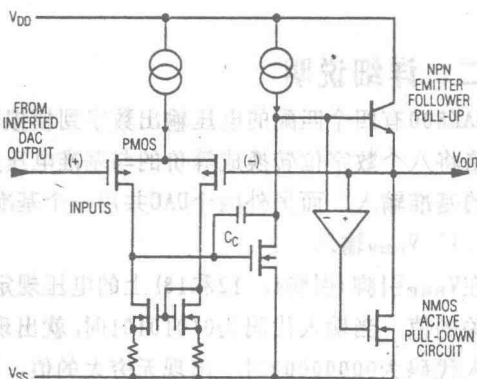


图4 简化的输出缓冲电路

的时间少于 $4\mu\text{s}$ 。缓冲器也能无振荡地在 10V 的电平上驱动 $2\text{k}\Omega$ 与 500PF 的并联电路。MAX500的典型动态响应和稳定性能如图2和图3所示。

输出缓冲器的简化电路图如图4所示。用PMOS输入结构提供输入公共方式范围到AGND的连接。输出电路就是一个下拉电路，它能主动地将 V_{OUT} 拉到负电源 V_{EE} 的 $+15\text{mV}$ 的范围内。缓冲电路允许每个DAC不仅能流出同时还能吸收达 5mA 的电流。在单电源应用中这点特别重要，因为这种情况下， V_{EE} 与AGND相连，所以零代码误差保持在 $1/2\text{LSB}$ ($V_{\text{REF}}=+10\text{V}$)的水平或在 $1/2\text{LSB}$ 以下。输出端吸收电流对输出电压的曲线在“典型的工作特性”一节中已经给出。

2.3 数字输入和接口逻辑

数字输入同时与TTL和 5V 的CMOS逻辑兼容。但是，电源电流(I_{DD})有些依赖于输入逻辑值。电源电流被定为TTL输入值(最坏情况)，但当输入逻辑值在接近DGND或超过DGND 4V 时，电源电流就会减少(减少大约 $150\mu\text{A}$)。

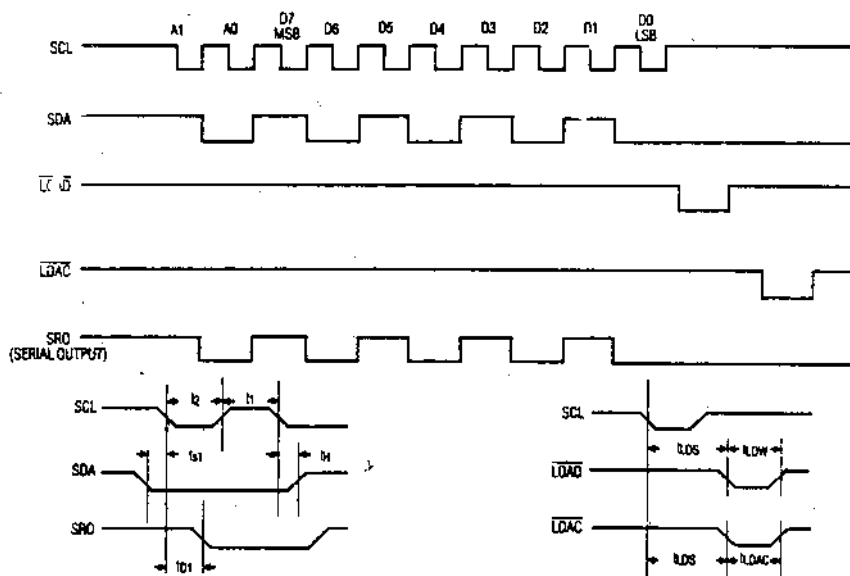


图5 三线方式

MAX500允许用户在三线串行接口和二线串行接口中作出选择。用 $\overline{\text{LOAD}}$ 信号来作出三线接口和二线接口的选择。如果让 $\overline{\text{LOAD}}$ 浮空(它内部有一个小的上拉电阻接到 V_{DD})，就选择了二线接口形式。如果将 $\overline{\text{LOAD}}$ 连接到一个TTL逻辑的高电平上，就选择了三线接口形式。

2.4 三线接口

三线接口采用了典型的串行数据(SDA)，串行时钟(SCL)和 $\overline{\text{LOAD}}$ 信号用于标准的移位寄存器。数据用时钟SCL的下降沿一位一位移入，直到所有十位(八个数据位和二个地址位)全部移入“移位寄存器”。 $\overline{\text{LOAD}}$ 线上的低电平就开始将“移位寄存器”上的数据传送到地址指定的输入寄存器中。在输入寄存器中的数据更新以前，数据将一直保存在该寄存器中。然后，用 $\overline{\text{LDAC}}$ (LOAD DAC) 信号对所有的DAC寄存器同时更新。当 $\overline{\text{LDAC}}$ 为低电平时，“输入寄存器”中的数据就装到DAC寄存器中(时序图见图5)。将串行输出(SRO)与第二个芯片的SDA引脚连接，这种方式是可以

级联的。不论有多少个MAX500级联起来，从SCL到SRO引脚的延迟都不会使建立/保持时间变坏。

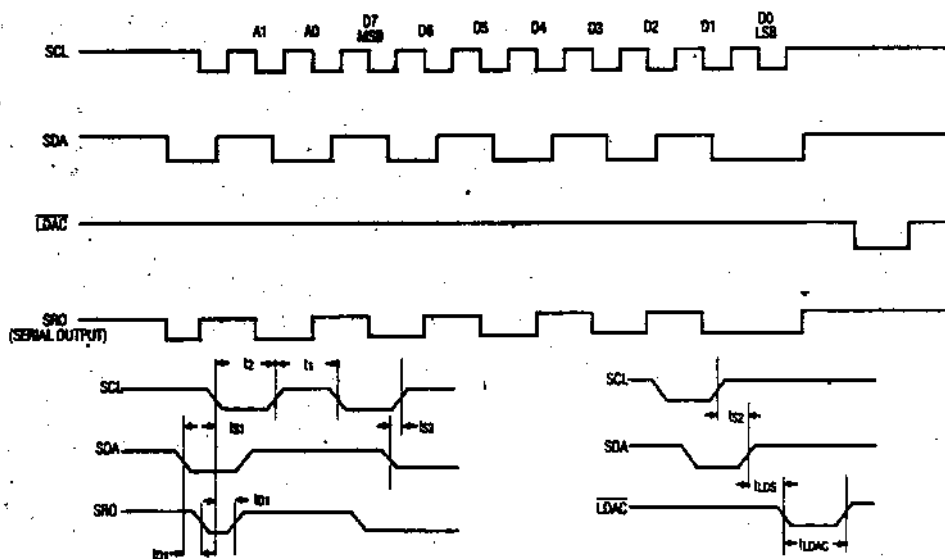


图6 二线方式

2.5 二线方式

二线接口方式只用SDA和SCL两个信号。 $\overline{LOAD}$ 必须浮空或接到 V_{DD} 上。每个数据帧(八个数据位和二个地址位)用SDA和SCL间的时间关系来同步(时序图见图6)。不工作时，SDA和SCL应为高电平。SDA的下降沿(此时SCL为高电平)后跟一个SCL的下降沿(此时SDA为低)就是启动条件。这总会将一个“0”装入“移位寄存器”的第一位。“移位寄存器”扩展到十一位，所以刚才装入的“0”不会影响输入寄存器的信息。以后，除当SCL为高电平时不允许SDA线变化外(这避免MAX500重新满足启动条件)，其它的时序都与三线接口方式一样。最后一个数据位装入以后，SDA线应变为低电平(此时SCL线也是低电平)，然后SCL线应随SDA线的升高而升高。这就定义为终止条件或帧结束。

两线接口也能级联，但用户对时序和数据排列的形式都要特别小心。时序必须考虑从内部出现起始/终止条件传到SRO引脚上的固有的延迟。 t_{ss} 的值必须增加 $n \times t_{D1}$ (n 是级联的MAX500的个数)。 t_{los} 的值也必须增加 $n \times t_{D1}$ 。其它的时间参数就不需要修改了。数据的形式是一个更重要的问题。一般，由于每个帧都有起始/终止条件，有级联数据通过的每一个芯片都会象它自己的数据那样接收该数据。因此，为了防止出现这样的局限，在所有的DAC装载完以前，用户不能产生终止位。例如，若有三个MAX500以二线接口方式级联，数据的传输必须是起始条件然后跟着十个数据位，一个零位，十个数据位，一个零位，十个数据位，最后是一个终止条件。就可使每个MAX500不用自己对中间的数据解码。

数据以下的次序进入“移位寄存器”。

A1 A0 D7 D6 D5 D4 D3 D2 D1 D0
(第一位) (最高位)

A1A0地址位选择从内部“移位寄存器”接收数据的DAC寄存器。表1列出了通道地址。D7到D0 (D7是最高位) 是数据位。

表1 DAC编址

A1	A0	选择的输入寄存器
L	L	DAC A 输入寄存器
L	H	DAC B 输入寄存器
H	L	DAC C 输入寄存器
H	H	DAC D 输入寄存器

因为 $\overline{\text{LDAC}}$ 对SCL、SDA和LOAD来说是异步的，就必须特别小心以保证不正确的数据不要锁存到DAC寄存器中。若用三线串行接口， $\overline{\text{LDAC}}$ 可以永久性地接到低电平上。或者，只要总能维持 t_{LDS} 的时间， $\overline{\text{LDAC}}$ 就能与LOAD连接到一起。但如果采用两线接口方式，终止条件在内部被检测到以前， $\overline{\text{LDAC}}$ 电平不能下降。这也是为什么在SDA的最后一个上升沿后有一个 $\overline{\text{LDAC}}$ 的延迟时间 t_{LDS} 的原因。

SPJ的输出在 V_{DD} 到DGND之间变化。与其它MAX500的级联不会造成任何问题。如果用SR0来驱动TTL兼容的输入端，那么在TTL+5V和 V_{DD} 之间必须采用钳位二极管以及限流电阻。这会避免+5V电源的浪涌冲击问题。

表2给出了SDA、SCL、LOAD和 $\overline{\text{LDAC}}$ 工作的真值表。图5和图6给出了MAX500的时序图。

表2 逻辑输入真值表

SCL	SDA	LOAD	$\overline{\text{LDAC}}$	功 能
F	Data	V_{DD}	H	将数据锁进移位寄存器中 (2W)
H	Data	V_{DD}	H	数据不应变化 (2W)
L	X	V_{DD}	H	数据允许改变 (2W)
F	Data	M	H	将数据锁进移位寄存器中 (3W)
H	X	M	H	数据允许改变 (3W)
L	X	M	H	数据允许改变 (3W)
H	X	L	H	从移位寄存器装载输入寄存器 (3W)
H	X	L	L	DAC寄存器反映保存在与之对应的输入寄存器中的数据

注: H=逻辑高电平 L=逻辑低电平 3W=3-线
M=TTL逻辑高电平 F=下降沿 X=无关项 2W=2-线

三、应用信息

3.1 电源和电压基准工作范围

MAX500完全规定的工作条件是: V_{DD} 在 $+12\text{V} \pm 5\%$ 和 $+15\text{V} \pm 10\%$ (+11.4V到+16.5V) 之间, V_{SS}

从0V到-5.5V。对单电源工作也能保证八位性能，但当 $V_{DD} = -5V$ 时，零代码误差减少了（参见“输出缓冲放大器”一节）。

对合适的DAC和缓冲器工作范围， V_{REF} 的电压至少应比 V_{DD} 低4V。规定MAX500工作的电压基准输入范围是+2V到 $V_{DD} - 4V$ 。

3.2 地线处理

AGND和DGND之间的数字和AC的瞬间信号将会在模拟输出端上产生噪音。建议：将AGND和DGND在ADC上接在一起，并将这一点接到能够提供的最高质量的地上。如果采用单独的地通路，那么在AGND和DGND之间就应连上两个钳位的二极管（IN914或其它等值的二极管）以保证两个地通路之间的电压在一个二极管压降的范围内。为了避免寄生的设备被接通，AGND一定不能比DGND更负。DGND应作为旁路的电源地。

应该采用细致的PCB布线技术来减小DAC输出端、电压基准输入端和数字输入端之间的交扰。如果电压基准是通过一个AC源来驱动的话，这一点就特别重要。图7给出了一个为减小交扰而推荐的电路板布线图。

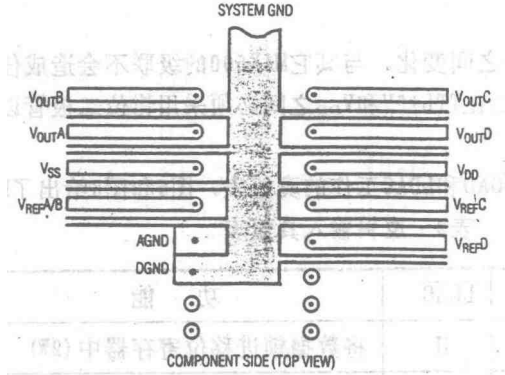


图7 推荐的为减小交扰的MAX500 PCB布线图

表3 单极性代码表

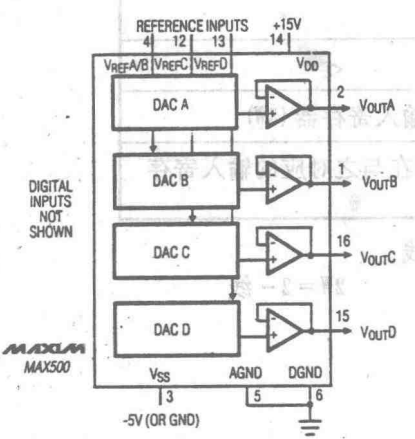


图8 MAX500单极性输出电路

DAC CONTENTS		ANALOG OUTPUT
MSB	LSB	
1 1 1 1	1 1 1 1	$+V_{REF} \left(\frac{255}{256} \right)$
1 0 0 0	0 0 0 1	$+V_{REF} \left(\frac{129}{256} \right)$
1 0 0 0	0 0 0 0	$+V_{REF} \left(\frac{128}{256} \right) = +\frac{V_{REF}}{2}$
0 1 1 1	1 1 1 1	$+V_{REF} \left(\frac{127}{256} \right)$
0 0 0 0	0 0 0 1	$+V_{REF} \left(\frac{1}{256} \right)$
0 0 0 0	0 0 0 0	0V

Note: $1 \text{ LSB} = (V_{REF}) (2^{-8}) = +V_{REF} \left(\frac{1}{256} \right)$

3.3 单极性输出

单极性工作时，输出电压与电压基准输入是同极性的。MAX500单极性电路连接图如图8所示。器件可用单电源工作，只会稍微增加一点零代码误差(见“输出缓冲放大器”一节)。为了避免接通寄生器件， V_{REF} 处的电压始终必须比AGND高。单极性代码表在表3中给出。

3.4 双极性输出

采用图9的电路，每一个DAC的输出都可以组织成双极性的工作方式。每个通道需要一个运算放大器和两个电阻。 $R_1=R_2$ ：

$$V_{OUT} = V_{REF} (2D_A - 1)$$

D_A 是寄存器A中数字数据的分数表示式。

表4给出了图9电路中数字代码对输出电压的关系表。

表4 双极性代码表

MSB	DAC CONTENTS				LSB	ANALOG OUTPUT
1	1	1	1	1	1	$+V_{REF} \left(\frac{127}{128} \right)$
1	0	0	0	0	0	$+V_{REF} \left(\frac{1}{128} \right)$
1	0	0	0	0	0	0V
0	1	1	1	1	1	$-V_{REF} \left(\frac{1}{128} \right)$
0	0	0	0	0	0	$-V_{REF} \left(\frac{127}{128} \right)$
0	0	0	0	0	0	$-V_{REF} \left(\frac{128}{128} \right) = -V_{REF}$

Note: 1 LSB = $(V_{REF}) (2^{-8}) = -V_{REF} \left(\frac{1}{256} \right)$

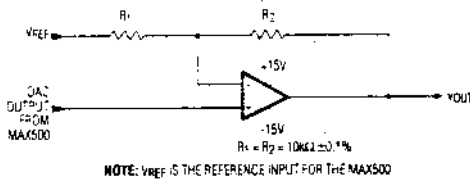


图9 双极性输出电路

3.5 对AGND的偏置

对AGND加的偏压在DGND之上就可以为“零”输入代码提供一个任意的非零输出电压。如图10所示。 V_{OUTA} 上的输出电压为：

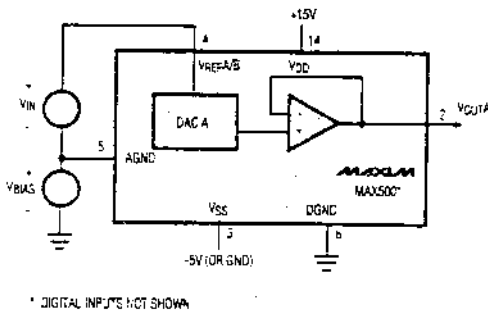


图10 AGND偏压电路

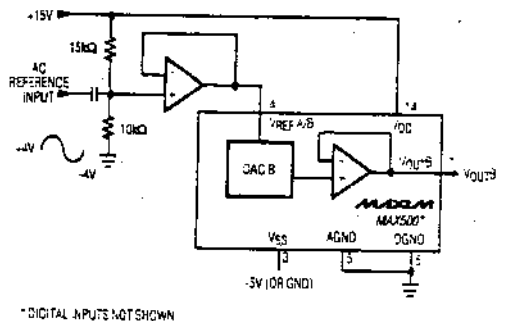


图11 AC基准输入电路

$$V_{OUTA} = V_{BIAS} + D_A V_{IN}$$

D_A 是数字输入字的分数表示。因为四个DAC共用一个AGND，故所有的输出端都以相同的方式偏置了 V_{BIAS} 一值。又由于AGND的电流是四个DAC中代码的函数，因此它必须由一个低阻抗源来驱动。 V_{BIAS} 必须是正的。

3.6 采用AC电压基准

在 V_{REF} 有AC信号分量的应用中，在 V_{REF} 输入范围特性值的限制以内，MAX500具有多重性能。图11给出了一种技术，将一个正弦波信号加到电压基准输入端（在加到 V_{REF} 以前，对该AC信号加上了偏压）。在输入频率达到50KHz时，输出失真的典型值少于0.1%；当频率达到700KHz时，典型的失真值是-3dB。注意， V_{REF} 一定不能比AGND更负。

3.7 产生 V_{SS} 的方法

对双电源和单电源（ $V_{SS}=0V$ ）的工作，MAX500的性能都有规定参数。当希望用双电源工作改进性能，但此时又只能得到一个单电源时，那么将ICL7660用于图12中的任何一个电路中就能产生-5V的 V_{SS} 电源。

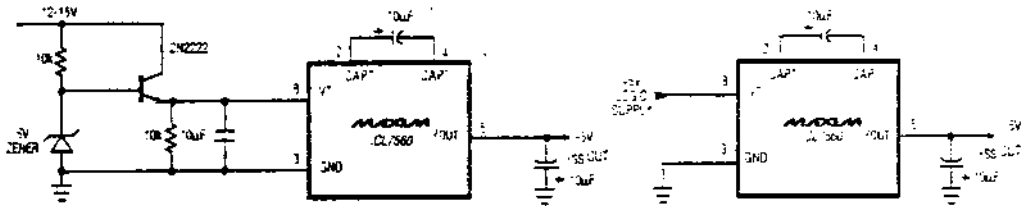


图12 产生-5V的 V_{SS}

3.8 数字接口应用

图13到图16给出了MAX500与大多数流行的微处理器的接口实例。

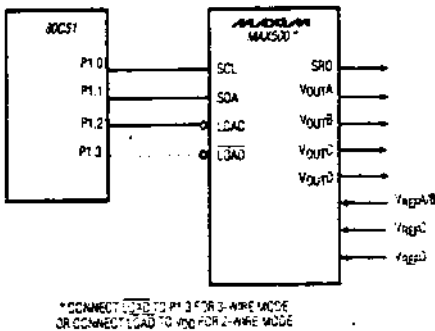


图13 与80C51的连接

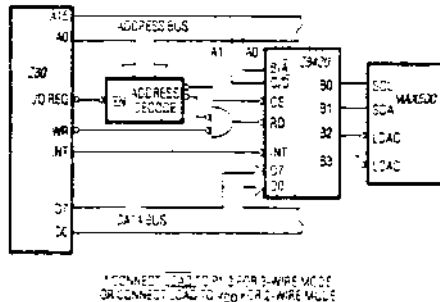
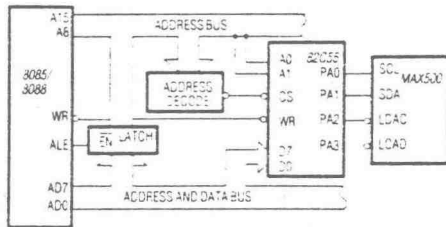
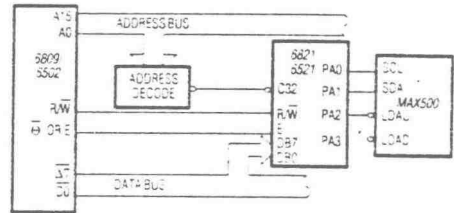


图14 与带Z8429 P10的Z-80的连接



* CONNECT LDAC TO PA3 FOR 3-WIRE MODE
OR CONNECT LOAD TO VDD FOR 2-WIRE MODE

图15 与带可编程并行接口的8085/8088的连接



* CONNECT LDAC TO PA3 FOR 3-WIRE MODE
OR CONNECT LOAD TO VDD FOR 2-WIRE MODE

图16 与6809/6502的连接

3.9 芯片拓扑结构

