

畅销
经典

EDA 应用技术

<http://www.phei.com.cn>

Cadence

高速电路板设计与仿真

周润景 袁伟亭 张鹏飞 编著

(第3版)



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

EDA 应用技术

Cadence 高速电路板设计与仿真 (第3版)

周润景 袁伟亭 张鹏飞 编著

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书以 Cadence Allegro SPB 16.2 为基础, 以具体电路为范例, 详尽讲解元器件建库、原理图设计、布局、布线、仿真、CAM 文件输出等 PCB 设计的全过程, 包括原理图输入及器件数据集成管理环境的使用, 中心库的开发, PCB 设计工具的使用, 以及高速信号仿真工具的使用等。无论是对前端设计开发(原理图设计), 还是对 PCB 板级设计, 以及 PCB 上的高速电路分析, 本书都有全面的参考和学习价值。

本书适合对 PCB 设计有一定基础的中、高级读者阅读, 也可作为电子及相关专业 PCB 设计的培训用书, 还可作为高级电子产品研发人员的技术参考书。

未经许可, 不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有, 侵权必究。

图书在版编目(CIP)数据

Cadence 高速电路板设计与仿真 / 周润景, 袁伟亭, 张鹏飞编著. —3 版. —北京: 电子工业出版社, 2009.7
(EDA 应用技术)

ISBN 978-7-121-09067-7

I. C… II. ①周… ②袁… ③张… III. ①印刷电路—计算机辅助设计 ②印刷电路—计算机仿真
IV. TN410.2

中国版本图书馆 CIP 数据核字 (2009) 第 100280 号

责任编辑: 张 剑 (zhang@phei.com.cn)

特约编辑: 郭 莉

印 刷: 北京东光印刷厂

装 订: 三河市皇庄路通装订厂

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1 092 1/16 印张: 42.25· 字数: 1082 千字

印 次: 2009 年 7 月第 1 次印刷

印 数: 4 000 册 定价: 76.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 zlts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010) 88258888。

序 言

Cadence 公司成就全球电子设计技术创新,并在创建当今集成电路和电子产品中发挥核心作用。客户采用 Cadence 的软件、硬件、设计方法和服务,来设计和验证用于消费电子产品、网络和通信设备,以及计算机系统上的尖端半导体器件、PCB 和电子系统。

Cadence 公司的电子设计自动化 (Electronic Design Automation) 产品涵盖了电子设计的整个流程,包括系统级设计,功能验证,IC 综合及布局布线,模拟、混合信号及射频 IC 设计,全定制集成电路设计,IC 物理验证,PCB 设计和硬件仿真建模等。同时,Cadence 公司还提供设计方法学服务,帮助客户优化其设计流程;提供设计外包服务,协助客户进入新的市场领域。全球知名半导体与电子系统公司均将 Cadence 软件作为其设计标准。

本书主要就 Allegro 系统互连设计平台做详尽讲解,具体内容涉及如下 4 项。

1. PCB 设计

随着 PCB 越来越复杂,设计团队之间的高效协作变得至关重要。Cadence(r) 提供两个集成的,从前端到后端的设计解决方案,帮助应对今天的复杂 PCB 设计困难。我们的 Allegro(r) PCB Design L 系列适于对那些成本敏感的小规模到中等规模的团队,同时具有随着工艺复杂度增加而伸缩的灵活性。Allegro PCB Design XL/GXL 系列是一个完整的解决方案,用于先进的高速、约束驱动的 PCB 设计。Allegro PCB Design XL/GXL 系列的特性是 Allegro Constraint Manager 独特的约束管理解决方案,能够跨设计流程同步管理电气约束,如同一个无缝过程。

2. 高速 PCB 设计与分析

不断提高的密度、复杂度和更快的边界速度意味着设计者必须在整个设计过程中应对高速设计问题。后布局分析的时代——在最后的阶段应对高速设计问题,已经走到了尽头。今天,设计者需要一个集成的设计环境,能够从设计周期的开始到布线持续解决高速问题。

3. 集成电路封装与分析

持续不断的技术突破和强烈的市场需求给集成电路封装的设计者和工程师带来极大的压力。随着纳米级的集成电路的出现,芯片将包含更多的功能,并具有比以往更高的性能。同时,封装技术正在经历迅猛的变化,包括可以容纳超过 1000 根 I/O 引脚的多层倒装封装,可以作为 SoC 的现实选项的堆叠硅片系统封装。这种封装技术的变化需要我们的工程师采用硅片—封装—PCB 协同设计方法,因为假如我们要获得最佳的器件性能和完整性,封装不能脱离芯片和系统单独设计完成。

4. 硅片内部设计

集成电路制造商能够帮助他们的客户缩短复杂硅片的内部设计时间,通过提供设计指南

的一个可执行的版本，以一种高速度硅片内部设计套件的形式。这些硅片内部设计套件包含在 Cadence Allegro SI 设计与分析环境中，通过帮助 PCB 设计工程师在设计周期的早期直接使用硅片级的 SPICE 和行为级模型，能够节约时间，降低成本。

本书作者对 Cadence 的 Allegro 平台工具有着多年的教学和使用经验，他所编著的《Cadence 高速电路板设计与仿真》第 1 版和第 2 版深受广大读者的欢迎，相信本书第 3 版也会成为高速 PCB 设计人员桌面必不可少的参考用书。

Cadence SPB 中国区代理商——北京迪浩永辉技术有限公司

执行董事：黄胜利

前 言

Cadence 公司最新发布的 Allegro 平台，推出了层次布线规划和全局布线等新技术，大大提升了基于规则驱动的先进设计能力。该平台还通过新的使用模式和增强的易用性提供了更好的可用性。所有版本的 Allegro PCB 设计平台均包含新的 PCB 编辑技术，通过降低新方案学习曲线和优化工具交互，可以提升设计师的设计效率和生产力。

1. 改进的设计生成和仿真

Allegro 平台的这一版本利用最新版的 Allegro System Architect，使硬件设计人员可以缩短开发时间，生成比原来多 60% 的更大数量的差分信号。Cadence 通过对 Cadence PSpice(r) 技术增加重大的性能和收敛改进，进一步增强了模拟仿真功能。

2. 先进的约束驱动设计

Allegro 约束管理系统提供了一项先进的新性能，可减少含先进 I/O 接口设计的生成时间，这些接口有 PCI Express、DDR2、SATA 等。该系统使设计人员有能力生成和指定利用参考其他对象规则的约束。约束管理系统包含了部件手册，除物理和空间约束外，还有设计约束、设计规则检查及属性等。

3. 提升的生产率和仿真精确性

新发布的 Allegro 平台在 Allegro PCB SI 及 PCB PI 中提供了新的功能，可缩短互连设计时间并提升产品性能和可靠性。这些性能包括了串行连接设计的显著改进，从而允许用户精确预测 6 Gb/s 以上高级算法收发器通道的误码率概况。另外，通道兼容性和统计分析性能还允许用户评估传统通道，以便同高数据率收发器共用。

Allegro PCB PI 选项可吸收来自 IC 及 IC 封装设计工具的封装寄生现象、裸片电容和转换电流，以精确建立完整的电源供应系统。结合静态 IR 降分析，Allegro PCB PI 用户可以快速判断电源分配系统是否能维持规范所述参考电压。

本书是在第 2 版的基础上修订而成的。本书共 24 章及 3 个附录，其中第 1~18、20~24 章由周润景编写，袁伟亭编写了第 19 章的内容，张鹏飞编写了附录 A、B、C 并对书中的例子作了全面的验证，全书由周润景统稿。

本书的出版得到了 Cadence 公司中国代理商——北京迪浩永辉技术有限公司执行董事黄胜利先生和电子工业出版社张剑先生的大力支持，也有很多读者提出了宝贵的意见，在此一并表示感谢！

为便于读者阅读、学习，特提供本书所讲实例下载资源。请访问 <http://yydz.phei.com.cn> 网站，到“资源下载”栏目下载。

由于 Cadence 公司的 PCB 工具性能非常强大，不可能通过一本书完成全部内容的详尽介绍，加上时间与水平有限，不妥之处还望指正。

编 著 者

目 录

第1章	Cadence Allegro SPB 16.2 简介	1
1.1	概述	1
1.2	功能特点	2
1.2.1	功能模块	2
1.2.2	特有功能	3
1.3	设计流程	4
1.3.1	前处理	4
1.3.2	中处理	4
1.3.3	后处理	5
1.4	Cadence Allegro SPB 新功能介绍	5
1.4.1	导入/导出数据库参数	5
1.4.2	新增 Microvia 选项	6
1.4.3	将 Same Net Spacing 增至 Constraint Manager	6
1.4.4	合并 Shape	7
1.4.5	交互式扇出	7
1.4.6	增加线宽选项和工作模式选项	7
1.4.7	未布线连接状态	8
1.4.8	新属性	8
第2章	Capture 原理图设计工作平台	11
2.1	Design Entry CIS 软件功能介绍	11
2.2	原理图工作环境	12
2.3	设置图纸参数	12
2.3.1	设置颜色	13
2.3.2	设置格点属性	14
2.3.3	杂项的设置	14
2.3.4	设置其他参数	15
2.4	设置设计模板	15
2.4.1	字体设置	16
2.4.2	标题栏 (Title Block) 设置	16
2.4.3	页面尺寸 (Page Size) 设置	17

2.4.4	格点参数 (Grid Reference) 设置	18
2.4.5	设置层次图参数	19
2.4.6	设置 SDT 兼容性	19
2.5	设置打印属性	20
第3章	制作元件及创建元件库	22
3.1	创建单个元件	22
3.1.1	直接新建元件	23
3.1.2	用电子表格新建元件	30
3.2	创建复合封装元件	32
3.2.1	创建 U?A	33
3.2.2	创建 U?B、U?C 和 U?D	33
3.3	大元件的分割	34
3.4	创建其他元件	36
	习题	36
第4章	创建新设计	37
4.1	原理图设计规范	37
4.2	Capture 基本名词术语	37
4.3	建立新项目	39
4.4	放置元件	40
4.4.1	放置基本元件	41
4.4.2	对元件的基本操作	43
4.4.3	放置电源和接地符号	44
4.4.4	完成元件放置	46
4.5	创建分级模块	46
4.5.1	创建简单层次式电路	46
4.5.2	创建复合层次式电路	52
4.6	修改元件序号与元件值	55
4.7	连接电路图	56
4.7.1	导线的连接	56
4.7.2	总线的连接	57
4.7.3	线路示意	59
4.8	标题栏的处理	61
4.9	添加文本和图像	61
4.10	建立压缩文档	62
4.11	平坦式和层次式电路图设计	63

4.11.1	平坦式和层次式电路特点	63
4.11.2	电路图的连接	65
习题		66
第5章	PCB 设计预处理	67
5.1	编辑元件的属性	67
5.1.1	编辑元件属性的两种方法	67
5.1.2	指定元件封装	69
5.1.3	参数整体赋值	70
5.1.4	分类属性编辑	71
5.1.5	定义 ROOM 属性	72
5.1.6	定义按页摆放属性	73
5.2	Capture 到 Allegro PCB Editor 的信号属性分配	76
5.2.1	为网络分配 PROPAGATION_DELAY 属性	76
5.2.2	为网络分配 RELATIVE_PROPAGATION_DELAY 属性	78
5.2.3	为网络分配 RATSNEST_SCHEDULE 属性	79
5.2.4	输出新增属性	79
5.3	建立差分对	80
5.3.1	为两个 Flat 网络建立差分对 (手动建立差分对)	80
5.3.2	为一个设计中多对 Flat 网络同时建立差分对 (自动建立差分对)	81
5.4	Capture 中总线 (Bus) 的应用	82
5.4.1	平坦式电路图设计中总线的应用	82
5.4.2	层次式电路图设计中总线的应用	86
5.5	原理图绘制后续处理	89
5.5.1	设计规则检查	89
5.5.2	为元件自动编号	93
5.5.3	回注 (Back Annotation)	94
5.5.4	自动更新元件或网络的属性	95
5.5.5	生成网络表	95
5.5.6	生成元件清单	98
5.5.7	属性参数的输出/输入	99
习题		100
第6章	Allegro 的属性设置	101
6.1	Allegro 的界面介绍	101
6.2	设置工具栏	106
6.3	定制 Allegro 环境	107

6.3.1	设定设计参数	108
6.3.2	设置格点	112
6.3.3	设置 Subclasses 选项	112
6.3.4	设置 B/B Via	113
6.3.5	电路板的预览功能	114
6.3.6	打印设置	115
6.3.7	设置自动保存功能	116
6.4	编辑窗口控制	117
6.4.1	鼠标按键功能	117
6.4.2	画面控制	117
6.4.3	使用 Strokes	118
6.4.4	设置快捷键	119
6.4.5	定义颜色和可视性	120
6.4.6	定义和运行脚本	122
	习题	125
第7章	焊盘制作	126
7.1	基本概念	126
7.2	热风焊盘的制作	128
7.2.1	标准热风焊盘的制作	128
7.2.2	非标准热风焊盘的制作	129
7.3	通过孔焊盘的制作	130
7.4	贴片焊盘的制作	136
第8章	元件封装的制作	139
8.1	封装符号基本类型	139
8.2	集成电路封装 (IC) 的制作	140
8.2.1	利用向导制作 (IC) 封装	140
8.2.2	手工制作 (IC) 封装	144
8.3	连接器 (IO) 封装的制作	148
8.3.1	制作标准连接器封装	148
8.3.2	边缘连接器 (Edge Connector) 制作	156
8.4	分立元件 (DISCRETE) 封装的制作	163
8.4.1	贴片的分立元件封装的制作	163
8.4.2	直插的分立元件封装的制作	166
8.4.3	自定义焊盘封装制作	169
	习题	176



第9章	电路板的建立	177
9.1	建立电路板	177
9.1.1	使用电路板向导 (Board Wizard) 建立电路板	177
9.1.2	手工建立电路板	180
9.1.3	建立电路板机械符号	184
9.1.4	建立 Demo 设计文件	192
9.2	输入网络表	199
习题	201
第10章	设置设计规则	202
10.1	间距规则设置	202
10.1.1	修改默认间距	202
10.1.2	设定间距规则	204
10.1.3	分配约束	205
10.2	物理规则设置	206
10.2.1	修改默认物理规则	206
10.2.2	设置物理规则	207
10.2.3	分配约束	208
10.3	设定设计约束 (Design Constraints)	209
10.4	设置元件/网络属性	210
10.4.1	为元件添加属性	211
10.4.2	为元件添加 FIXED 属性	212
10.4.3	为元件添加 Room 属性	212
10.4.4	为网络添加属性	213
10.4.5	显示属性和元素	213
10.4.6	删除属性	214
习题	215
第11章	布局	216
11.1	规划电路板	217
11.1.1	设置格点	217
11.1.2	添加 ROOM	217
11.1.3	为预摆放封装分配元件序号	219
11.2	手工摆放元件	220
11.2.1	按照元件序号摆放	220
11.2.2	变更 GND 和 VCC 网络颜色	221

11.2.3	改变元件默认方向	223
11.2.4	移动元件	223
11.3	快速摆放元件	224
11.3.1	快速摆放元件到分配的 Room 中	224
11.3.2	快速摆放剩余的器件	226
11.3.3	产生报告	227
习题	229
第12章	高级布局	230
12.1	显示飞线	230
12.2	交换	231
12.2.1	功能交换	231
12.2.2	引脚交换	233
12.2.3	元件交换	233
12.2.4	自动交换	234
12.3	使用 ALT_SYMBOLS 属性摆放	236
12.4	按 Capture 原理图页进行摆放	237
12.5	原理图与 Allegro 交互摆放	240
12.5.1	原理图与 Allegro 交互设置方法	240
12.5.2	Capture 和 Allegro 交互选择	240
12.5.3	Capture 与 Allegro 交互高亮和反高亮元件	241
12.5.4	Capture 与 Allegro 交互高亮和反高亮网络	243
12.6	自动布局	244
12.6.1	设置布局的网格	244
12.6.2	设置元件进行自动布局的属性	246
12.6.3	元件的自动布局	247
12.7	使用 PCB Router 自动布局	249
12.7.1	打开 PCB Router 自动布局工具	249
12.7.2	布局大元件	250
12.7.3	布局小元件	251
习题	252
第13章	敷铜	253
13.1	基本概念	253
13.1.1	正片和负片	253
13.1.2	动态铜箔和静态铜箔	254
13.2	为平面层建立 Shape	255

13.2.1	显示平面层	255
13.2.2	为 VCC 电源层建立 Shape	255
13.2.3	为 GND 地层建立 Shape	256
13.3	分割平面	257
13.3.1	使用 Anti Etch 分割平面	257
13.3.2	使用添加多边形的方法分割平面	260
13.4	分割复杂平面	269
13.4.1	定义复杂平面并输出底片	269
13.4.2	添加负平面 Shape 并进行负平面孤铜检查	271
	习题	273
第14章	布线	274
14.1	布线的基本原则	274
14.2	布线的相关命令	275
14.3	定义布线的格点	275
14.4	手工布线	277
14.4.1	添加连接线	277
14.4.2	删除布线	278
14.4.3	添加过孔	279
14.4.4	使用 Bubble 选项布线	280
14.5	扇出 (Fanout By Pick)	281
14.6	群组布线	282
14.7	自动布线的准备工作	284
14.7.1	浏览前面设计过程中定义的规则	284
14.7.2	在指定层布地址线的规则设置	285
14.7.3	设定电气规则	288
14.8	自动布线	290
14.8.1	使用 Auto Router 自动布线	290
14.8.2	使用 CCT 布线器自动布线	295
14.8.3	对指定网络或元件布线 (Route Net(s) by Pick)	298
14.9	控制并编辑布线	299
14.9.1	控制布线的长度	299
14.9.2	差分布线	305
14.9.3	高速网络布线	312
14.9.4	45° 角布线调整 (Miter By Pick)	315
14.9.5	改善布线的连接	317
14.10	优化布线 (Gloss)	321

14.10.1	固定关键网络	321
14.10.2	Gloss 参数设置	322
14.10.3	添加和删除泪滴	323
14.10.4	自定义平滑 (Custom Smooth) 布线	325
	习题	327
第15章	后处理	328
15.1	重命名元件序号	328
15.1.1	自动重命名元件序号	328
15.1.2	手动重命名元件序号	331
15.2	文字面调整	331
15.2.1	修改文字面字体大小	331
15.2.2	改变文字的位置和角度	332
15.2.3	调整 Room 的字体	333
15.3	回注 (Back Annotation)	334
	习题	335
第16章	加入测试点	336
16.1	产生测试点	336
16.1.1	自动加入测试点	336
16.1.2	建立测试夹具的钻孔文件	341
16.2	修改测试点	342
16.2.1	手动添加测试点	342
16.2.2	手动删除测试点	343
16.2.3	交换测试点	344
16.2.4	重新产生 log 文件、钻孔数据和报告	344
16.2.5	建立测试夹具	346
	习题	347
第17章	电路板加工前的准备工作	348
17.1	建立丝印层	348
17.1.1	设置层面颜色和可视性	348
17.1.2	自动添加丝印层	349
17.2	建立报告	351
17.3	建立 Artwork 文件	352
17.3.1	设置加工文件参数	354
17.3.2	设置底片控制文件	357

17.3.3	建立 Assembly 底片文件	358
17.3.4	建立 Soldermask 底片文件	360
17.3.5	建立 Pastemask 底片文件	362
17.3.6	运行 DRC 检查	364
17.4	建立钻孔图	365
17.4.1	颜色与可视性设置	365
17.4.2	建立钻孔符号和图例	365
17.5	建立钻孔文件	367
17.6	输出底片文件	369
17.6.1	建立钻孔图例的底片文件	369
17.6.2	输出底片文件	371
17.7	浏览 Gerber 文件	372
17.7.1	为底片建立一个新的 Subclass	372
17.7.2	加载 Artwork 文件到 PCB 编辑器	373
17.8	在 CAM350 中检查 Gerber 文件	375
17.8.1	CAM350 用户界面介绍	375
17.8.2	CAM350 的快捷键及 D 码	384
17.8.3	CAM350 中 Gerber 文件的导入	388
	习题	393
第 18 章	Allegro 其他高级功能	394
18.1	设置过孔的焊盘	394
18.2	更新元件封装符号	396
18.3	Net 和 Xnet	398
18.4	技术文件的处理	398
18.4.1	输出技术文件	398
18.4.2	输入技术文件到新设计中	399
18.4.3	比较技术文件	401
18.5	设计重用	403
18.6	DFA 检查	411
18.7	修改 env 文件	412
18.8	Skill 的程序安装及功能说明	413
18.8.1	Skill 程序安装	413
18.8.2	Skill 功能说明	414
18.9	数据库写保护	415
18.9.1	加密	415
18.9.2	解锁	416

习题	417
第19章 高速 PCB 设计知识	418
19.1 高速 PCB 的基本概念	418
19.1.1 电子系统设计所面临的挑战	418
19.1.2 高速电路的定义	418
19.1.3 高速信号的确定	419
19.1.4 传输线	419
19.1.5 传输线效应	419
19.2 PCB 设计前的准备工作	420
19.2.1 设计前的准备工作	420
19.2.2 电路板的层叠	421
19.2.3 窜扰和阻抗控制	421
19.2.4 重要的高速结点	421
19.2.5 技术选择	421
19.2.6 预布线阶段	422
19.2.7 避免传输线效应的方法	422
19.3 高速 PCB 布线	424
19.3.1 高速 PCB 信号线的布线基本原则	424
19.3.2 地线设计	424
19.4 布线后信号完整性仿真	425
19.4.1 布线后信号完整性仿真的意义	425
19.4.2 模型的选择	425
19.5 提高抗电磁干扰能力的措施	426
19.5.1 需要特别注意抗电磁干扰的系统	426
19.5.2 应采取的抗干扰措施	426
19.6 测试与比较	427
第20章 仿真前的准备工作	428
20.1 IBIS 模型	428
20.1.1 IBIS 模型与 SPICE 模型的特点	428
20.1.2 IBIS 模型的物理描述	429
20.2 验证 IBIS 模型	431
20.2.1 浏览解析的 IBIS 文件结果	431
20.2.2 在 Model Integrity 中仿真 IOCell 模型	436
20.2.3 使用 IBIS to DML 转换器	438
20.2.4 浏览 DML 文件的错误和警告信息	438

20.2.5 使用 Espice to Spice 转换器	440
20.3 预布局	443
20.4 电路板设置要求 (Setup Advisor)	447
20.4.1 叠层设置	448
20.4.2 设置 DC 电压值	450
20.4.3 器件设置 (Device Setup)	452
20.4.4 SI 模型分配	454
20.4.5 SI 检查 (SI Audit)	460
20.5 基本的 PCB SI 功能	461
20.5.1 设置显示内容	461
20.5.2 显示网络飞线	461
20.5.3 确定 HA3 网络的元件	463
20.5.4 摆放元件于板框内	463
习题	464
第 21 章 约束驱动布局	465
21.1 预布局拓扑提取和仿真	465
21.1.1 预布局拓扑提取的设置	465
21.1.2 预布局拓扑提取分析	466
21.1.3 执行反射仿真	470
21.1.4 反射仿真测量	476
21.2 前仿真时序	487
21.2.1 时序信号简介	488
21.2.2 时序计算	491
21.2.3 运行参数扫描	494
21.2.4 为拓扑添加约束	500
21.2.5 分析拓扑约束	505
21.3 模板应用和约束驱动布局	507
21.3.1 为窜扰仿真建立拓扑	509
21.3.2 执行窜扰仿真	521
21.3.3 应用电气约束规则	525
21.3.4 解决 DRC 错误	529
习题	532
第 22 章 约束驱动布线	533
22.1 手工布线	533
22.1.1 手工为 HA4 网络布线	533