

高等学校教材

超大规模集成电路 与系统设计导论

宋俊德 辛德禄

电子科技大学出版社

7N47
372

0603569

高等学校教材

超大规模集成电路与 系统设计导论

宋俊德 辛德禄 编著

电子科技大学出版社

• 1989 •

内 容 提 要

本书系统地介绍了大规模集成电路和系统设计的基本理论与方法。全书共分六章。第一、二、三章介绍了VLSI器件基础, NMOS和CMOS的制造工艺、逻辑电路及子系统的版图设计及其规则; 第四章介绍设计LSI/VLSI系统所面临的问题和解决的方法; 第五章介绍几种用户定制电路的版图设计模式: 门阵列、标准单元法、PLA、BBL等; 第六章介绍了用于LSI/VLSI的CAD技术。

本书可作为电子类、通讯类专业高年级本科生和研究生教学用书, 也可供有关专业的师生和从事LSI/VLSI领域的广大科技人员阅读和参考。

高等学校教材

超大规模集成电路与系统设计导论

宋俊德 辛德禄 编著

电子科技大学出版社出版
(中国成都建设北路二段四号)
四川省青神县印刷厂印刷
四川省新华书店发行

开本 787×1092 1/16 印张 11.25 字数 264千字
版次 1989年9月第一版 印次 1989年9月第一次印刷
印数 1~2200册

中国标准书号 ISBN 7-81016-150-4/TN·40
(15452·73) 定价: 4.10元

出版说明

根据国务院关于高等学校教材工作分工的规定，我部承担了全国高等学校、中等专业学校工科电子类专业教材的编审、出版的组织工作。由于各有关院校及参与编审工作的广大教师共同努力，有关出版社的紧密配合，从1978年至1985年，已编审、出版了两轮教材，正在陆续供给高等学校和中等专业学校教学使用。

为了使工科电子类专业教材能更好地适应“三个面向”的需要，贯彻“努力提高教材质量，逐步实现教材多样化，增加不同品种、不同层次、不同学术观点、不同风格、不同改革试验的教材”的精神，我部所属的七个高等学校教材编审委员会和两个中等专业学校教材编审委员会，在总结前两轮教材工作的基础上，结合教育形势的发展和教学改革的需要，制订了1986~1990年的“七五”（第三轮）教材编审出版规划。列入规划的教材、实验教材、教学参考书等近400种选题。这批教材的评选推荐和编写工作由各编委会直接组织进行。

这批教材的书稿，是从通过教学实践、师生反映较好的讲议中经院校推荐，由编审委员会（小组）评选择优产生出来的。广大编审者、各编审委员会和有关出版社为保证教材的出版和提高教材的质量，作出了不懈的努力。

限于水平和经验，这批教材的编审、出版工作还会有缺点和不足之处，希望使用教材的单位，广大教师和同学积极提出批评建议，共同为不断提高工科电子类专业教材的质量而努力。

电子工业部教材办公室

前 言

本教材系电子工业部制定的工科电子类专业教材1986~1990年编审出版规划,由无线电技术与信息系统教材编审委员会电路与系统编审小组组织,推荐出版。

本教材由北京邮电学院宋俊德担任主编,清华大学张建人担任主审。

本课程的参考学时数为40~60学时。本教材共分六章,第一、二、三章为VLSI器件基础,VLSI制造工艺及版图设计规则和逻辑电路及子系统设计。不仅介绍了NMOS和CMOS器件、工艺及版图设计规则,同时也讨论了双极型器件、工艺及版图设计规则。第四章LSI/VLSI系统设计着重介绍了系统定时、输入/输出电路、电源布线及热学等方面的设计考虑。第五章用户定制电路及其设计系统地介绍了门阵列、标准单元和可编程序逻辑阵列等设计方法,对可编程序阵列逻辑和八十年代初新提出栅极矩阵法也进行了介绍。第六章介绍了LSI/VLSI的CAD技术。使用本教材时应同时注重理论教学和实践环节,学完本课程时,要求每个学生独立地完成一个包括逻辑设计、电路设计和版图设计的课题。有条件的学校,可让学生使用CAD工具和设计系统作逻辑模拟、电路模拟及版图设计(最好采用人工交互系统完成)和验证。实践证明,作好这一课题对学生全面地掌握本课程的主要内容是十分重要的。

本教材由宋俊德完成初稿,辛德禄对初稿进行了修改和补充,特别是对第一、二、三、五章中部分内容作了删减,并增加了一些新的内容。最后由宋俊德完成全书的统编。在编写过程中,北京邮电学院谢源清提出了许多宝贵意见,这里表示诚挚的感谢。由于编者水平有限,书中难免还存在一些缺点和错误,殷切希望广大读者批评指正。

编 者

目 录

绪 论	(1)
第一章 VLSI器件基础	(8)
§ 1-1 MOS 晶体管	(8)
§ 1-2 NMOS 反相门	(17)
§ 1-3 CMOS 反相门	(24)
§ 1-4 CMOS 传输门	(35)
§ 1-5 集成注入逻辑	(37)
第二章 VLSI 制造工艺及版图设计规则	(41)
§ 2-1 概 述	(41)
§ 2-2 NMOS 工艺	(42)
§ 2-3 硅栅NMOS 逻辑电路的版图设计规则	(44)
§ 2-4 CMOS 工艺	(55)
§ 2-5 CMOS 逻辑电路的版图设计规则	(60)
§ 2-6 双极型工艺及版图设计规则	(65)
§ 2-7 按比例缩小原则	(69)
第三章 逻辑电路及子系统设计	(76)
§ 3-1 NMOS 组合逻辑电路	(76)
§ 3-2 NMOS 静态逻辑电路	(85)
§ 3-3 NMOS 动态逻辑电路	(87)
§ 3-4 CMOS 电路的几种形式	(94)
§ 3-5 CMOS 逻辑电路的版图设计	(100)
§ 3-6 集成注入逻辑电路及其版图设计	(110)
第四章 LSI/VLSI系统设计	(115)
§ 4-1 系统定时设计	(115)
§ 4-2 输入保护电路	(117)
§ 4-3 输出电路	(120)
§ 4-4 V_{DD} 和 V_{SS} 引线的设计	(123)
§ 4-5 热学设计考虑	(124)
§ 4-6 系统设计时对测试的考虑	(125)
§ 4-7 一个 LSI 系统的设计举例	(126)

第五章 用户定制电路及其设计方法	(130)
§ 5-1 概 述	(130)
§ 5-2 门阵列及其设计方法	(132)
§ 5-3 可编程序逻辑阵列设计方法	(139)
§ 5-4 标准单元法	(147)
§ 5-5 积木块式版图设计法	(149)
§ 5-6 栅极矩阵法	(150)
§ 5-7 可编程序阵列逻辑	(152)
第六章 用于LSI/VLSI的CAD技术	(160)
§ 6-1 CAD技术发展的回顾	(160)
§ 6-2 LSI/VLSI的设计和 workstation	(161)
§ 6-3 用于LSI/VLSI的CAD系统	(167)
附 录 专业名词英汉对照表	(171)
参考文献	(174)

绪 论

一、本课程的目的和意义

八十年代进入了以超大规模集成电路（VLSI）为主导的微电子技术时代。加之以计算机技术为核心的信息技术，掀起了一场新的世界工业革命。科学技术的发展加快了人类进步的节拍。

半导体集成电路的集成度正以略低于莫尔（Moore）定律所预见的速度继续增长，到本世纪末可望在一个芯片上集成十亿个元器件。这一巨大的变化改变着传统的科学研究、设计和生产的方式方法，也对工作在这一领域的科研、教学、设计人员以及即将工作在这一领域的青年科技人员提出了新的要求。十年前，集成电路设计者绝大多数来自半导体专业和物理专业，主要设计通用性较强的单元电路、电路部件或者一个小的子系统，然后完成版图设计并制造出集成电路产品。他们不需要对整个系统（如通信系统、计算机系统、数字信号处理系统和测试系统等）有较全面的掌握和了解。而电路和系统的设计者必须根据厂家提供的产品系列、规格选用合适的集成电路组成其所设计的系统。这在很大程度上受到有限品种的限制。由于微电子技术的发展，超微细加工技术的提高，VLSI工艺已较成熟。在一个芯片上已完全可以集成一个系统。这一变化迫使集成电路设计者必须放弃传统的手工作业，学习计算机和使用先进的CAD技术。例如，近年发展的工作站以及CAD系统。藉助新的设计工具和设备，实现设计自动化，使得含有几百万、几千万个晶体管的版图设计，原来要用几十个人年乃至几百个人年才能完成的任务，现在只需一个人在几周或几个月之内就可完成。使设计周期缩短，设计成本降低。这一变化是巨大的。一方面生产厂家的集成电路设计者主要致力于通用性强的LSI/VLSI电路和系统的版图设计（如存储器、微处理器、D/A变换器等）；另一方面大量的专用集成电路（ASIC）的版图设计将主要由从事电路与系统的设计者来完成。根据统计，现在从事电路和系统的设计者总数为集成电路设计者的几十倍。从VLSI技术的发展可以预见，在未来的十几年内集成电路的设计队伍将发生根本的变化。大量的系统设计者勿需再做那些电路的组装和调试工作，而要在工作站上直接设计整个系统的集成电路版图。然后形成磁带，送交生产工厂制造。为适应这一变化，一方面大力发展工作站，积极开发设计VLSI所需要的CAD系统。例如，广泛使用的Applicon, Calma, Computervision等，以及近年来发展迅速而功能更强的Daisy, Sun, GPX及HP工作站。另一方面C.米德和L.康威（C.Mead, L.Conway）提出的VLSI设计理论把集成电路的设计者和电路与系统设计者紧密地联系在一起。它力图使传统的集成电路版图设计方法简明化和规律化。其核心是用一个无量纲的“ λ ”作为特征尺寸，建立一套几何尺寸间的关系和约束，构成集成电路的版图设计规则。这样就可藉助CAD系统，按照“ λ ”版图设计法则以及工艺典型参数，使原先不甚了解集成电路设计的系统设计者直接设计出可供使用的版图。这也是本课程所要达到的目的。

C.米德和L.康威提出的设计理论是以NMOS工艺为基础的。本书则将这一设计理

论应用到CMOS工艺以及双极型工艺，并考虑了某些实际情况，对一些个别规则加以修正，使之更为全面。

随着专用集成电路的发展，更多的电路和系统设计工作者将直接参加集成电路版图的设计工作。本书就是为适应这一形势的变化而编写的。

本书力求深入浅出地从器件基础、制造工艺及设计规则、逻辑电路及子系统设计、系统设计和方法等方面进行较为系统的介绍，并着重于物理概念的阐述和实际设计考虑，避免繁琐公式的推导。除课堂教学外，要求学生结合实际，运用工作站从逻辑设计、电路设计到版图设计独立完成一个设计课题。这样既有利于掌握工作站的使用，又能进一步巩固所学内容。有条件者还可用单管芯多课题设计方法，生成掩膜版磁带，由专供实验和验证用的工艺流水线进行芯片样品的试制。

二、集成电路的发展及其规律

发展：1948年世界上第一个半导体晶体管问世，激起了人们应用晶体管和用它取代电子管的热潮。1958年世界上第一块集成电路问世，人们实现了在一个半导体芯片上作出若干个晶体管的梦想。1965年我国试制出第一批半导体集成电路，并可靠地运转在我国发射的人造卫星上，当时比美国约落后七年。国外在1967年4月试制成功了集成度高于1000的集成电路，并于1970年用MOS工艺作出了第一块1k位RAM，它比用磁芯作成的1k位RAM的价格便宜一千倍。这使集成电路由小规模（集成度①大于10、小于100）、中规模（集成度高于100、小于1000）进入到大规模集成电路（集成度高于1000、小于100,000）。1977年美国人在30mm²的芯片上集成了十三万个晶体管。这种电路被称为超大规模集成电路（集成度高于10万、小于100万）。这标志着人类已经掌握了VLSI技术。详细情况见表0-1②。

表 0-1

年份	1947	1950	1961	1965	1971	1980	1985	1990
工 艺	发明晶体 管	分立元 件	SSI (小规模集 成电路)	MSI (中规模集 成电路)	LSI (大规模集 成电路)	VLSI (超大规模 集成电路)	ULSI (超超大规模 集成电路)	GSI (超亿位集 成电路)
理论集成度 (每芯片晶 体管数)			10~100	100 ~1,000	1,000 ~100,000	10万 ~100万	100万~1亿	>1亿
商业产品 集成度	1	1	10	100 ~1,000	1,000 ~20,000	20,000 ~500,000	>500,000	>1000万
代表性 产 品		二极管 三极管	硅平面器 件, 逻辑 门, 触发 器	计数器 加法器	八位微处理 器, ROM, RAM	16位和32位 微处理器	专用处理器, 实用图象处理 器	

① 集成度指在一块半导体芯片上包含的元件数。

② 鉴于目前尚无统一标准，该表仅供参考。

七十年代集成电路发展不仅表现在集成度的提高，在制造VLSI电路的工艺技术方面的进展也是惊人的。在这一时期还发展了计算机辅助器件模拟、工艺模拟、电路模拟、逻辑模拟、版图设计、测试及故障诊断等，为八十年代全面进入VLSI时代打下了良好的基础。我国于1986年春试制出第一个64k RAM电路，它标志着我国已初步掌握了VLSI技术。有人预计到九十年代，人们可能把集成度提高到高于100万，进入ULSI时代。科学技术在高速发展，人们已把本世纪末和下世纪初将出现的集成度高于一亿的集成电路定名为GSI电路。集成电路技术特别是VLSI、ULSI乃至GSI是一门尖端科学技术，它是一个国家工业、科研、生产技术和理论等方面的综合标志，它是“高技术”中的高技术。比如，它用的单晶纯度在99.999999%以上，即所谓九个九。纯度为冶金工业中之冠。不仅如此，它还要求完美单晶（即无层错和位错）。为了做到这一点，美国已把单晶炉送上太空，因为在那里无重力影响，可以提炼出真正完美无缺的单晶。现在美国几个公司正在集资准备在太空兴建单晶炉，为地球上生产最好的单晶。我国1987年发射的回收卫星也做了同样实验。半导体生产所用水的纯度要求其绝缘电阻率高达十几兆欧。有专为VLSI电路用的电子级纯化学试剂，含杂质要低于 10^{-9} 以下，是化学试剂的最高纯度。它所用的光学设备，精密机械设备，机器人等都要用性能最高的一档。从技术领域看，它囊括了电子光学、离子光学、电子计算机、超净技术、精密机械、自动控制、冶金、化工等学科。人们称它为“巍峨的金字塔顶”并非言过其实。它的发展带动着并深刻地影响着各个部门。日本较早地认识到这一点，由政府组织了几家大公司并由国家投资VLSI技术，已在若干领域赶上或超过了美国。1985年美日之间的64k RAM之战，日本取胜。现在美国市场上64k RAM产品75%以上由日本产品占领。日本VLSI技术在某些方面的领先改变了它只会抄袭别人跟在美国后面跑的情况。现在西欧公开感叹落后于日，美如此之远，并企图联合尽快赶上。我国政府对于VLSI技术发展相当重视。近几年来，我国在VLSI电路设计和制造技术以及应用方面都取得了可喜的成果。

当代的VLSI技术已经可以在一个 $15 \times 15 \mu\text{m}^2$ 的面积上制造一个可完成“异或”或者“或非”功能的器件。其消耗能量低于 0.005pJ ，工作寿命可达10亿小时。若同人的脑细胞相对比（见图0-1），一个脑细胞完成同样功能，消耗能量为 0.2pJ 。一个人的大脑约有140亿个脑细胞，当代用VLSI技术在 $1 \times 2 \times 7 \text{cm}^3$ 的体积内可以作出140亿个记忆或功能器件。现在人们正在开发和研究分子电路、生物薄膜和生物微电子器件等，只要这些研究取得进展和突破，将会把VLSI技术带到一个引人入胜的新天地。

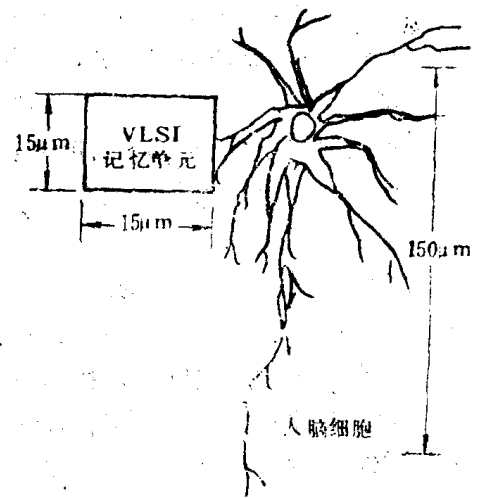


图 0-1 VLSI 单元与脑细胞

规律：众所周知，近二十年来集成电路发展速度为当代科技之冠。1975年莫尔总结了从集成电路问世以来，在一个管芯上可集成的元件数对应年份增长的数据。他得出了集成度每年增加一倍的结论，被称为“莫尔定律”。从1980年开始，集成度提高的速度略有减

慢，即平均每一年半集成度增加一倍。在同一时期内，集成电路的价格每两年下降一倍。例如1961年一块四门电路售价为2.5美元。到1984年，64k RAM的售价只有32美分。1988年价格又有回升。现在预计到1990年左右，用亚微米技术可以把IBM 370这样的大型计算机集成在一个30mm²硅片上。售价将低的可观。此外，VLSI技术发展规律还表现在电路系统的芯片体积愈来愈小，重量愈来愈轻，可靠性也愈来愈高等方面。相对失效率平均每两年减少一倍。能获得如此高的可靠性，原因是随着集成度提高，外接焊点数相对地减少。

现在让我们分析一下集成度快速增长的原因。

(1) 芯片面积的增长：提高集成度的直接办法是增大芯片面积。随着工艺设备的改进和提高，从1959年起平均每八年芯片面积增大三倍（即芯片边长增加一倍）。但芯片面积不能无节制的增大，要随工艺水平提高逐渐提高，不然由于面积增大芯片上出现缺陷的概率也增大。

(2) 器件尺寸的缩小：由于超微细加工能力不断提高，使工艺允许的最细线条、线间最小间距，光刻精度和套刻精度等得到了改进。一个元器件在管芯上所占用的面积平均每六年缩小一倍。

(3) 设计技术的改进：主要是基本单元电路的简化，合理地布局布线等。例如最早的RAM存储单元由六管电路组成。现在则用单管电路取代。再如在复杂的寄存器、触发器电路中采用大量传输管，在布局布线方面提高了布局合理性，缩短总布线长度。仅设计技术改进这一项使集成度十年提高二十多倍。综合以上三个因素，十年内集成度提高大约 $2^{10} = 1024$ 倍。当然上述三个因素所起的作用主次不同，随着VLSI技术的发展，这种主次关系也还会变化。

三、集成电路工艺技术的发展目标和方法

集成电路的追求目标概括起来可为：集成度、工作速度和可靠性的提高，功耗与成本的降低。为了达到此目标，集成电路技术主要沿三个方向发展：

(1) 缩小器件横向尺寸，包括制版、光刻和刻蚀技术的提高。其目的使得最细线条和线间隔尺寸缩小。用图形发生器分布重复照相机制作光刻用母版会受到光学特性限制，很难使最细线条低于 $1.5 \sim 2.0 \mu\text{m}$ 。用接触式和接近式光刻机刻出的最细线条不会小于 $1.5 \mu\text{m}$ 。采用电子束制版或直接光刻方法才能把图形转移引向亚微米（即最细线条宽小于 $1 \mu\text{m}$ ）。

(2) 芯片纵向尺寸的缩小。把图形从掩膜版转移到涂在硅表面上光致抗蚀剂之后，改进刻蚀技术就成了关键问题。现在采用的图形刻蚀技术主要有：(a) 湿法化学腐蚀。它的特点是腐蚀各向同性，横向腐蚀量较大，这是我们不希望的。因为它将影响最细线条的尺寸。因此只适用于MSI、LSI。它的另一缺点是耗费大量化学药品且易造成污染；(b) 等离子刻蚀。其工作原理是，在电场作用下，把腐蚀气体电离形成等离子体，利用等离子体中大量游离基与被腐蚀物反应形成挥发物，基本上仍属各向同性。它可以用改变气体压力控制腐蚀剂分子的有效自由程的方法，减少横向腐蚀量。用这种方法刻蚀时，设纵向深度为 t ，则横向刻蚀为 $0.2t \sim t$ 。该方法的优点是清洁度高，无化学污染，但设备较贵；(c) 反应离子刻蚀。它是在等离子体腐蚀中加垂直于样品表面的电场，使离子作定向运动，因此它不仅撞击被腐蚀物，而且与它起化学反应，是一种物理与化学相结合的方法，

属各向异性腐蚀。其腐蚀速度较慢，但横向腐蚀很小，大约为纵向腐蚀深度的0~0.2倍。此外它的选择性好，因此适用于ULSI和VLSI。但设备昂贵；(d)离子铣。它的工作原理属于机械切削，是各向异性刻蚀，刻蚀速度较慢。在刻蚀过程中片子发热，它所刻蚀的最细线条宽度比前三种都小。对横向刻蚀有明显改善。

(3)增大硅片直径。国外在生产中已广泛采用直径为6吋以上的硅圆片，并正向8和10吋硅圆片过渡。圆片直径的增大不仅提高了生产效率和成品率，降低了成本，而且有利于芯片面积的增加和进一步提高集成度。

集成度继续提高将会遇到一些限制。有一些属于基本物理限制。例如原子间距是最小可分尺寸等，但是现在可加工最小尺寸远远大于这个数量。概括起来将会遇到的限制包括：(a)自然规律和理论的限制；(b)材料的限制；(c)工艺限制；(d)测试能力的限制等。人们并没有在这些限制面前停步不前，而是在研究一些新的方法继续提高集成度。三维集成电路的研究就是一例。一般大圆片厚度在250 μm 到300 μm 左右，目前只用到了圆片表面约10 μm 的一层来作器件。也就是说，240~290 μm 厚的单晶材料只作为支撑而未被用来作器件。用图0-2(a)三维器件代替图0-2(b)的硅平面器件，它的电路如图0-2(c)所示，显然它缩小了占用面积，提高了硅片的纵向利用率。

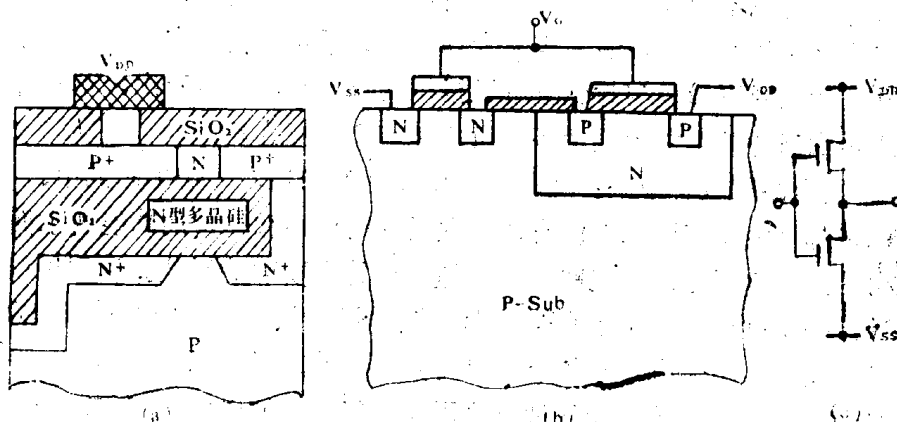


图 0-2 一个反向门电路

最近日本还研制了一种完全新型的系统结构可以作为ULSI的基本单元。在晶片相邻元件的隔离区刻槽。并在底部埋入氧化层。其电容呈弯曲形，相邻元件共用一个电容。每个单元可分别用其左右。电容由其底部埋入的氧化膜完全隔离，单元间无漏电流，结构向纵向扩展，提高了集成度。

四、VLSI技术的未来

从近几年来预测，VLSI技术主要有三个发展趋势。

(1)单片系统集成：由于VLSI技术的发展，把一个通讯系统、计算机系统和电子系统等集成在一块硅片上（有时为一块大圆片）。由于外部世界无例外的是模拟信号，所以D/A和A/D转换电路成为必不可少的器件。

由图 0-3 可见, 将这样一个电子系统集成在一个芯片 (或大圆片) 上不仅提高了可靠性, 也提高了成品率。技术人员不必再做焊接、调测等工作。但该种工艺复杂, 连线前要剔出不工作的单元, 工艺上要包括双极和 MOS 二种以上。不过现在已把一个如图 0-3 所示系统作成单片集成。

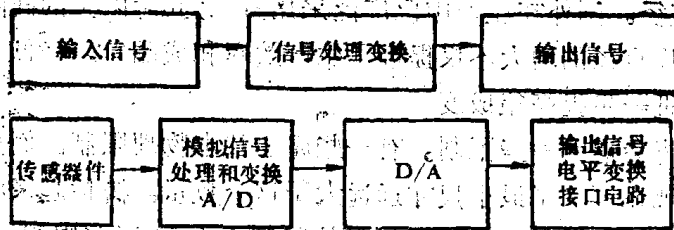


图 0-3. 单片系统集成

(2) 整硅片集成 (WSI): 这种方式是在整个硅圆片上实现功能更为复杂和规模更大的一个系统。先由生产厂家在硅圆片 (母片) 上制造各种基本单元。由第一层金属布线形成各自独立的基本单元和其测试用的金属块。通过对整个硅片测试, 将不合格的单元标出。再由第二层金属布线形成各种更高一级的功能电路。第二层金属布线是根据第一层测试的结果确定的, 所以不同硅圆片间的第二层布线是不会相同的, 必须采用算法软件技术实现。第三层金属布线是用户最后完成超大规模集成系统的信号布线。实现整个系统的连接, 同时在硅圆片的周围形成与封装管脚焊接用的压焊块。可以看出, 整硅片集成的规模更大, 压焊块也因圆片的尺寸大而增多。当然工艺上也更为复杂。

(3) 半定制电路的设计方法。在集成电路发展的初期, 人们生产的中、小规模乃至大规模集成电路都是由生产厂根据已有的分立元件的电路和一定的功能要求而设计的。这些电路是通用的。用户根据这些电路的功能组合成符合要求的系统。通用集成电路泛指 RAM、ROM、EPROM 等, 也包括各种门电路、触发器、寄存器和各种通用 CPU 等。由于微电子技术的发展, 集成电路在各个部门的应用日益广泛, 因而提出了另一类电路称为专用集成电路, 它是为某些用户和某种特殊用途专门设计的电路。例如, 为通讯专用的集成电路称为通讯专用集成电路, 生产厂要完全按照用户要求来设计和生产这种电路, 设计是从晶体管级开始最后交给用户, 称为全定制电路。如果用户只提出性能要求, 但是他不干预生产厂的具体设计方法, 而生产厂为了缩短试制和生产周期, 可以采用门阵列、PLA 等设计方法, 这一类称为半定制电路, 因为采用上述几种方法, 生产厂可以先作出一些半成品, 待用户电路给定后只要把最后的引线孔和金属布线工艺完成, 即可作出成品。这样既可节省试制和生产的时间, 也降低了设计成本。

现在国内外广泛采用的半定制版图设计模式有:

- (a) 门阵列
- (b) 标准单元法
- (c) 具有宏单元的门阵或标准单元设计
- (d) 可编程序逻辑阵列
- (e) 栅极矩阵
- (f) 可编程序阵列逻辑

五、VLSI技术面临的新问题

VLSI技术再向前发展将是ULSI和GSI, 自然人们会想到集成度会不会无止境的增长下去? 如果不会, 什么是限制它发展的因素呢? 十几年来科学家们都在讨论和研究这个问题。迈纳德 (Meindl) 等人概括了以下几种限制:

(1) 基本限制。如热力学限制 (热扰动的影响, 对于数字逻辑系统, 开关能量至少 $E_s > 4kT = 1.65 \times 10^{-20} \text{J}$)。当沟道长度缩小为 $0.5 \mu\text{m}$ 时, 开关能量大于 10^{-16}J 。因此, 在亚微米技术范围内, 从热力学角度暂时不会遇到麻烦, 特别是超导技术的发展为 VLSI 技术发展开拓了新的天地。

(2) 材料限制。未来二十年集成电路仍以硅为主, 现在还看不出在未来 GaAs、InP 能完全代替硅的趋势。显然, 硅材料的电子和空穴迁移率低将是发展高速集成电路的障碍。

(3) 器件限制。理论上可以设计出源-漏击穿的最短沟道长度, 采用光刻技术可能由于生产上的极限使之永远不能实现, 这也是工艺对器件的极限。

(4) 电路限制。电路极限综合反映了器件与互连对信息处理的能力。

除此之外, 其他极限还包括 VLSI 测试的限制。因为对 n 个输入 m 个内部状态做全测试时将是 2^{n+m} 个状态; 当 n 和 m 足够大时, 实际上不可能做全测试。此外, 还有管脚的限制, 内部寄生耦合的限制, 工艺设备愈来愈复杂和造价愈来愈高的限制。这些限制无疑给人们提出了新的研究课题, 正如其他学科一样, 人类会在不断研究、发展中寻求解决这些限制的新材料、新工艺、新方法和新理论。

第一章 VLSI器件基础

本章主要介绍用于VLSI电路和系统的MOS器件的基本工作原理，以及描述器件特性的基本表达式和器件参数，NMOS和CMOS工艺的反相门及传输门。重点是通过对NMOS晶体管和基本反相门的分析给出有关电气参数与版图尺寸间的关系，这些都是VLSI电路的设计基础。对VLSI电路中的双极型集成注入逻辑电路也作了简要介绍。

§ 1-1 MOS晶体管

图 1-1是一个MOS晶体管的结构简图。在掺有P型杂质的硅衬底上，利用扩散的方法

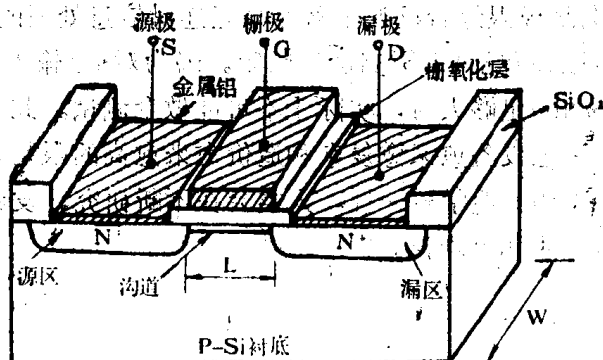


图 1-1 MOS晶体管结构

有选择地在其表面上制作两个掺有高浓度N型杂质的区域，这两个区域分别称为源区(S)和漏区(D)。在源漏之间的表面上先覆盖一层很薄的二氧化硅层(栅氧化层)，然后再在其上覆盖一层金属铝，称为金属栅(G)。这样便在源漏之间构成了一个由金属-氧化物-半导体组成的三层结构，它是MOS晶体管结构的核心。

一、基本工作原理

为分析方便，先将MOS晶体管的源区和衬底相连，如图 1-2(a)所示。并假设栅极和源极间外加电压 $V_{GS} = 0$ 。可以看出，源区和漏区之间是由掺有P型杂质的衬底隔开的，形成两个背靠背的PN结。如果在源极和漏极间外加一电压 V_{DS} (漏极接电源正端，源极接电源负端)，由于PN结耗尽层的作用，源漏间阻抗很大，无电流通过。如果栅极加以正向电压使 $V_{GS} > 0$ ，则栅极上的正电荷在栅氧化层中产生一垂直电场。在此电场的作用下，栅氧化层下面的P型衬底表面将感生负电荷。即带负电的电子被吸引到表面，而带正电的空穴被排斥离开表面。栅极垂直电场的这一作用，对栅区下面衬底表面的电荷进行了调制，使表面处的空穴密度远低于衬底内部空穴密度，从而导致表面处形成耗尽区。随着 V_{GS} 的增加，垂直电场增强。氧化层覆盖下的P型衬底表面可能出现因空穴的进一步被排斥，电子从N⁺源、漏区和衬底深处继续吸引到表面而造成表面处的电子密度大于空穴密度。这时，我们说在栅氧化层下面的衬底表面出现反型层，它是栅极外加垂直电场感生作用的

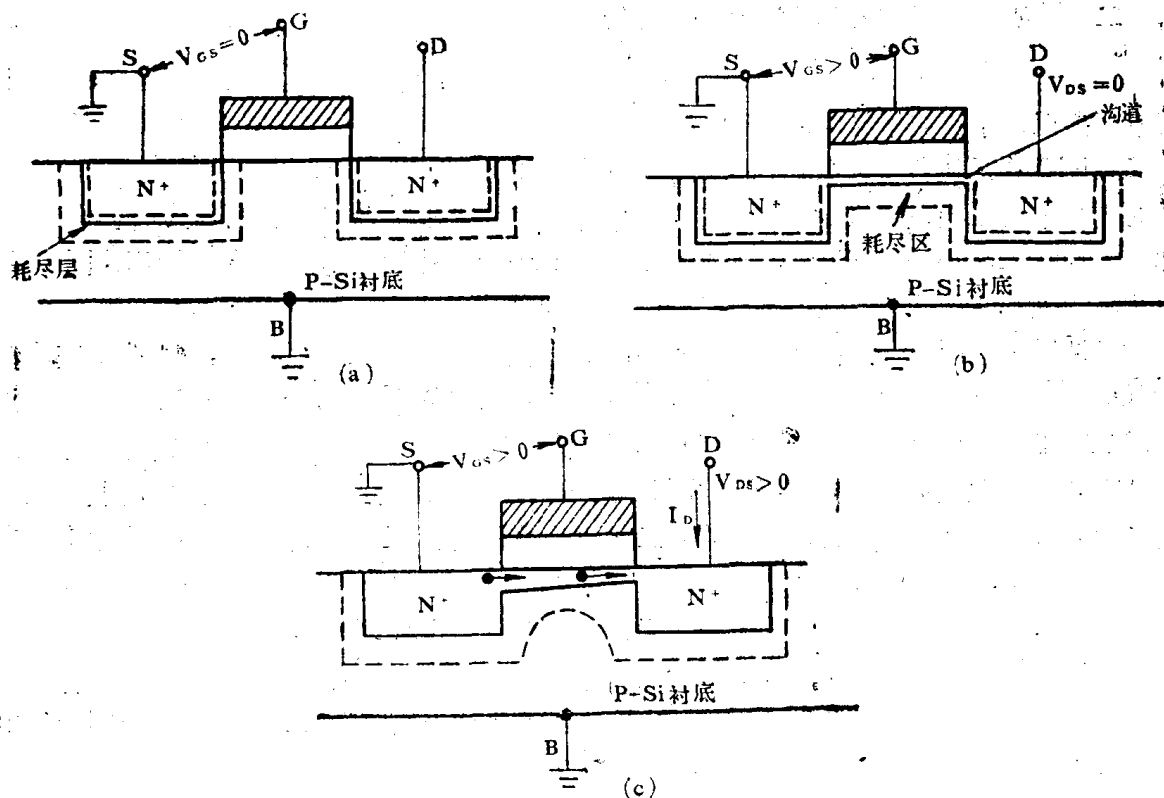


图 1-2 MOS晶体管工作原理

(a) $V_{GS} = 0$ (b) $V_{GS} > 0$ 并在表面感应沟道 (c) 通过沟道形成漏源电流

结果。由于表面反型，因而和P型衬底构成PN结。而反型层呈现出以电子为载流子的N型薄层，形成了源区和漏区间的通道，称为沟道，如图1-2(b)所示。若同时在源漏间加有电压 V_{DS} ，便有电子由源区经过沟道到达漏区，形成漏极电流 I_D ，如图1-2(c)所示。为保证只有流过沟道的电流，必须对源区、漏区以及沟道区与衬底间的PN结加以反向偏置，故P型衬底应接到电源的低电位。这正是MOS晶体管在同一衬底上形成相互隔离的原因。

可以看出，MOS晶体管的沟道是利用栅极和衬底间加有一定的电压形成的。为此，我们将开始形成沟道时在栅极上所加的电压叫做MOS晶体管的阈值电压，以 V_T 表示。它是MOS晶体管的一个重要参数。这种必须在栅极上加有电压才能形成沟道的MOS晶体管，称为增强型MOS晶体管（简称E管）。反之，采用一定的工艺措施使栅氧化层衬底表面在未加栅压（ $V_{GS} = 0$ ）时就形成沟道的MOS晶体管称为耗尽型MOS晶体管（简称D管）。耗尽型MOS晶体管必须在栅极上加有一定的负电压才使沟道截止。耗尽型MOS晶体管沟道开始截止时所需的外加栅压称为夹断电压，以 V_{DEP} 表示。同 V_T 一样， V_{DEP} 是耗尽型MOS晶体管的一个重要参数。无论增强型或耗尽型MOS晶体管都可用外加栅压的大小来控制导电沟道。这种利用栅压控制沟道中参与导电的可动载流子数目，以改变漏极电流的变化是MOS器件的工作基础。由于栅、源极间有绝缘介质二氧化硅的隔离，呈现纯电容性高输入阻抗。因此MOS晶体管是电压控制器件，即利用栅压产生相应的垂直电场，并通过栅极和沟道间的电容对沟道电流（漏极输出电流）进行调制的电压控制器件。还应指出，正是由于MOS晶体管具有容性输入阻抗，所以，可用来贮存信息。这在存储电路设计中是十分重要的。

二、N沟MOS晶体管和P沟MOS晶体管

上面讨论的MOS晶体管结构是在P型硅衬底上制作N⁺源、漏区，在栅极垂直电场作用下形成以电子载流子导电的N型反型层，这种结构的MOS晶体管称为N沟MOS晶体管（简称NMOS晶体管）。我们也可以在N型硅衬底上制作P⁺源、漏区，并在栅极垂直电场的作用下感应出以空穴载流子导电的P型反型层，这种MOS晶体管则称为P沟MOS晶体管（简称PMOS晶体管）。NMOS晶体管和PMOS晶体管除沟道的导电类型不同外，工作电压的极性也相反。

早期MOS集成电路中，采用增强型MOS晶体管。从制造工艺考虑，制作增强型PMOS晶体管容易，而增强型NMOS晶体管受早期工艺条件所限，制作较困难，故早期以PMOS集成电路为主。由于电子迁移率比空穴迁移率高，NMOS晶体管工作速度快。加以N⁺扩散层的电阻率较P⁺扩散层的低，用作内连线时距离可加长，或距离相同宽度可变窄，因而有利于集成度的提高。随着工艺的改进和发展，NMOS集成电路已在很多地方取代了早期的PMOS集成电路。

工艺技术的不断进步，出现了用多晶硅取代金属铝作MOS晶体管栅极材料的工艺。多晶硅栅较耐高温，可做源、漏区扩散或离子注入的掩蔽，形成自对准结构，使器件尺寸减小，工艺简化。掺杂多晶硅又可作为内连线。这些优点使它在MOS大规模集成电路中起了重要作用。关于制造工艺技术将在第二章中讨论。

当前，随着VLSI电路的规模增大，器件尺寸进一步缩小。由于多晶硅材料的电阻率较高，为防止由于尺寸的缩小引起引线电阻增大和布线延时增加，又出现了采用难熔金属钨（W）、钼（Mo）及其硅化物作MOS晶体管的栅极和布线材料，其电阻率约比掺杂多晶硅低两个数量级。

三、MOS晶体管的阈值电压

阈值电压 V_T 是表征MOS晶体管开关性能的首要参数。 V_T 定义为MOS晶体管开始导通（形成沟道）时加于栅极和源极间的电压。当 $|V_{GS}| > |V_T|$ 时（ V_T 和 V_{GS} 对NMOS晶体管为正值，对PMOS晶体管为负值），形成沟道，晶体管源漏间沟通；当 $|V_{GS}| < |V_T|$ 时，未形成沟道，源漏间无电流通路，MOS晶体管截止。器件物理指出： V_T 的大小与栅极材料、栅绝缘层的材料和厚度以及衬底掺杂浓度等因素有关。对NMOS晶体管

$$V_T = V_{FB} + 2\phi_B + \gamma(2\phi_B)^{1/2} \quad (1-1)$$

式中 V_{FB} 为平带电压。它表示由于栅极材料和衬底材料间的功函数差以及栅氧化层中固定正电荷的影响引起的电压偏移。

$$V_{FB} = \phi_{ms} - Q_{ss}/C_0$$

ϕ_{ms} 为栅极材料与衬底材料的功函数差（ $\phi_{ms} = (w_m - w_s)/q$ ）。 Q_{ss} 为氧化层中固定正电荷密度（ $1.5 \sim 8$ ） $\times 10^{-8}$ C/m²； C_0 为栅极与衬底间的单位面积电容量。

ϕ_B 为反型层表面与P型硅衬底间的费米电势

$$\phi_B = \frac{kT}{q} \ln(N_A/n_i)$$