

多媒体计算机系列丛书

PCI总线与 多媒体计算机

曾繁泰 冯保初 编著



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

URL: <http://www.phei.com.cn>



多媒体计算机系列丛书

PCI 总线与多媒体计算机

曾繁泰 冯保初 编著

电子工业出版社
Publishing House of Electronics Industry

前 言

计算机技术日新月异。微处理器生产、制造以 IntelX86 系列 CPU 为代表不断更新换代，性能不断快速成倍提高；操作系统以 Microsoft 公司的 DOS，Windows NT 为代表不断推陈出新，性能不断完善，促进了计算机向多媒体应用方向的发展。

作为一个计算机硬件设计人员，仅了解计算机 CPU、RAM、外设这些硬件还不够，还必须了解计算机总线。作为一个软件开发人员，仅了解计算机的操作系统还不够，还须了解计算机总线的配置、总线的设置参数。了解了这些硬件资料，软件才能发挥更大作用。所以无论是硬件设计人员，还是软件开发人员，了解计算机总线基础知识都是必须的。

计算机总线是一组公共信息传输通道，是各功能模块间传输信息的工具。它能为多个部件提供服务，又可分时地发送和接收各个部件的信息，总线的性能直接影响计算机系统的性能。

由于总线在计算机系统中的重要作用，世界计算机厂商都推出了代表自己水平的总线，出现了种类繁多、标准各异、功能不同的计算机总线。

随着科学技术的发展，初期的计算机总线已不能满足要求，人们对总线命令、总线传输、总线仲裁、总线控制、总线协议等专题不断深入研究，使总线技术逐渐完善。

无论计算机总线种类有多少，但从总体上看有以下几部分：信号分类，传输应答，同步控制和资源分配。总线的内容含有信号线的定义、逻辑关系、时序要求、信号表示方法、电路驱动、抗干扰能力、导线的物理特性、信号线在扩展槽口上的位置等。

以 Intel 公司为首的 PCI SIG 小组，推出了 PCI 总线标准。PCI 总线是与微处理器无关的 32/64 位地址数据复用总线，支持猝发传输，传输率为 132MB/s。PCI 总线的另一特点是存在配置空间。PCI 总线已成为 Pentium 主机最常见的总线，是多媒体计算机首选总线。

本书第一章介绍了总线的基本概念，各种常见总线的性能比较，PCI 总线发展的背景；第二、三、四、五章详细介绍了 PCI 总线的规范，对 PCI 总线信号定义、总线操作、电气、机械标准、配置空间组织都作了完整的叙述；第六章介绍了 PCI 总线系统设计的一般方法；第七章介绍了 PCI 总线 I/O 接口设计的问题；第八章介绍了多媒体关键技术、与 PCI 总线相关的多媒体板卡；第九章介绍了超媒体技术、MMX 技术、PCI 总线多媒体计算机、VOD 系统。

全书由曾繁泰、冯保初同志合作完成，参加本书编写工作的还有蒋志方，陈美金，曾梅，任海涛，张玮，徐重新，曹磊等同志。

虽然作者在 PCI 总线接口技术方面做了些工作，但水平所限，认识尚待深化，书中错误在所难免，希望计算机界同行批评指正。

作者 1997 年 9 月于山东大学

内 容 提 要

PCI 总线以其传输速率高 (132MB/s)、32/64 位地址数据复用等特点,现已成为奔腾多媒体计算机 (MPC) 的首选总线。因此,熟知 PCI 总线对改进和提高 MPC 性能,对指导多媒体板卡的开发都是必需的。

全书共九章。前六章在简介计算机总线概念的基础上,全面系统地讲述了 PCI 总线的规范、操作、配置空间,以及 PCI 总线系统的设计。后三章结合 MPC 的特点,介绍了总线产品开发、总线接口设计、多媒体板卡等实用知识。

本书是 MPC 软硬件研究、开发、维修的工程技术人员必备的工具书,也可供广大选购、使用 MPC 的人员参考。

丛 书 名: 多媒体计算机系列丛书

书 名: pci 总线与多媒体计算机

编 著 者: 曾繁泰 冯保初

责任编辑: 邓又强

责任校对: 忻 灵

印 刷 者: 北京牛山世兴印刷厂

装 订 者: 三河市路通装订厂

出版发行: 电子工业出版社出版发行 URL: <http://www.phei.com.cn>

北京市海淀区万寿路 173 信箱 邮编 100036 发行部电话 68214070

经 销: 各地新华书店经销

开 本: 787×1092 1/16 印张: 16.25 字数: 395 千字

版 次: 1998 年 8 月第 1 版 1998 年 8 月第 1 次印刷

书 号: ISBN 7-5053-4893-0

TP • 2388

定 价: 24.00 元

凡购买电子工业出版社的图书,如有缺页、倒页、脱页者,本社发行部负责调换
版权所有·翻印必究

目 录

第一章 计算机总线概论	(1)
1.1 总线概念及分类.....	(1)
1.2 PCI总线的孕育和发展.....	(1)
1.3 总线组成及总线功能.....	(3)
1.3.1 总线组成.....	(3)
1.3.2 总线功能.....	(4)
1.4 总线传输及总线缓冲.....	(6)
1.4.1 总线传输.....	(6)
1.4.2 总线缓冲.....	(6)
1.4.3 高速缓存(Cache).....	(6)
1.5 总线的软件操作.....	(8)
1.6 流行总线的性能比较.....	(9)
1.7 总线标准的制订.....	(11)
第二章 PCI总线规范	(12)
2.1 概述.....	(12)
2.1.1 PCI总线版本.....	(12)
2.1.2 开发的动机.....	(12)
2.1.3 PCI总线应用.....	(12)
2.1.4 PCI总线微机系统.....	(13)
2.1.5 PCI总线的优点.....	(14)
2.2 信号定义.....	(15)
2.2.1 信号类型定义.....	(15)
2.2.2 引脚功能组.....	(16)
2.3 边带信号.....	(20)
2.4 中央资源功能.....	(20)
第三章 PCI总线操作	(21)
3.1 总线命令.....	(21)
3.1.1 总线命令定义.....	(21)
3.1.2 命令使用规则.....	(22)
3.2 基本的PCI协议.....	(23)
3.2.1 基本的作业控制.....	(24)
3.2.2 寻址.....	(24)
3.2.3 字节校正.....	(26)
3.2.4 总线驱动和翻转.....	(26)

3.3 总线作业.....	(27)
3.3.1 读作业.....	(27)
3.3.2 写作业.....	(28)
3.3.3 作业终止.....	(28)
3.4 仲裁.....	(33)
3.4.1 仲裁信号协议.....	(33)
3.4.2 快速反向作业处理.....	(35)
3.4.3 仲裁停泊.....	(36)
3.4.4 延时.....	(37)
3.5 专用访问.....	(40)
3.5.1 引导一个专用访问.....	(41)
3.5.2 继续进行一个专用访.....	(42)
3.5.3 访问一个被锁定作业.....	(43)
3.5.4 结束一个专用访问.....	(43)
3.5.5 支持LOCK#和写缓存的一致性.....	(44)
3.5.6 总线锁结束.....	(44)
3.6 其他的总线操作.....	(44)
3.6.1 设备选择.....	(44)
3.6.2 特殊周期.....	(46)
3.6.3 地址/数据步进.....	(47)
3.6.4 配置周期.....	(47)
3.6.5 中断响应.....	(53)
3.7 纠错功能.....	(54)
3.7.1 奇偶校验.....	(54)
3.7.2 错误报告.....	(55)
3.8 Cache支持.....	(57)
3.8.1 Cache状态定义.....	(58)
3.8.2 支持状态的过渡.....	(59)
3.8.3 时序图.....	(59)
3.8.4 直接写Cache支持.....	(62)
3.8.5 仲裁注释.....	(62)
3.9 64位总线扩展.....	(62)
3.10 PCI-64位寻址.....	(65)
3.11 特殊设计考虑.....	(66)
第四章 配置空间.....	(67)
4.1 配置空间组织.....	(67)
4.2 配置空间的功能.....	(68)
4.2.1 设备标识.....	(68)
4.2.2 设备控制.....	(71)

4.2.3 设备状态.....	(71)
4.2.4 其它功能.....	(72)
4.2.5 基地址寄存器.....	(74)
4.3 扩充内存.....	(76)
4.3.1 PCI的扩展ROMS.....	(76)
4.3.2 自检码(POST)	(78)
4.3.3 与PC兼容的扩展ROMS.....	(79)
4.4 设备驱动程序.....	(80)
4.5 系统复位.....	(81)
第五章 PCI总线机械规范及电气规范.....	(82)
5.1 机械规范概述.....	(82)
5.2 PCI总线扩展卡实际尺寸和公差.....	(82)
5.2.1 接插件物理描述.....	(86)
5.2.2 平面安装.....	(87)
5.3 电气规范概述.....	(87)
5.3.1 5V到3.3V的转换途径.....	(87)
5.3.2 动态、静态驱动规范.....	(88)
5.4 组件规范.....	(89)
5.4.1 5V信号环境的DC/AC技术指标.....	(89)
5.4.2 3.3V信号环境的DC/AC技术指标.....	(91)
5.4.3 时间规范.....	(93)
5.4.4 售主提供的技术指标.....	(96)
5.4.5 管脚输出建议.....	(96)
5.5 系统(主板)规范.....	(97)
5.6 扩展卡技术规范.....	(103)
5.6.1 卡上管脚分配.....	(103)
5.6.2 电源需求.....	(105)
5.6.3 物理需求.....	(106)
第六章 PCI系统设计指南.....	(108)
6.1 系统结构.....	(108)
6.2 PCI地址映射要求.....	(109)
6.2.1 PCI内存地址空间.....	(109)
6.2.2 PCI I/O地址空间.....	(111)
6.3 系统初始化和配置.....	(112)
6.3.1 引导顺序.....	(112)
6.3.2 外加引导设备.....	(114)
6.4 软件考虑.....	(115)
6.5 设备考虑.....	(116)
6.5.1 访问延迟.....	(116)

6.5.2 PCI命令.....	(116)
6.5.3 设备配置空间.....	(117)
6.5.4 出错处理.....	(118)
6.5.5 Cache支持.....	(118)
6.6 其它功能考虑.....	(119)
6.6.1 中断.....	(119)
6.6.2 PCI错误处理.....	(119)
6.6.3 PCI仲裁.....	(119)
6.6.4 访问延时.....	(120)
6.6.5 基本I/O.....	(120)
6.6.6 系统配置.....	(120)
6.7 PCI专用周期.....	(121)
6.7.1 CPU专用周期.....	(122)
6.7.2 软件生成PCI专用周期.....	(122)
6.7.3 接收PCI专用周期.....	(122)
6.8 配置空间.....	(122)
6.8.1 配置空间映射机制.....	(123)
6.8.2 桥配置空间寄存器.....	(123)
6.8.3 多PCI总线.....	(125)
6.9 数据路径问题.....	(126)
6.10 数据缓冲.....	(129)
6.10.1 数据缓存器管理.....	(130)
6.10.2 缓存器管理的PCI命令.....	(131)
6.10.3 测定缓存器的大小.....	(132)
6.11 Cache.....	(133)
6.12 死锁.....	(135)
6.12.1 死锁定义和举例.....	(135)
6.12.2 总线并发.....	(135)
6.12.3 资源忙.....	(137)
6.13 其它考虑.....	(138)
6.13.1 中心资源.....	(138)
6.13.2 中断响应周期.....	(139)
6.13.3 标准总线桥.....	(140)
6.13.4 设置后的状态.....	(140)
第七章 PCI总线产品开发与总线接口设计.....	(142)
7.1 PCI总线产品开发.....	(142)
7.1.1 PCI总线基础产品开发.....	(142)
7.1.2 PCI总线系统产品开发.....	(142)
7.1.3 PCI总线外设产品开发.....	(143)

7.2	PCI总线开发工具.....	(144)
7.2.1	基于软件的总线接口模型.....	(144)
7.2.2	偏重硬件的PCI总线实习器.....	(145)
7.2.3	PCI总线预处理器.....	(145)
7.2.4	板卡测试工具.....	(146)
7.2.5	PCI总线系统开发工具.....	(146)
7.3	PCI总线组件产品.....	(146)
7.3.1	PCI总线组件概念.....	(146)
7.3.2	PCI组件的种类、用途、性能及供应商.....	(148)
7.3.3	PCI总线外设高速处理大规模集成电路.....	(149)
7.4	PCI总线接口设计.....	(152)
7.4.1	PCI总线电气规范参数的要求.....	(152)
7.4.2	PCI总线接口信号.....	(153)
7.4.3	PCI总线状态机.....	(154)
7.4.4	PCI总线接口设计技术.....	(156)
7.5	PCI总线高速接口设计.....	(158)
第八章	PCI总线与多媒体板卡.....	(162)
8.1	概论.....	(162)
8.2	多媒体的关键技术——数据压缩.....	(163)
8.2.1	图像数据压缩原理.....	(163)
8.2.2	图像压缩编码方法.....	(164)
8.2.3	常见图像压缩标准.....	(165)
8.3	解压卡、声卡及相关芯片.....	(167)
8.3.1	PCI总线动态视频解压卡.....	(167)
8.3.2	声卡及声音处理芯片.....	(171)
8.4	PCI总线Trio32 / Trio64集成图形加速.....	(172)
8.4.1	概述.....	(172)
8.4.2	Trio32/Trio64芯片引脚定义.....	(174)
8.4.3	Trio32/Trio64芯片复位与初始化.....	(179)
8.4.4	Trio32/Trio64系统总线接口.....	(181)
8.4.5	显示存储器.....	(184)
8.4.6	RAM DAC的功能特性.....	(192)
8.4.7	时钟合成与控制.....	(194)
8.4.8	接口功能及其他功能.....	(197)
8.4.9	Trio32/Trio64的软件设置.....	(202)
8.4.10	VGA兼容性支持.....	(208)
8.5	PCI总线 S3 VGA加速显示卡.....	(208)
8.5.1	S3 VGA加速显示卡简介.....	(209)
8.5.2	S3 VGA卡分辨率与显.....	(209)

8.5.3 S3 VGA卡结构.....	(210)
8.5.4 S3 VGA卡与PCI总线接口信号.....	(210)
8.6 PCI总线S3加速多屏幕显示卡.....	(211)
8.6.1 多屏幕微机原理.....	(212)
8.6.2 多屏幕微机技术参数与系统结构.....	(213)
8.6.3 多屏幕微机的应用.....	(214)
8.6.4 多屏幕微机显示技术发展趋势.....	(216)
8.7 PCI总线SCSI卡及多媒体网卡.....	(217)
8.7.1 PCI总线SCSI卡.....	(217)
8.7.2 多媒体网络与PCI总线网卡.....	(218)
第九章 多媒体技术与多媒体计算机应用.....	(221)
9.1 超媒体技术.....	(221)
9.2 多媒体创作工具.....	(222)
9.3 PCI总线多媒体计算机(MPC)	(226)
9.3.1 多媒体计算机与CPU的关系.....	(226)
9.3.2 多媒体计算机与总线的关系.....	(227)
9.3.3 PCI总线多媒体计算机硬件结构.....	(227)
9.3.4 多媒体计算机软件系统.....	(228)
9.4 MMX技.....	(229)
9.4.1 MMX技术设计思想.....	(229)
9.4.2 MMX核心技术.....	(229)
9.4.3 MMX多媒体处理器开发方法.....	(231)
9.5 多媒体技术应用——视频点播(VOD)系统.....	(232)
附录A 专用周期信息.....	(235)
附录B 状态机.....	(236)
附录C 操作规则.....	(243)
附录D PCI词汇表.....	(246)
参考文献.....	(249)

第一章 计算机总线概论

1.1 总线概念及分类

1. 总线定义

总线对于任何计算机系统而言，都是一个非常重要的部件。就其功能而言，总线是计算机各模块间进行信息传输的通道。它包括通道控制、仲裁方法和传输方式等内容。I/O总线以机械形式、电气特性和通信协议等方面在插件板级之间建立了一个标准，以规约CPU与磁盘驱动器、显示器和打印机等外设间的数据传送。随着计算机技术的快速发展，总线结构也越来越复杂，总线功能越来越强。了解总线，对于设计、开发微机产品的工程技术人员来说显得越来越重要。

2. 总线分类

计算机总线分为系统总线、外部总线、内部总线三部分。有人把外部总线叫做I/O总线，把内部总线和外部总线叫做局部总线，以便和系统总线加以区分。本书讨论的总线属外部总线，也称为I/O总线，属局部总线范畴。

计算机总线从性能上区分可分为高端总线和低端总线。高端总线是指支持32位、64位处理器的总线，侧重于提高处理能力。低端总线一般支持8位、16位处理器，其重点是I/O处理，组合灵活。所以高端总线处理能力强，低端总线I/O性能好，各有偏重。在总线技术方面，可分为传统总线和现代总线。虽然总线技术发展不过是20年的事，但由于发展迅速，不同的总线有着质的区别。传统总线依赖CPU处理芯片，有的总线实际上就是CPU处理器引脚的延伸。而现代总线对CPU的依赖在减弱，PCI总线可以不依赖任何CPU，而且有很好的兼容性。现代总线的高级特征还体现在支持高速缓存Cache的相关性、支持多处理机、可以自动配置等方面。低端传统总线有：IBM-PC/XT、ISA、STD等。高端现代总线有：PCI总线、MCA、VL-BUS、EISA总线等。

1.2 PCI总线的孕育和发展

总线是解决信息传送问题的工具，微机系统性能与总线性能是密切相关的。因此，微机性能的提高必然要求总线性能提高。影响总线技术发展的因素很多，其中商业利益是个很重要的因素。PCI总线的诞生既是微机技术发展的需要，也是公司利益的需要。

1. 动力之一

PCI总线普及发展的动力之一是GUI(graphical user interface)的发展。图形用户接口以其良好的人机界面和操作方便等性能得到了迅速发展，以Windows为代表的新一代操作系统风靡全球。图形界面操作系统需要大容量存储器，因而，刺激了RAM芯片的生产，同时也对总线提出了更高的性能要求。请看下面的计算：

在多媒体视频图像的显示中，设分辨率为 640×480 ，每秒30帧，显示彩色深度为24

位，则：

$$\begin{aligned}\text{多媒体显示卡的数据吞吐量} &= 640 \times 480 \times 30 \times 3 \\ &= 27.648 \text{MB/s}\end{aligned}$$

高速光纤网100Mb/s的传输速率，需要总线的吞吐量为：

$$\begin{aligned}100\text{Mb/s FDDI的吞吐量} &= 100\text{Mb/s} \\ &= 12.5\text{MB/s}\end{aligned}$$

由此看出，100Mb/s光纤网传输视频动态图像必须借助压缩技术。

外围设备数据吞吐量与总线传输率之间的比例关系没有严格规定，一般地，一条总线可能挂接3~5个高速外设，因而总线的最大传输率应为高速外设的3~5倍，即：

$$\text{总线最大传输率} = (3 \sim 5) \times \text{高速外设吞吐量}$$

由此可计算出多媒体视频播放卡对总线最大传输率的需求为：

$$\begin{aligned}\text{Tran Multimedia} &= 27.648 \times (3 \sim 5) \\ &= 82.944 \sim 138.24 \text{MB/s}\end{aligned}$$

在100M FDDI光纤高速网络中，对总线最大传输率的需求为：

$$\text{Tran FDDI} = 12.5 \times (3 \sim 5) = 37.5 \sim 62.5 \text{MB/s}$$

而IBM ISA总线的最大传输率为8MB/s，EISA总线为33MB/s，这远不能满足图形操作系统和高速网络的要求。而PCI总线的传输率为133MB/s，VL-BUS为266MB/s，这类总线可以满足以上要求。

2. 动力之二

PCI总线得以发展的另一个重要原因，是它可以降低系统成本。用大量面向PCI总线的处理芯片构造设计的系统机、工作站、外围设备及板卡的性能十分优越，处理能力、智能控制水平、传输速度都很高。这些性能的实现，若不采用面向PCI的芯片设计，将使成本升高10~15%。因而，PCI总线一推出，就被计算机和外围设备厂商竞相采用。

值得一提的是，VL-BUS(有人称VESA总线)的性能也十分优越，但它没有PCI总线那样普及。原因就是VL-BUS为i486芯片专用，不支持586CPU，中间还须增加桥接电路。其次，它是非多路复用，信号庞杂；另外还有5V~3.3V信号环境等问题。有些设计师说，VL-BUS是“不严谨”的。但笔者认为，该总线在i486微机上仍是一种经济实用的高性能总线。

3. 动力之三

PCI总线正在成为事实上的标准。尽管几年前局部总线标准在486机器中曾经风光一时，但在pentium机器中，PCI总线已明显优于VL-BUS。在网络应用中，IBM公司已经在销售含有PCI插槽的服务器，该公司将要逐步淘汰MCA总线结构的服务器。对Apple来说，尽管NUBUS总线已忠实为用户服役了七年，现在也不得不让位于PCI总线。

PCI总线的诞生还应当部分地归功于微机霸主地位的竞争。由于IBM PC机系统的开放性，全世界PC机的制造商纷纷向其IBM PC标准靠拢，使IBM PC系列产品风靡全球。与此同时，Intel和Microsoft也迅速发展壮大起来，对IBM构成了威胁。IBM为保护自身利益，将计算机总线由ISA总线升级到MCA总线，并于1987年4月在PS/2机上推出。MCA是32位总线，传输率为40MB/s，可共享资源，具有多重处理能力。为了遏制其他厂家仿制，IBM公司未将MCA总线技术标准公布于世，使这一高性能总线为公司专有产品。

为了打破IBM的垄断，1988年9月，Compaq、AST、Epson、HP、Olivetti、NEC等9家公司联合起来，推出了一种兼容性更优越的总线，即EISA总线。该总线除了具有与MCA总线完全相同的功能外，还与ISA总线100%兼容。EISA总线是32位总线，支持多处理器结构，具有较强的I/O扩展能力和负载能力，支持多总线主控，传输率为33MB/s，适合用于网络服务器，高速图像处理，多媒体等领域。由于EISA总线是兼容商共同推出的，技术标准公开，因而受到世界上众多厂家的欢迎，相继有上百种EISA卡问世。

Intel公司联合IBM、Compaq、AST、HP、DEC等100多家公司共谋计算机总线发展大业。1991年下半年，Intel公司首先提出PCI总线的概念，并成立了PCI集团。PCI总线的英文全名为：Peripheral Component Interconnect Special Interest Group，简称PCISIG。IBM、DEC、Compaq、Apple、NCR等公司被选为领导公司，而Intel成为公司的永久领导成员。

1.3 总线组成及总线功能

1.3.1 总线组成

微型计算机总线主要由四部分组成。它们是：

- (1) 数据总线；
- (2) 地址总线；
- (3) 控制总线；
- (4) 电源。

1. 数据总线

数据总线是外部设备和总线主控设备之间进行数据传送的数据通道。通常用 $D_0 D_1 \dots D_n$ 表示数据位的序号，序号和数据的位权是一致的。 D_7 的位权是27，如果 $D_7=1$ ，这位数代表 $(128)_{10}$ ；如， $D_7=0$ ，则该位十进制数也为0。 n 表示数据宽度，表示总线传输数据的能力。STD总线是8位总线，高位 $D_n=D_7$ ， $n=7$ 。ISA总线是16位总线， $D_n=D_{15}$ ， $n=15$ 。PCI总线数据宽度为32位， $D_n=D_{31}$ ， $n=31$ 。PCI总线一次可传送32位数据，即4个字节。总线中的数据总线宽度基本上表征了总线数据传输能力，反映了该总线的性能。

2. 地址总线

地址总线是外部设备与主控设备之间传送地址信息的通道。通常用 $A_0 A_1 \dots A_n$ 表示。地址总线的宽度，表明了该总线的寻址范围。如IBM-PC/XT总线，有16位地址线，该总线构成的计算机系统所具有的寻址范围为1MB空间。有些计算机系统将I/O端口地址另行编码，有专用访问I/O的指令。有些计算机将I/O端口地址与内存地址统一编码，从中划出一部分作为I/O端口地址。因此，这些外设的I/O端口地址，也由这些总线传送。在PCI总线构成的计算机系统中，有内存空间、I/O空间、配置空间之分，但这三种不同的空间是从地址总线的译码空间分别划出的三个区域范围。PCI总线有32条地址线，寻址能力达到4G字节，可构成相当庞大的计算机系统，具有很强的计算能力。

3. 控制总线

控制总线是专供各种控制信号传递的通道，总线操作的各项功能都是由控制总线完

成的。控制总线信号是总线信号中种类最多、变化最大、功能最强的信号，也是最能体现总线特色的信号。一种总线标准与另一种总线标准最大的不同就在控制总线上，而它们的地址总线、数据总线、电源可以相同或相似。我们以ISA总线和PCI总线的控制信号作一比较：

在ISA控制总线中，控制信号有总线允许、DMA传输、中断请求、I/O控制、存储器读写、系统复位(RST#)以及时钟(CLK)信号等。ISA控制总线操作可分为：

I/O总线操作 外设与主控设备之间建立联系，数据在外设与主控设备之间流通。如软、硬盘读写，数据显示，网络数据传输等。

DMA总线操作 用DMA方式在外设与存储器之间传递数据而封锁主控设备的参与，由DMA控制器控制总线占用权。

中断控制 外设通过中断线向主设备提出服务请求信号，主设备根据中断优先级进行响应。

在PCI总线中，控制信号分为：接口信号、出错报告信号、系统信号三类。

接口信号 表明在PCI总线上两个传输数据的设备，一个发送准备好，一个接收准备好。即TRDY#和IRDY#。FRAME#(帧周期)信号指示一个事务或作业的起始时刻，STOP#表明暂停总线作业。

出错报告 SERR#、PERR#是出错报告信号。它表征系统自我监测自我约束的控制能力。

系统信号 它包括时钟(CLK)和复位(RST#)两种信号。时钟信号为所有PCI上的传送提供时序，对每个PCI设备，它都是输入。除RST#、IRQA#、IRQB#、IRQC#、IRQD#外，所有别的PCI信号都在CLK上升沿采样。PCI操作的最高频率可达33MHz，最低频率是直流(0Hz)。复位信号用于使PCI确定的寄存器、顺序发生器和信号置于一个固定的态。无论何时，在RST#有效期间，所有PCI信号必须被驱动到它们的起始状态。在通常情况下，这意味着它们必须为三态，SERR#被浮空。在无效或有效时，RST#可以与CLK异步。

总线占用请求和总线占用允许，是系统对总线控制权的管理。PCI总线上任何主控设备要想占用总线，都必须先申请占用并被允许占用后才能占用。

控制总线是总线中最有特点的部分，无论那种计算机总线，无论它具有什么特色，都必须通过控制总线来实现。可以这样讲，数据总线看宽度，它表示构成计算机系统的计算能力和计算规模；地址总线看位数，它决定了系统的寻址能力，表明构成计算机系统的规模；而控制总线则代表该总线的特色，表示该总线的设计思想、控制技巧。

4. 电源

电源+12V、-12V、+5V、-5V，是系统必备总线，-5V用得较少，+5V要求大电流供电。PCI总线还有3.3V电源信号，这表现了计算机系统向低压发展的趋向，即电源的种类在向3.3V，2.5V，1.7V方向发展。

1.3.2 总线功能

总线功能是计算机总线研究的重点，计算机的A-BUS，D-BUS，C-BUS，即地址总线、数据总线和控制总线，无不为提高计算机总线的功能而精心设计它们。

计算机总线功能有以下几点：

- (1) 数据传输功能；
- (2) 中断功能；
- (3) 多主设备支持功能；
- (4) 错误处理功能。

1. 数据传输

数据传输功能是总线的基本功能，用总线传输率来表示，即每秒传输字节的多少，单位是MB/s(兆字节/秒)，也表示为MBPS。影响总线传输率的因素有：总线宽度、时钟频率等。总线信号传输类型有同步传输、异步传输。对不同总线这些量是不同的，如表1-1所示。

表 1-1 几种总线传输能力的比较

总线类型	总线宽度 (位)	总线频率 (MHz)	传输方式	传输率
STD	8	2	异步	2MB/s
ISA	16	8	异步	16MB/s
PCI	32	33	同步	132MB/s

2. 中断

中断是计算机对紧急事务响应的机制，是计算机反应灵敏与否的关键。当外部设备与主设备之间进行服务约定时，中断是实现服务约定的联络信号。中断信号线的多少，反映了系统响应多个中断源的能力。中断优先级是中断源申请服务的级别，由主设备确定。计算机总线只是快速、准确的将中断信号传递给主控设备，便完成了总线的职责。ISA总线有14个中断源，一部分提供给常规外设，一部分提供给用户，另一些为系统自用。PCI总线的中断是非同步的、可定义的。PCI总线定义一个中断向量对应一个信号设备，4个以上中断向量对应一个多功能设备或连接器。

3. 多主设备支持

多主设备支持功能。多主设备使用同一条总线，首先是总线占用权问题。总线仲裁有不同的算法，哪一个主设备申请占用总线，由总线仲裁器确定。在ISA总线中，DMA控制器和微处理器争用总线，实际上DMA与微处理器不是公平占用总线的，而是利用总线“周期窃取”的方法，“盗用”总线，或“非法”使用总线。而Multi bus, VMEbus, PCI bus专门设有总线占用请求信号(REQ#)和总线占用权得到信号(GNT#)，各个主设备占用总线是合法的、透明的，而不必再“盗用”。

4. 错误处理

错误处理包含奇偶校验错、系统错、电池失效等错误检测处理，及提供相应的保护对策。现代总线的传输能力、控制能力和可靠性，都是用户关心的焦点，这些功能是保证每条总线正常工作所必不可少的，是总线可靠性、坚固性的主要保障措施。

1.4 总线传输及总线缓冲

1.4.1 总线传输

在总线上传输的计算机信号是数字信号。随着总线频率的不断提高,这些信号在总线上的传输变成了微波传输,远不是以电平方式,以低电平表示0,高电平表示1那样简单。总线数据以波的方式在总线上传输,总线在不同频率下的不同的特征阻抗,对不同的频率数字信号传输效果是不一致的。当计算机总线信号在电路板上,在延长排线中传输时,由于电介质的不同,特征阻抗不同,信号所发生的反射也不同。总线上任一点的信号波形,可用单位阶跃电压的传输函数表示。总线的传输方程、传输函数、波动方程,在一些资料中有叙述,这里不再赘述。

PCI总线采用无端接方式传输信号,信号传输通过反射波实现。当某一总线驱动器驱动某一信号时,往往只将信号电平驱动到所需电平的一半,反射波在通道终点返回、叠加,达到驱动所需电平的目的。PCI总线在0~33MHz频率范围内工作,当工作于33MHz时,信号的往返时间,即反射波回到原点的时间不得超过10ns,这要求驱动总线,发送信号的设备的输出阻抗,接收信号设备的输入阻抗和PCI总线的特征阻抗有最佳匹配。因此,PCI规定了I/O接口设备所必需的电压、电流特性,特别是电平转换瞬间的交流特性。或称信号建立时间、电压上升速率、或电压下降速率(V/ns)。所以有这样严格、苛刻的规定,主要是因为PCI总线的高频特性所导致的。

1.4.2 总线缓冲

高速的总线传输特性,需要总线缓冲来支持。总线缓冲技术的目的有两个,其一是数据在总线上高速传输,增加了总线的负担,采用高速缓冲存储器存储常用数据,减少常用数据在总线上重复传输,用以提高计算机系统效率;其二是总线信号要驱动许多寄存器的使能端,为了增加总线的驱动能力,隔离各种I/O设备与主设备的直接连接,以免造成对计算机系统性能的影响。

当今,微处理器的性能不断提高,总线宽度由8位增加到16位,32位,64位,处理能力不断加强,高性能的处理器对存储器系统的带宽提出了很高的要求。先进的RISC结构,高速VLSI的应用,使工作频率不断提高,大大缩短了处理器的执行周期。共享存储多处理器结构也变得很普遍,使得对与存储器相连的总线带宽提出了更高的要求。可以说,高速处理器的发展,提高了总线带宽的要求,促进了高速缓冲存储器的发展。

1.4.3 高速缓存(Cache)

高速缓存是指高速的缓冲存储器,它存有使用最频繁的指令和数据,以备处理器访问。Cache使用存储器空间定位和暂存定位方式。空间定位是计算机程序的天然特性执行位置相近的指令。暂存定位是在一段短时间内,程序访问整个数据中的一小部分,并访问很多次。高速缓冲硬件Cache保存了数据的轨迹,并以很高的可能性存储了处理器访问频率较高的数据。典型情况下,系统中Cache与整个RAM总容量之比为20:1000。

1. Cache的组成

Cache由与系统RAM一样结构的许多“行”和“块”组成。当CPU请求对RAM访问时，首先检查Cache内的数据，如果以前对系统RAM的访问数据已经在高速缓存内，就可立即读到CPU中，这被称作Cache命中。Cache失败则需要从系统RAM中取出数据，同时送给CPU和Cache。

Cache在物理上由两个同样长度的高速存储阵列组成。一个阵列用于缓存数据，它的每一点是一个“Cache行”或“Cache块”；另一个阵列用于缓存目录。

2. Cache的工作过程

由CPU送出的存储位置信息由三个域组成：标记，索引和字节数。索引用于访问目录和数据行，目录的内容是以前存储数据的标记，它同地址中的标记域相比较，若相符则表示命中，由字节域指定合适的字节长度的数据送给CPU。这就是Cache命中的详细过程。若标记不符，则Cache失败，把地址转向系统RAM。系统RAM提供数据送给CPU，同时也替换高速缓存中的数据，并更新目录中标记。

Cache硬件能处理写操作的全写和回写。在全写情况下，所有的写操作更新Cache也更新系统RAM。可以通过同时向Cache、RAM写，并允许CPU连续读的方法，减少时间消耗。如果接下来是Cache写或读失败，则CPU访问系统RAM，等待写操作完成。在回写情况下，Cache更新数据，但并不将数据送往系统RAM，Cache目录必须通过一个标志位跟踪所有被CPU修改过的行。当某行被选中替换时，如果这一行有标志位，要将数据回写到系统RAM。Cache也必须处理由I/O处理器或直接存储访问通道发出的对存储器的更新。为了实现这一点，Cache必须监视系统总线，并使任何被I/O设备更新的行无效，这称为总线看守。

3. Cache的功能

Cache的两个主要功能是减少CPU对存储的等待和缓解总线拥挤。两者的参数都取决于Cache的失败率。

失败率M为对Cache访问失败次数n与总访问次数N的比。写作：

$$M = n / N$$

有效存储等待时间与失败率有如下关系：

有效存储等待时间 L_e =Cache等待时间 L_c +失败率 $M \times$ 系统RAM等待时间 L_{RAM} ，写作：

$$L_e = L_c + M \times L_{RAM}$$

系统RAM由CPU产生的信息流量为：

系统总线上的信息流量 T_{bus} =失败率 $M \times$ CPU总信息流量 T_{CPU} ，写作：

$$T_{bus} = M \times T_{CPU}$$

计算机系统的有效存储等待时间和系统总线的信息流量都和Cache失败率有关。因此减少Cache失败率可以提高系统运行速度，减少总线拥挤。

Cache的失败率与Cache的容量成反比。当Cache容量一定时，Cache行的大小也影响失败率。存在一个Cache行大小的优化值，大于、小于优化值都使Cache效率变低。当Cache容量一定时，行的长度增加，行的数量就会减少，因为：Cache容量=每行字节数(长