

第一部分 主 机

第一章 概 述

第一节 微机发展过程

微机发展过程与 CPU 发展过程密切相关,一般说,一种新型、高性能的 CPU 芯片出现,很快会诞生一种新型高性能的计算机。因此,微机发展过程,实质上是 CPU 的发展过程。回顾二十多年来微机的发展,可分为下面几个阶段。

第一阶段,1971 年 Intel 公司首先发表了 Intel 4004 芯片,从此开始了微机的发展历程。采用 Intel 4004 为 CPU 的微机被称为 4 位机,即字长为 4 位二进制数。

第二阶段,从 1972 年到 1976 年,Intel 公司先后发表的 CPU 芯片有 8008、8080、8085 等,开始了 8 位机时代。

第三阶段,从 1978 年到 1982 年,Intel 公司又发表了 8086、8088、80186、80286 等,开始了 16 位机时代(包括准 16 位机)。

第四阶段,从 1985 年以后,Intel 公司先后发表了 80386、80486 等芯片,开始了 32 位机时代。

从 1971 年至今 20 年的时间里,微机的发展速度是惊人的。现在各行、各业、各个领域都广泛使用微机。随着科技不断发展,各种高性能、低价格的微机将会不断涌向市场。

第二节 微机分档

现在,国内市场上流行着各种型号的微机,但是,就采用的 CPU 而言,可把它们分为高、中、低三档。

低档机有长城 C520 系列、IBM PC 系列(含 PC/XT)、Super PC 系列(含 Super PC/XT)及各种兼容机。它们的共同特征是都采用了 8088 芯片作为 CPU。当然,在低档机中还有采用 M6800、Z80 等芯片作为 CPU 的微机,但它们在国数量不多。

中档机有长城 286 系列、PC/AT、AST286 等及其兼容机,其共同特征是都采用 80286 芯片作为 CPU,是中档机中的主流机。同样,中档机还有选用 M68000、Z8000 等芯片作为 CPU 的微机,它们在国数量较少。

高档机有长城 386 系列、Compaq386、AST386 等,它们的共同特征是都采用 80386 芯片作为 CPU,兼容性很好。当然,在高档微机中还应包括采用 80486 芯片作为 CPU 的微机。

Intel 公司推出的 80 系列芯片作为计算机的 CPU,它们具有向上兼容性,换句话说,在

80 系列 CPU 的低档机上生成的软件可以直接在 80 系列 CPU 的高档机上运行。

IBM 公司推出的 PS/2 30 机采用非等待状态的 8086 CPU,工作频率 8MHz,运算速度是 PC/XT 的 2.5 倍,有 3 个 PC 扩展槽,在 BIOS 级与 PC/XT 机的硬件接口兼容,BIOS 被设计成和尽可能多的 PC 软件兼容。因 PS/2 30 机速度高于 PC 系列机,与执行时间有关的 PC 软件在 PS/2 30 机上不能正确运行。

除 PS/2 30 外,其它 PS/2 系列机中都采用了新总线结构,即微通道结构。这种微通道总线是一种非多路转换总线(即地址线 and 数据线完全分开),它还有传送控制信号、仲裁信号、支持信号和电源电压的附加线。新总线与 PC 总线不兼容。

PS/250、PS/260 机采用的是 80286 CPU,它们是中档机。

PS/280 机采用的是 80386 CPU,它是高档机。

在 PS/250、60、80 机中都有一个标准的 PC BIOS 超集,有时称为 CBIOS,它有很强的兼容性,能运行所有的 PC 软件;另外,还有一个增强型 BIOS,称为 ABIOS,它支持多任务操作,最大寻址能力可到 16 兆内存。

第三节 如何选择微机

在今天的微机市场上流行着各式各样的微机,品种繁多,价格差异很大,要想购置一台称心如意的微机需注意下面几个问题。

首先要考虑兼容性。按理说,现在市场上流行的都是采用 Intel 公司的 80 系列 CPU 的微机,在汇编语言上都具有向上兼容性,在软件上也应该是向上兼容性的,而且相同 CPU 的微机之间应该全兼容。事实并非如此。例如人们所熟悉的 DBASE 语言,个别微机的兼容性只有 99.9%左右。也许有人说这点误差算不了什么,但在实际应用中,其它机器上能运行的程序,到这可能出问题。因此,在购买微机时,一定要先试行一下您所关心的软件,以免留下后顾之忧。

其次是性能/价格比。我们这里讲的性能/价格比是指在满足用户要求前提下考虑购买什么档次的微机,应该让实际使用的性能/价格比尽量接近机器本身具有的性能价格比。对于单用户、单任务、内存容量要求不大、速度也不求太快时,选择低档机便能胜任;对于多任务、多用户、内存容量要大、速度要求快时,应选择中、高档机。

第二章 微机基本结构

为使读者对微机系统的工作原理有一个基本了解,为今后的维修工作打下基础,本书以 PC 机为讲解实例加以剖析,供读者举一反三地去进一步分析其他机型。

第一节 PC 机的基本结构

例如,长城 0520-CH 机的基本结构,如图 2.1 所示。

汉卡和显示器接口由一块高分辨彩卡 014 板和一块中分辨彩卡 015 板组成,它们插在系统板的扩展槽上。

系统板的核心是 Intel 8088 CPU,支持 16 位操作,支持 20 位地址寻址,它可工作在最大模式,因此加了一个协处理器来提高运算性能。8088 的主频为 4.77MHz。

处理器支持电路提供 4 个 20 位 DMA 通道,3 个 16 位计数/定时器通道和 8 个中断优先级。其中 3 个 DMA 通道接到 I/O 总线上,以完成 I/O 设备与存储器之间的数据传送,无需 CPU 介入。另一个 DMA 通道用来刷新系统的动态存储器,这是通过编程控制一个计数/定时器通道,周期性产生一个 DMA 传送的假操作来完成。假操作产生一个存储器读周期,用它来刷新系统板和扩展槽上的动态存储器。

所有 DMA 数据传送需要 5 个 210ns 的 CPU 时钟周期。刷新 DMA 周期为 4 个系统时钟,即 840ns。

三个可编程定时/计数器通道的用途:通道 0 用来作为通用定时器,提供一个时、分、秒计时时钟;通道 1 用来定时控制 DMA 产生刷新周期;通道 2 用来作为扬声器的音调发生器。每个通道的最小定时周期为 $1.05\mu\text{s}$ 。

在 8 个中断级别中,6 个通过总线连到扩展槽,供各功能极使用。2 个被系统板使用。第 0 级有最高优先权,被接到通道 0 以产生周期性的中断控制时、分、秒定时器。第 1 级连到键盘适配器电路,接收由键盘送来的每个扫描码所产生的中断。8088 的不可屏蔽中断(NMI)用来报告内存奇偶校验错误。

系统板支持只读存储器(ROM)和读/写存储器。它有 $64\text{K}\times 8$ 的空间用于 ROM 或 EPROM。有 6 个扩展槽,每一个可连接一个 8K 或 16K 字节的部件。

系统板有连接键盘串行接口的适配器电路。一旦一个完整的键盘扫描码被接收到,这些

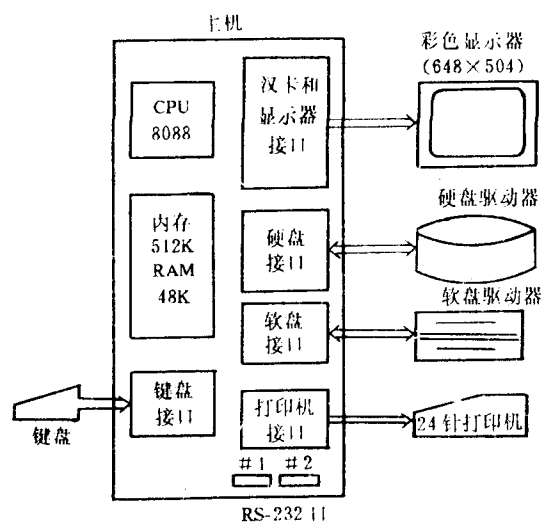


图 2.1 基本结构

电路便向 CPU 产生一个中断。接口也可请求对键盘进行诊断测试。

键盘接口是系统板上一个 5 脚 DIN 连接器,连接到机箱的前面。

主机箱中有一个 $2\frac{1}{4}$ 英吋的喇叭。喇叭的控制电路和驱动器在系统板上。喇叭通过一个双线接口连接。

喇叭控制电路允许按三种不同方式驱动喇叭:

1. 一个直接编程控制器位被触发可产生一个脉冲系列。
2. 从定时/计数器的通道 2 可编程产生一个波形输出到喇叭。
3. 输入到定时/计数器的时钟可用编程控制的 I/O 寄存器来调制。

第二节 中央处理器 CPU

任何微机的主机板都是以 CPU 为核心,周围再配上各种可编程的功能芯片,以扩充和提高 CPU 的性能。

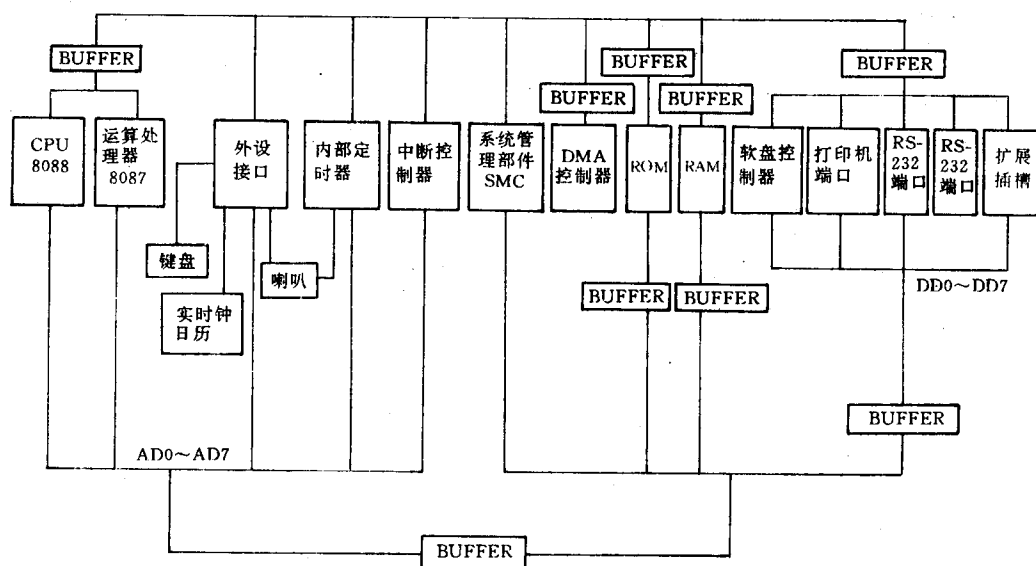


图 2.2 系统板的框图

在图 2.2 中,外设接口用的是 8255 芯片,内部定时器是 8253 芯片,中断控制器是 8259 芯片,DMA 控制器是 8237 芯片,系统管理部件 SMC 是 1001 门阵,它们都是 CPU 的支持电路。

CPU 一旦选定,整个微机的指令系统随之也被确定,微机的主要性能也就被大体上确定下来。

CPU 8088 工作的最高频率为 5MHz,因此人们在使用它时,常采用的系统时钟频率为 4.77MHz。

8088 的寻址能力为 1M,能进行 16 位的各种算术运算和逻辑运算。由于封装时采用了 40 脚双列直插式封装工艺,外部数据线成为双向 8 位线,内部是 16 位数据线,因此人们把采用 8088 CPU 的微机常常叫做准 16 位机。

8088 内部寄存器结构如图 2.3 所示。

AX, BX, CX, DX 为数据寄存器, 它们既可以处理 16 位数据, 又可以处理 8 位数据, 由程序自动选择。这 4 个寄存器都具有累加器的功能, 进行算术和逻辑运算, 并把运算结果存在其中。用途如表 2.1 所示。

表 2.1

寄存器	操作
AX	字乘法, 字除法, 字 I/O
AL	字节乘法/除法, 字节 I/O, 转移, 十进制算术运算
AH	字节乘法/除法
BX	转移
CX	串操作, 循环次数
CL	变量移位或循环
DX	字乘法/除法, 间接 I/O

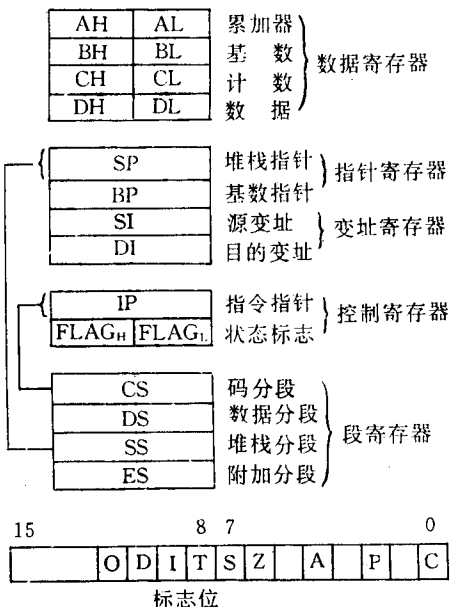


图 2.3 8088 内部寄存器结构

SP 为堆栈指针, 存放栈顶地址。它和 SS 一起确定堆栈中内存单元的地址。

BP、SI、DI 这 3 个寄存器, 在 8088 中增加了几种寻址方式, 从而能更加灵活地寻找操作数。

IP 为指令指针, 它必须和 CS 一起构成指令的地址。

FLAG 为状态标志(它的标志位在以后指令中介绍)。

CS 为码分段, 用来给出当前指令代码段的初始地址。

DS 为数据分段, 它给出程序使用的的数据段初始地址, 通常它要和数据地址偏移量一起给出数据的地址。

SS 为堆栈分段, 它给出程序当前使用的堆栈段的初始地址, 它和 SP 一起给出栈顶的地址。

ES 为附加分段, 它给出程序当前使用的附加段的初始地址。

从功能上讲, 8088 的内部可以分为两大部分: 总线接口单元 BIU 和执行单元 EU, 如图 2.4 所示。

CPU 与存储器之间的信息传送都由 BIU 负责。具体讲, BIU 从内存单元中取出指令, 送到指令队列(4 字节指令队列)排队, 在指令被执行时需要的操作数也由 BIU 从内存单元中取出送给 EU 去执

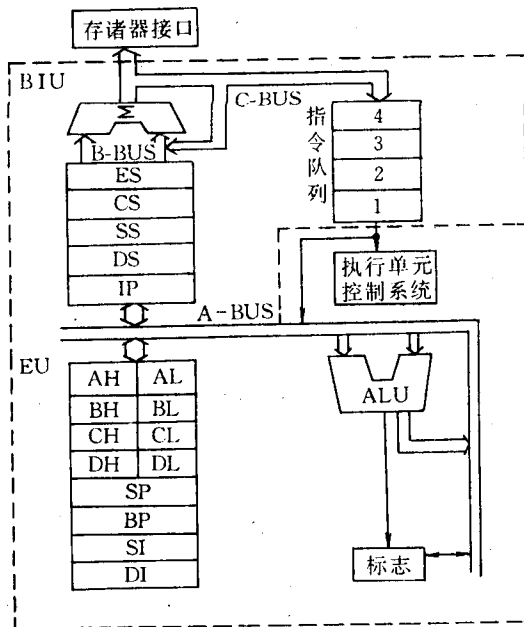


图 2.4 8088 内部的功能结构

行。

EU 负责指令执行,它和 ALU(算术逻辑运算单元)是微机中的控制运算中心,负责完成指令的操作。在指令运行过程中需要的所有信息由 BIU 提供。

正是由于取指和指令执行二者可以独立进行,从而大大提高了 CPU 的运行速度,节省了等待指令的时间。

8088 的 ALU 只能进行 16 位运算,寄存器都是 16 位的,因此,对地址的运算能力也只能进行 16 位操作,就是说,8088 的寻址方式、寻找操作数的范围最多为 64K 字节的内存单元。控制信号也可以由 DMA 控制器产生并控制微机正常运行。

第三节 系统总线

在微机的系统板上,可以看到印刷着许多并排的金属引线,它们担负着传输地址信号、数据信号和控制信号的重任,它们分别被称为地址总线、数据总线和控制总线,合称为系统总线。所有信号都通过它们来传递。这种以总线为信息交换中心的微机具有下述三大优点。

1. 微机硬件和软件的设计被简化

由于采用了系统总线,微机中各硬件之间的联系都被接到总线上。硬件设计只需满足总线信号的要求,硬部件插入总线便可正常工作,变成了模块化结构,人们形象地比喻为积木结构,给设计、安装、调试和修改带来了极大的方便。

2. 便于扩展和开发

总线结构给用户提供了数个 I/O 通道(即总线扩展插槽),系统总线的 62 根信号线全部与 I/O 通道连接。按总线标准设计的 I/O 选件可直接插入任意一个 I/O 通道上便可正常工作。

3. 系统总线可被其它总线控制器占用

一般微机中的系统总线主要由 8088 和 8087(如果存在)控制,以完成它们与内存和 I/O 端口之间的数据传送。除此之外,系统总线还可被 DMA 控制器 8237 控制,以完成软、硬盘与内存之间的数据传送和内存单元的定时刷新。一般说来,凡能产生总线控制信号的部件都可以占用系统总线。

系统总线的 62 根信号线与 I/O 通道的 62 脚插槽相联情况如图 2.5 所示。按其功能,62 根系统总线可划分为五大类:

1. 地址总线 $A_{19}-A_0$ (20 根)

地址总线用来指出内存地址时,20 根地址线全部有效,共可寻址 1M 字节的内存。当用来指出 I/O 端口地址时, $A_{15}-A_0$ 有效,可寻址 64K 字节的 I/O 端口地址。地址总线上的信号由 CPU 产生,也可由协处理器(如果有)产生,或由 DMA 控制器产生。

2. 数据总线 D_7-D_0 (共 8 根)用来进行 CPU、内存、I/O 端口和各输入/输出控制器之间的数据传送。它们是双向数据总线,每次只完成一个字节(即 8 位)的数据传送。

3. 控制总线共 34 根(控制线 21 根,状态线 2 根,辅助线 11 根)。

① 控制线

中断请求线 IR_2-IR_7 ,6 根本来中断控制器 8259 芯片有 8 根中断请求线 IR_0-IR_7 ,但是 IR_0 和 IR_1 被系统已占用。余下的这 6 根作为 I/O 设备向 CPU 发出中断请求的信号线。每一个 I/O 设备专用一根中断请求线。

DMA 请求线 DRQ_1-DRQ_3 , 3 根, 与此对应的应答线是 $\overline{DAK}_1-\overline{DAK}_3$ (低电平有效)。共 3 对 DMA 信号线, 每一个使用 DMA 操作的 I/O 设备用一对信号线。DRQ 信号由 I/O 设备发出, 当被 DMA 控制器响应之后, 向 I/O 设备发出应答信号 $\overline{DAK}$ 。DMA 控制器 8237 有 4 对这样的信号线, 但系统本身占用了 DRQ_0 信号线作为内存刷新使用。 $\overline{DAK}_0$ 虽与 I/O 通道相联, 但一般不使用。

$\overline{IOR}$ 和 $\overline{IOW}$ 是读写 I/O 端口时的控制信号, $\overline{MR}$ 和 $\overline{MW}$ 是读写内存时的控制信号。这些信号由总线控制器发出, 都受 CPU 发出的状态信号 $\overline{S}_0, \overline{S}_1, \overline{S}_2$ 控制。当然, 这些信号也可由 DMA 控制器发出。

ALE 是地址锁存信号, 由总线控制器发出。

T/C 是一个脉冲信号, 只用于 DMA 操作, 当数据传送完成后, 由 DMA 控制器发出。

RST 是系统复位信号。

② 状态线 2 根

I/O CHECK 是 I/O 设备的奇偶校验信号, 由插在 I/O 通道上的外设向 CPU 发出这个信号。当 I/O CHECK=0 时, 说明出现了奇偶错误。

I/O READY 是 I/O 设备准备好信号, 当它是 1 时, I/O 设备准备就绪, CPU 可进行读写; 是 0 时, I/O 设备未准备好, CPU 处于等待状态, 直到它变为高电平为止。这样就实现了 CPU 与慢速 I/O 设备间的协调工作。

③ 辅助线和电源线 (共 11 根)

OSC 是主振荡信号, 在长城和 IBM PC 系列机中一般为 14.31818MHz, 占空比为 1/2。

CLK 是系统时钟信号, 它是 OSC 的三分频信号, 占空比为 1/3, 当 OSC 为 14.31818MHz 时, CLK 为 4.77MHz (即周期为 210ns, 脉宽为 70ns)。

HRQ 是请求信号线, 一般不使用。

8 根电源线, 其中 3 根地线, 2 根 +5V 线, 1 根 +12V 线, 1 根 -12V 线, 1 根 -5V 线。

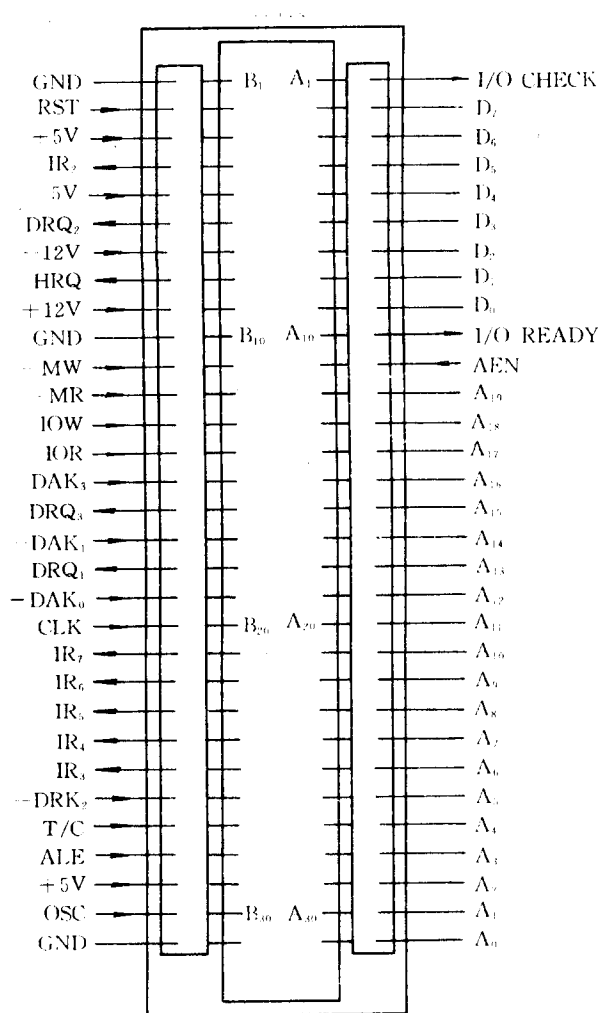


图 2.5 I/O 通道

第四节 CPU 的读/写周期

在微机系统中,CPU 除了进行内部操作外,它与外部还要进行大量的数据传送,即 CPU 的读/写操作。每进行一次读/写操作只能传送一个字节的数据(8 位)。读/写操作过程就叫做 CPU 的读/写周期。

CPU 的读/写周期可分为两大类:CPU 对存储器的读/写周期是指 CPU 对可寻址的 1M 内存的读/写周期;CPU 对 I/O 端口的读/写周期是指 CPU 对可寻址的 64K I/O 端口的读/写周期。

一、CPU 对存储器的读/写周期

在长城和 IBM PC 系列机中,CPU 对存储器的读/写周期由 4 个系统时钟周期组成,请参见图 2.6。

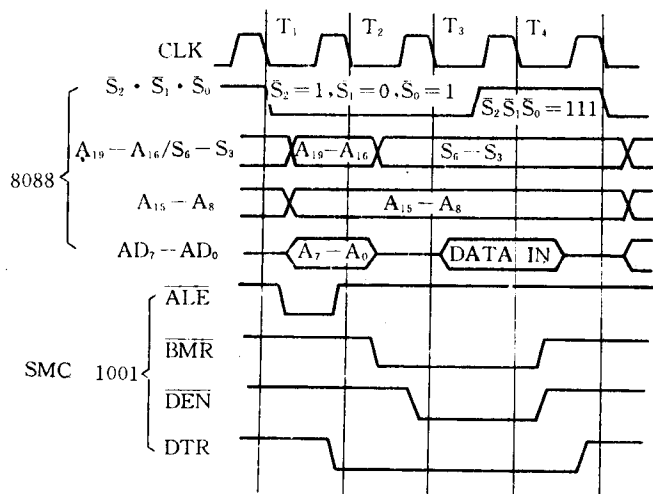


图 2.6 存储器读周期

① 在 T₁ 开始时,8088 发出 3 个状态信号 $\overline{S_2}$ 、 $\overline{S_1}$ 、 $\overline{S_0}$,与此同时 SMC 1001 输入这 3 个信号,并发出一些相应的控制信号(下面再讲),接着,8088 发出 20 位地址信号:

$A_{19}-A_{16}/S_6-S_3$ 为分时切换的地址/状态信号线,在 T₁ 周期,它们输出 A₁₉-A₁₆ 位的地址信号。

$A_{15}-A_8$ 在整个存储器读周期一直输出有效的地址信号。

AD_7-AD_0 为分时切换的地址/数据信号线,在 T₁ 周期,它们输出 A₇-A₀ 位的地址信号。

② SMC 1001 输入 $\overline{S_2}$ 、 $\overline{S_1}$ 、 $\overline{S_0}$ 后,立即发出地址锁存 $\overline{ALE}$ 的有效信号。 $\overline{ALE}$ 为低电平时打开这 3 个数据门,使 8088 输出的 20 位地址信号通过,并锁存在 SMC 1001 内。在 T₁ 周期末尾,SMC 1001 使 $\overline{DIR}$ (控制数据传输方的信号)变为低电平,使 $\overline{ALE}$ 变为高电平,切断 8088 的地址线与系统的地址总线之间的联系。

③ 在 T₂ 周期, $A_{19}-A_{16}/S_6-S_3$ 切换为输出状态信号 S₆-S₃, AD_7-AD_0 切换为数据输入并处于浮空状态,为 8088 接收数据做好准备。

④ 在 T₃ 周期开始后,存储器输出的数据出现在数据通路上,但 CPU 需等待一段时间

使数据(即 DATA IN)稳定。在 T_3 周期中,8088 输出的状态信号 $\overline{S_2}$ 、 $\overline{S_1}$ 、 $\overline{S_0}$ 全部为高电平,SMC 1001 立即接收到这 3 个状态信号。

⑤ 在 T_4 周期的下降沿处,8088 内部的数据线与外部数据线接通,把 DATA IN 输入 8088 的寄存器中。在 T_4 周期,SMC 1001 把它发出的控制信号全部恢复到初态,为下一个总线周期做好准备。如果下一个总线周期仍为存储器读周期,将重复上述过程。SMC 1001 把控制信号恢复为初态后,一个存储器读周期就算结束。

存储器写周期的过程类似,如图 2.7 所示。

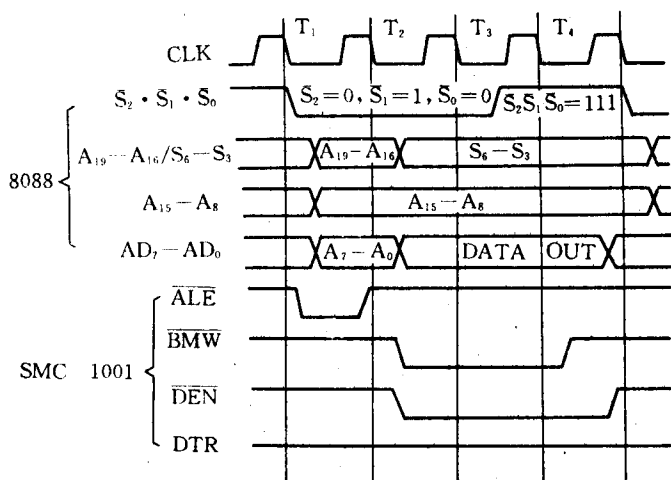


图 2.7 存储器写周期

二、CPU 对 I/O 端口的读/写周期

CPU 对 I/O 端口的读/写周期与存储器的读/写周期基本相同,差别只在于:

① I/O 端口的读/写周期使用了 5 个系统时钟周期 T_1 、 T_2 、 T_3 、 T_w 和 T_4 ,其中 T_w 叫等待周期。插入 T_w 以满足 I/O 端口工作速度较慢的要求。

② I/O 端口的读/写,CPU 只发出 16 位地址信号 $A_{15} \cdots A_0$ ($A_{19} \cdots A_{16}$ 为 0)。CPU 发出的状态信号 $\overline{S_2}$ 、 $\overline{S_1}$ 、 $\overline{S_0}$ 表示进行的是 I/O 端口的读写操作。

③ SMC 1001 输出的是 I/O 端口的读/写信号 $\overline{BIOR}/\overline{BIOW}$ 。

④ 8088 CPU 在 T_3 周期开始的下降沿处采样 RDY 输入信号。因进行 I/O 端口的读/写操作,故 RDY 为低电平。在 T_3 周期结束时插入一个 T_w 周期,直到 RDY 信号变为有效的高电平时,结束插入 T_w 周期而进入 T_4 周期。对于长城 0520 和 IBM/PC 系列机,RDY 信号是在 T_3 周期开始时下降为低电平,在 T_3 周期结束前为高电平,插入一个 T_w 周期,使 8088 CPU 对 I/O 端口的读/写周期为 5 个 T 周期。如图 2.8 和 2.9 所示。

三、I/O 端口地址的分配

在微机系统中,CPU 是系统的核心,其它一些大规模可编程芯片,如 8250、8253、8255、8259、8237 等,都是 CPU 的支持电路,其主要作用是扩充 CPU 的功能,完成某一阶段性任务。CPU 与支持电路之间的关系是靠 I/O 端口地址联系的。此外,系统中还有许多其它的 I/O 端口,有的辅助可编程芯片完成某一阶段性任务,有的担负 CPU 与外设之间的信号的传输、寄存等。总之,I/O 端口是微机系统中一个十分重要的组成部分。对 CPU 的支持电路采

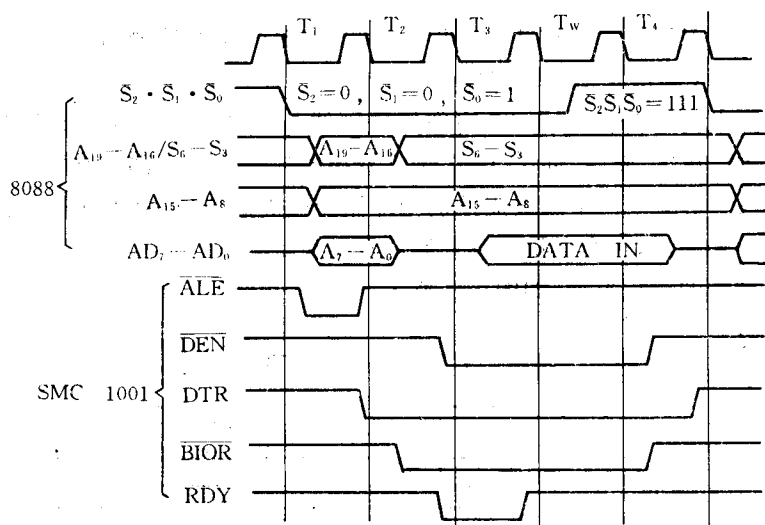


图 2.8 I/O 端口读周期

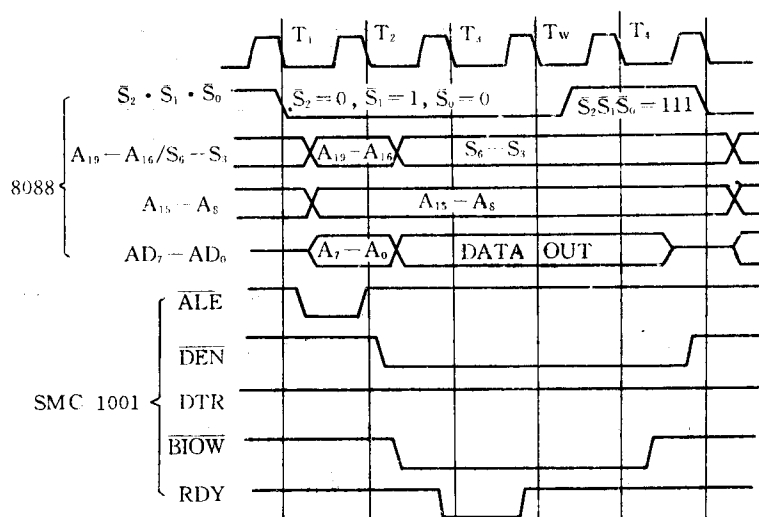


图 2.9 I/O 端口写周期

用两级译码方式,第一级译出选片信号,第二级由选片信号选中的芯片内部的译码器对输入的低位地址进行译码,最后选中内部的 I/O 端口。

长城 0520CH 机的打印口(打印机适配器的简称)在系统板上,它由几个 I/O 端口组成。当 8088CPU 对这几个端口进行读/写操作时,就发出相应的读/写命令。

实时钟 $\overline{\text{RTIM}}$ 和软盘 $\overline{\text{FLOPPY}}$ 信号,同样也是 CPU 发出的 I/O 地址译码而产生的, $\overline{\text{RTIM}}$ 对应 8088 CPU 发出的 I/O 地址为 $0\text{C}0-0\text{DFH}$, $\overline{\text{FLOPPY}}$ 对应的地址为 $3\text{E}0-3\text{E7H}$ 。

长城和 IBM PC 系列机只需 1K(即 1024)个 I/O 端口便可满足系统正常运行。对应 8088 CPU 发出的 I/O 地址: $A_{15}-A_{10}$ 均为 0, A_9-A_0 为 $000-3\text{FFH}$, 因此只需要对 A_9-A_0 这 10 位地址信号译码即可。长城 0520CH 机内这 10 位地址信号的分配情况,如表 2.2 所示。

表 2.2 I/O 地址分配

16 进制范围	用 法
000—00F	DMA 控制器 8237
020—021	中断控制器 8259
040—043	定时器 8253
060—063	并行接口 8255
080—083	DMA 页面寄存器
0AX	非屏蔽中断屏蔽寄存器
0C0—0DF	实时钟
0EX	保留
200—20F	游戏控制
210—217	扩充部件
220—24F	保留
278—27F	保留
2F0—2F7	保留
2F8—2FF	异步通讯口 I
300—31F	实验卡
320—32F	硬盘
378—37F	并行打印口
380—38F	SDLC 通讯
3A0—3AF	保留
3B0—3BF	IBM 单色卡/打印卡
3C0—3CF	保留
3D0—3DF	彩色/图形
3E0—3E7	保留
3F0—3F7	软盘
3F8—3FF	异步通讯口 I

注:表中 X 表示 0—F 的任意值

第三章 微机的接口

本章主要讲以并行接口 8255、定时器 8253 为核心而构成的键盘接口、喇叭接口、系统配置开关、I/O 通道校验等输入/输出电路。

第一节 并行接口 8255

并行接口 8255 芯片也称为可编程外围接口芯片,简称为 PPI 8255,在微机系统中,PPI 8255 主要用作 CPU 与外设之间的接口,传输它们之间的各种信息。其内部结构如图 3.1 所示。

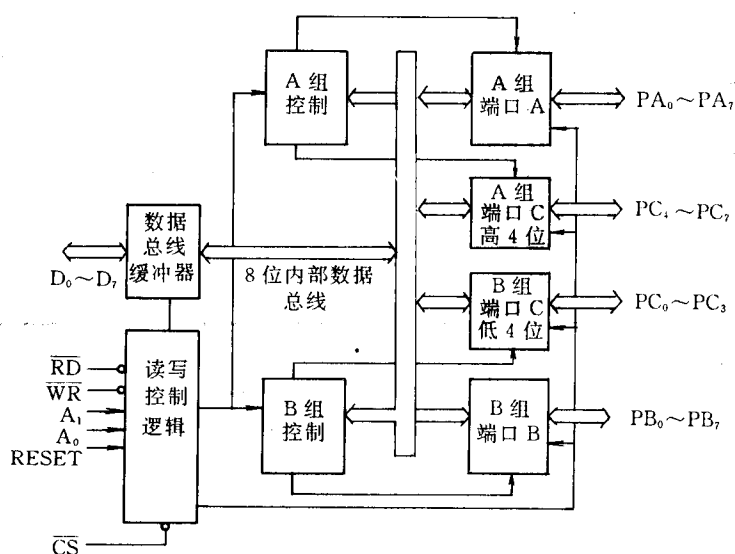


图 3.1 8255 内部结构

1. 数据端口 A、B、C

它们是 8 位数据输入/输出缓冲器,当作为基本的输入/输出端口(工作于方式 0)时,输出数据被锁存,输入数据不被锁存。

2. A B 两组控制电路

它们有一个控制寄存器,接受 CPU 送来的命令,然后分别决定两组的工作方式。

A 组控制电路负责控制端口 A 和 C 的高 4 位(PC_7-PC_4)。

B 组控制电路负责控制端口 B 和 C 的低 4 位(PC_3-PC_0)。

3. 读写控制逻辑

它输入地址总线中的最低两位地址信号 A_1 和 A_0 以及控制总线中的读/写命令信号,复位信号和选片信号,然后它再发出适当的命令控制有关的端口输入 CPU 发来的数据或命令。当然它也接收外设的数据或状态信息并把它们送至 CPU。

4. 数据总线缓冲器

它是 8255 与系统的数据总线之间的数据接口。CPU 发来的数据或命令经过它输入到 8255 内部。外设来的信息经过它传送给 CPU。

8255 内部 4 个端口与 $\overline{PPI}$ 、 A_1 、 A_0 的关系,如表 3.1 所示。

表 3.1 8255 内部端口与 $\overline{PPI}$ 、 A_1 、 A_0 的关系

$\overline{PPI}$	A_1	A_0	被选的	I/O 地址
0	0	0	端口 A	060H
0	0	1	端口 B	061H
0	1	0	端口 C	062H
0	1	1	控制寄存器	063H
1	X	X	8255 未被选中	X

8255 的外形及引脚如图 3.2 所示。

8255 有三种工作方式:

- 1. 方式 0:基本输入/输出方式。
- 2. 方式 1:选通输入/输出方式。
- 3. 方式 2:双向传输方式。只有端口 A 有此方式。

这三种工作方式由 CPU 写入 8255 的方式控制字 CW 来规定。方式控制字的各位定义如下:

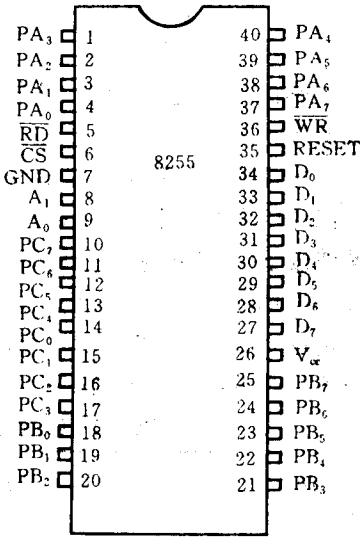
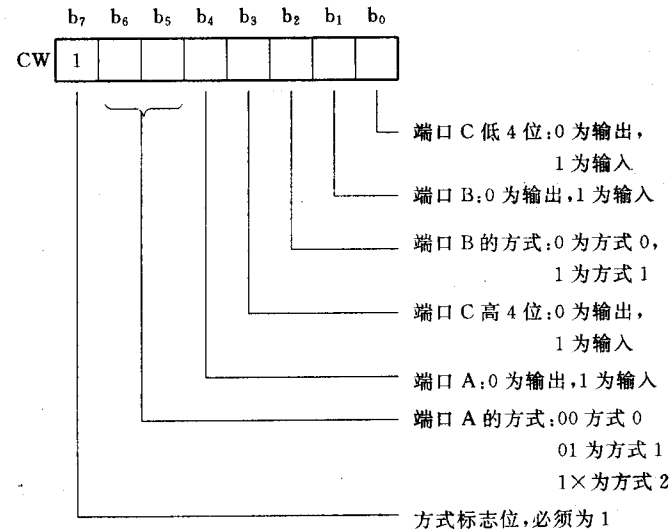
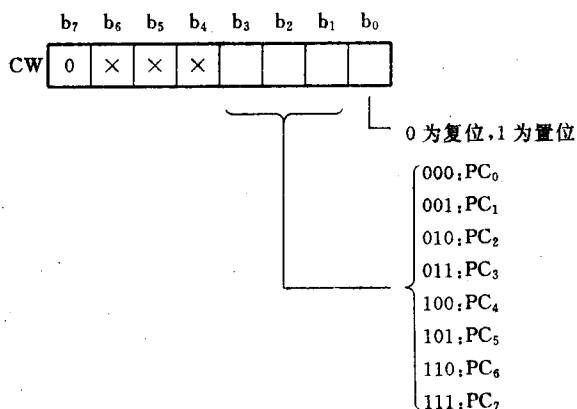


图 3.2 8255 的外形及引脚

用作对端口 C 各位的置位或者复位时,CW 各位定义如下:



在长城 0520 和 IBM PC 系列机中,8255 只工作于方式 0 状态,此时数据端口 A、B、C 只用作简单的输入/输出。用作输出时,数据可被锁存;用作输入时,只作为一个缓冲器,数据不被锁存。

第二节 键盘接口

键盘接口是主机的一个输入/输出接口,用户从键盘上输入的命令、程序等都通过这个接口送入主机。

键盘输出的数据不是 ASCII 码,而是扫描码。扫描码分为接通扫描码(键被按下接通时由该键所在行、列值决定)和断开扫描码(由接通扫描码加 80H 组成)两部分。当键盘上某个键被按下时,它的接通扫描码送向主机。该键被放开时,键盘再把它断开扫描码送向主机。键盘内部的处理器将扫描码以串行(低位在前高位在后)方式送向主机。一个键被接通的时间超过 0.5 秒,键盘内部的处理器便会以每秒 10 个扫描码向主机发送。键盘与主机是通过一条与芯电缆线相连,在 DIN 插口引脚上的位置如表 3.2 所示。

表 3.2 键盘与主机间的连接信号

DIN 插口 引脚	信号名称	方 向
1	CLOCK	双向
2	DATA	双向
3	$\overline{\text{RST}}$	双向
4	GND	电源地线
5	+5V	电源+5V 线

CLOCK 是键盘的时钟信号线,DATA 是数据信号线, $\overline{\text{RST}}$ 是复位信号线。当键盘内部的处理器发现某一个键被按下时,它先由 DATA 线向主机发出一个高电平并持续 0.2 毫秒,然后串行输出扫描码,扫描码的每位宽度为 0.1 毫秒。

在键盘接口电路中,最重要的芯片是 8 位移位寄存器 74LS322,其外形及引脚如图 3.3 所示。

74LS322 是带有符号扩展端的 8 位移位寄存器,它的主要功能是从串行数据输入端 D_0 。

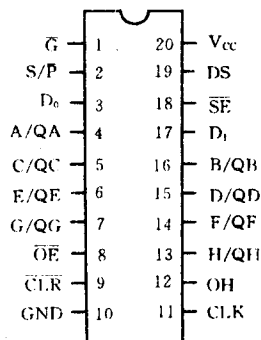


图 3.3 74LS322 外形及引脚

或 D₁(由选择信号 DS 定)每次接收一位数据,并依次向右移动一位,即 D₀/D₁→QA→QB→QC→QD→QE→QF→QG→QH→OH。74LS322 的功能如表 3.3 所示。

表 3.3 74LS322 的功能

工 作 方 式	输 入 端							输入/输出端			输 出
	$\overline{\text{CLR}}$	$\overline{\text{G}}$	S/P	$\overline{\text{SE}}$	DS	$\overline{\text{OE}}$	CLK	A/QA	B/QB…H/QH	OH	
清 除	L	H	X	X	X	L	X	L	L	L	L
	L	X	H	X	X	L	X	L	L	L	L
保 持	H	H	X	X	X	L	X	QA ₀	QB ₀	QH ₀	OH ₀
右 移	H	L	H	H	L	L	↑	D ₀	QA _n	QG _n	QH _n
	H	L	H	H	H	L	↑	D ₁	QA _n	QG _n	QH _n
符号扩展	H	L	H	L	X	L	↑	QA _n	QA _n	QG _n	QH _n
置 入	H	L	L	X	X	X	↑	a	b	h	h

注:L 表示低电平,H 表示高电平,X 为任意。

从表中可见,74LS322 有 5 种工作方式。在长城 0520 和 IBM PC 系列机中只使用了清除、保持、右移这 3 种工作方式。

第三节 实 时 钟

长城 0520CH 机中的实时钟电路使用了大规模集成电路 M58321 芯片。微机工作时,由机内+5V 电源向其供电,并向蓄电池 BATT 充电,关机后,蓄电池向其供电,保证了实时钟电路连续不断地工作。M58321 能够记录 100 年的时间,并能自动调整闰年。在每次开机工作时,时钟读/写程序运行后,把实时钟的当前时间:年、月、日、时、分、秒在屏幕上显示出来并供用户修正。

第四节 系统配置开关

微机的系统配置是可以改变的,例如磁盘驱动器的数目、显示适配器的类型、协处理器和内存容量等,需通过系统配置开关反映给微机,使其按配置正常工作。

主机内存容量的大小、显示适配器的类型是由软件自动识别的。在系统板上只设置了软驱数目和协处理器的开关。

第五节 定时器及其应用

可编程定时/计数器 8253 有六种工作方式,其中有些方式是以计数器的形式工作,有些方式则以定时器的形式工作。作为计数器时,当计数完成后只发出一个单一的脉冲信号,作为定时器时,它会发出连续不断的脉冲信号。

8253 芯片内部的结构及其引脚如图 3.4 所示。

8253 主要由下面 4 部分组成:

1. 数据总线缓冲器:它是一个 8 位双向三态缓冲器,负责完成与系统数据总线的接口。它有三个功能,一是通过它实现对 8253 的编程,二是通过它把数据传送到 8253 内的各个寄存器,三是通过它把 8253 内部各个寄存器的值传送给主机 CPU。

2. 读/写逻辑:它接收地址总线上最低两位地址 A_1 和 A_0 信号,并且接收控制总线上的两个读/写信号 $\overline{RD}$ 和 $\overline{WR}$,通过对它们译码实现对 8253 内部四个寄存器的读/写操作。

3. 控制寄存器:接收 CPU 送来的各定时器的控制字。每一个定时器的控制字决定了它的工作方式。

4. 8253 内部有 3 个互相独立的定时通道,即定时器 0、定时器 1、定时器 2。每个定时器实际是一个递减运算的 16 位减法计数器,在每一个时钟脉冲作用下做减法运算。每个定时器的工作方式由写入的控制字来确定。

8253 的定时通道 0 用来产生日时钟的中断请求信号(即定时器 0 的输出信号),作为中断控制器 8259

的中断请求 IR_0 的输入信号。按照需要,定时器 0 的输出每隔 55ms 向 8259 发出一个中断请求,再由 8259 向主机 CPU 提出中断请求。被响应后,CPU 立即调用 8 类中断服务程序,用来进行日时钟的软件计时。日时钟是靠软件进行计时的,和前面讲的实时钟不同,日时钟开机后由软件来计时,关机后自动消失。

8253 的每一个定时器内部都是一个 16 位计数器,在开始计数之后,其中的值在不停地发生变化。如果想读出计数器中的内容,采用一般的读操作需连续读两次,第一次读出计数器中的低 8 位,第二次读出计数器中的高 8 位。由于两次读的时间不同,很难确定读出的是哪一时间的内容。为此,8253 内部有一个 16 位数据锁存器,如果 CPU 要读某一计数器中的内容,只需把计数器中的 16 位数一次送入数据锁存器中保存起来,然后再进行连续两次操作即可。这个过程既不影响计数器的正常工作,又能获得计数器中的某一瞬间内容。

在长城 0520 和 IBM/PC 系列机中,主机内存采用的是动态 RAM 芯片,需要每隔 $15\mu s$ 时间对全部内存芯片进行一次刷新,也就是执行一遍读操作,才能保证芯片内的信息不被丢失。对整个内存进行一遍读操作占用的总线周期称刷新周期。

在长城 0520 和 IBM PC/系列机中,刷新过程是由 DMA 控制器 8237 的通道 0 来完成的。每隔 $15\mu s$ 要向 8237 的通道 0 发出一个有效的 DMA 请求信号。这个任务是靠 8253 的定时器 1 来完成的。

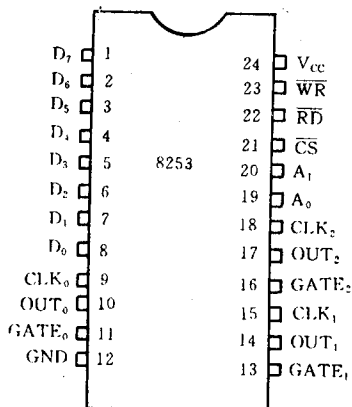


图 3.4 8253 引脚

第六节 喇叭接口

定时器 8253 的三个定时通道全部被使用。定时器 0 作为时钟信号发生器,定时器 1 作为产生系统内存刷新信号使用,定时工作为喇叭接口电路中扬声器的音频信号来使用。

喇叭接口电路分为二部分:一是喇叭发音的频率,二是喇叭发音的长短。喇叭发音的频率由 8253 定时器通道 2 的输出信号 OUT_2 的频率决定,发音的长短由 8255 的 PB_1 为高电平的时间来决定的。

第四章 微机系统的中断

第一节 中断的概念

在微机系统中,中断分为两大类:一类是软中断,一类是硬中断。在前面,我们介绍的中断指令叫软中断,中断原因(也叫中断源)是由中断指令引起的。硬中断则不然,中断原因是微机系统中的电路产生的。例如,键盘接口电路产生的键盘中断请求信号 IR1 和日时钟定时器产生的中断请求信号 IR0 以及本章要讲到的中断请求信号等,这些信号都能引起微机系统产生中断而使 CPU 转去执行中断服务程序。无论是软中断或硬中断,CPU 在运行中断服务程序时,都必须把断点地址(即中断前下一条需要运行的指令地址)和状态标志位以及一些有用的数据保存起来,一般是用堆栈指令来完成的。当中断服务程序结束时,要把保存起来的信息全部恢复到原来的寄存器中,CPU 再从断点处继续执行原来的程序。

在长城 0520 和 IBM/PC 系列机中,采用了一块 8259(中断控制器),它负责处理外部发来的中断请求信号,从而解决了快速 CPU 与慢速外设之间的通讯矛盾。使快速 CPU 能够为多个外设,多个任务系统服务,大大提高了 CPU 的使用效率。

第二节 中断控制器

中断控制器 8259 能处理外部 8 个 I/O 设备发出的中断请求。如果采用级联方式,最多可处理 64 个 I/O 设备发出的中断请求。8259 的内部结构如图 4.1 所示,它主要由以下 8 个部分组成:

1. 数据总线缓冲器:它是一个双向三态 8 位数据缓冲器。当 CPU 写或读 8259 时,用它来传输 CPU 向 8259 写入的各种命令字或把 8259 内部的状态传输给 CPU。

2. 中断请求寄存器 IRR:是一个 8 位寄存器,每位对应一个 I/O 设备。

3. 中断服务寄存器 ISR:是 8 位寄存器,每位对应一个 I/O 设备,用它来记录被 CPU 服务的那个 I/O 设备。

4. 中断屏蔽寄存器 IMR:是 8 位寄存器,每位对应一个 I/O 设备。当某一位被置成 1 时,对应的 I/O 设备发来的中断请求被屏蔽(即视为无效);当某些位被置为 0 时,对应的那些 I/O 设备发来的中断请求有效(即允许它们引起中断)。IMR 各位的状态可用软件来设置,CPU 可随时来读写它的值。

5. 选优电路:选择中断优先权最高的中断请求。如果多个 I/O 设备的中断请求使 IRR 中的某些位置 1,选优电路就从中选出优先权最高的一位送入 ISR 中对应的位,供 CPU 响应中断时获得它所决定的中断向量的编码。

6. 读/写逻辑电路:负责把 CPU 发来的各种命令字写入 8259 内部或把 8259 内部状态传送给 CPU。

7. 控制电路:它产生向 CPU 发出的中断请求 INT 并接收 CPU 发来的中断响应信号