

数字信号处理单片机 及其应用

李兰友 韩其睿 江 忠 编



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

URL: <http://www.phei.co.cn>

数字信号处理单片机及其应用

李兰友 韩其睿 江忠 编

電子工業出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

内 容 简 介

本书介绍数字信号处理单片机及其应用。全书共六章,第一至五章介绍常用 TMS 系列芯片的结构、指令、汇编程序及芯片与外设的接口电路等基本知识和用法;第六章介绍数字信号处理器在数字滤波、相关计算、自动控制、图像处理等方面的典型应用实例。全书内容新颖,重在实用。

本书可做为大专院校师生的教学参考书和继续教育培训教材,也可供工程技术人员参考。

书 名:数字信号处理单片机及其应用

编 者:李兰友 韩其睿 江 忠

责任编辑:王惠民

印 刷 者:北京牛山世兴印刷厂

出版发行:电子工业出版社出版、发行 URL: <http://www.phei.co.cn>

北京市海淀区万寿路 173 信箱 邮编 100036 发行部电话:68214070

经 销:各地新华书店经销

开 本:787×1092 1/16 印张:15.5 字数:380 千字

版 次:1997 年 8 月第 1 版 1997 年 8 月第 1 次印刷

书 号: ISBN 7-5053-4207-X
TN·1082

定 价:20.00 元

凡购买电子工业出版社的图书,如有缺页、倒页、脱页者,本社发行部负责调换

版权所有·翻印必究

前 言

单片数字信号处理器(DSP: Digital Signal Processor)的产品化,使数字信号处理技术从理论研究进入到实际应用阶段。单片处理器已成为现代信号处理技术的重要器件。

数字信号处理是 50 年代末发展起来的一门现代信号处理技术。特别是近十年来,国内外研究极盛,发展很快,应用领域越来越宽,成为现代信息处理技术的重要学科。

单片数字信号处理器是伴随着数字信号处理技术的发展,为适应数字信号处理技术中所要求的快速实时处理、处理数据量大、处理精度高等特点而开发的一种专用单片机。自 1979 年第一代信号处理器问世以来,因其在信号处理方面呈现出独到的优点,许多厂家竞相研制,不断开发新的品种,继 85 年推出第二代产品之后,87 年又推出可使用高级语言(C 语言)、用片级实现 32 位大型计算机功能的第三代数字信号处理器。在不断开发新品种的同时,各厂家均开发出与之产品配套的开发系统、仿真系统、模拟器等支援环境和工具。从而更加促进了 DSP 的广泛应用。DSP 已广泛应用于图像处理技术、语声处理、智能化仪表及自动控制系统、生物医学与工程、通信、自动检测系统等许多新技术领域,并且不断的拓宽其应用范围。

本书介绍常见 DSP 的基本知识及其典型应用。全书共六章。第一至五章介绍芯片使用时必须掌握的知识及注意事项,第六章介绍典型应用,并简述原理,列有硬件图形及软件程序,具有较高的工程参考价值。

参加本书编写和整理工作的还有朱文君,任智华,李玮,陳璟,王俊省等同志。由于编者水平有限,不当之处敬请指正。

编 者

1996.7

目 录

第一章 数字信号处理器发展概述	(1)
1.1 第一代 DSP	(1)
1.2 第二代 DSP	(2)
1.3 第三代 DSP 及 DSP 的发展动向	(3)
第二章 TMS32010 系列处理器	(5)
2.1 TMS32010 概述	(5)
2.2 TMS32010 的硬件结构	(7)
2.3 寻址方式和指令系统	(13)
2.4 TMS32010 程序设计	(17)
2.5 TMS32010 外部电路设计	(24)
第三章 TMS32020 系列信号处理器	(36)
3.1 TMS32020 概述	(36)
3.2 TMS32020 硬件结构	(39)
3.3 TMS32020 的指令系统	(48)
3.4 TMS32020 与外部设备接口	(52)
3.5 TMS320C20 汇编程序设计	(61)
3.6 TMS320C25 处理器	(67)
第四章 TMS320C50 及其它常用 DSP	(80)
4.1 TMS320C5X 处理器	(80)
4.2 μ PD77230 处理器	(96)
4.3 其它数字信号处理器简介	(114)
第五章 TMS320C30 与 'C40 处理器	(130)
5.1 TMS320C30 处理器	(130)
5.2 TMS320C40 处理器	(159)
第六章 数字信号处理器的应用	(172)
6.1 数字滤波器	(172)
6.2 采用 TMS320C25 实现 FFT	(184)
6.3 数据压扩	(187)
6.4 双 DSP 实时数字相关处理系统	(194)

6.5 自适应滤波器及用 TMS32020 实现	(202)
6.6 PC 和 DSP 之间的 DMA 通信	(206)
6.7 DSP56000/DSP56001 PID 控制系统	(212)
6.8 并行实时数字信号处理系统	(218)
6.9 SIMD 多 DSP 图象处理系统	(224)
附录 TMS320 系列指令系统	(230)

第一章 数字信号处理器发展概述

数字信号处理中的卷积、相关、窗口及 FFT 等,都是频繁进行大量数据的乘法和加法运算。通用微处理器(例如,8086、68000 等)因适用目的不同,在运算速度上难以适应信号实时处理的要求。随着大规模集成技术的发展,开发了一种集成有高速乘法器硬件、能够快速进行乘法和加法运算、适用于高速数字信号处理的单芯片大规模集成电路,这就是数字信号处理器(DSP)。近年来,DSP 在功能、处理速度和处理能力方面,都取得了划时代的突破,并广泛应用于数据通信、语音信号处理、智能化仪器、自动控制等技术领域中,展示了其独特的应用潜力。

1.1 第一代 DSP

早期的 DSP 器件是 1979 年 Intel 公司开发的 2920 和 AMI 公司的 S2811。但典型 DSP 还是 1980 年 NEC 公司开发的 μ PD7720 和 Bell 研究所开发的 DSP20。由于 DSP 器件在数字信号处理中展示了独特的优点,随之于 1982 年日立公司开发了 61810, TI 公司开发了 TMS32010 等 DSP 器件。这个时期开发的 DSP 器件,称为第一代 DSP,其主要指标如表 1-1 所示。

表 1-1 第一代 DSP

型 号 项 目	μ PD7720 (NEC)	TMS32010 (TI)	HD61810 (日立)	MB8764 (富士通)
硬件工艺	NMOS	NMOS	CMOS	CMOS
引脚数	28(DIP)	40(DIP)	40(DIP)	88(PGA)
命令周期	250ns	200ns	250ns	100ns
数据字长	16 位	16 位	16 位	16 位
在片程序存储器	512 × 23 位	1.5K × 16 位 可外接扩至 4K 字	512 × 22 位	1K × 24 位
在片数据 ROM	512 × 13 位	与程序 ROM 并用	128 × 16 位	与程序 ROM 并用
在片数据 RAM	128 × 16 位	144 × 16 位	200 × 16 位	256 × 16 位
乘法器	16 × 16 → 31	16 × 16 → 32	(12 + 4) × (12 + 4)	16 × 16 → 26
输入输出	总线 8 位	总线 16 位	总线 16 位	总线 16 位
I/O 接口	串行 I/O	16 位 I/O	串行 I/O	16 位 I/O

第一代 DSP 的构成特点为:

- (1)片装乘法器硬件,具有将乘法器和累加器以流水线方式连接的总线,能高速进行连续的乘法和累加运算;
- (2)采用哈佛结构,数据总线和程序总线分离,可同时进行指令的读取和数据运算;
- (3)在片程序存储器和数据存储器;
- (4)备有与 A/D、D/A 变换器等外围设备相接的接口,乘法器和累加器的位数在 16 位以上,能实现高精度的数据运算;
- (5)指令基本上在一个机器周期内进行处理;

(6)可进行数据的浮动小数点运算,动态范围大。

表 1-2 为 μ PD7720 和通用 8086 微处理器运算性能比较。从表中可以看到: μ PD7720 和 8086 虽采用相同的 MOS 工艺和时钟,但同样完成 16 节 FIR 数字滤波器的运算, μ PD7720 要比 8086 快几倍。

表 1-2 μ PD7720 和 8086 性能比较

项 目 \ 型 号	μ PD7720	8086
制造技术	NMOS	NMOS
时钟	8MHz	8MHz
元件数	40000	24000
机器周期	250ns	最小 250ns
16 节 FIR 滤波器	50 μ s	270 μ s

1.2 第二代 DSP

1985 年 TI 公司开发的 TMS32020,1986 年日本 NEC 公司开发的 μ PD77230 等通用 DSP,与第一代 DSP 相比,在功能上、速度上及内存容量方面,都取得了划时代的突破:

- (1)运算速度更高,机器周期减少到 100ns,运算能力达 8~40MFLOPS;
- (2)和大型计算机一样,能进行 32 位的浮点运算,运算精度更高;
- (3)片装大容量数据存储器 and 程序存储器,并大大扩展外部存储器空间(达 64K);
- (4)强化和完善了指令功能及寻址方式。

表 1-3 为第二代 DSP 性能一览表。表 1-4 是第二代 DSP 典型器件 μ PD77230 处理能力测试结果。

表 1-3 第二代 DSP

项 目 \ 型 号	TMS32020/C25 (TI)	μ PD77230 (NEC)	ADSP2100 (AD)	DSP56000 (MOTOROLA)
机器周期	200/100ns	150ns	125ns	97.6ns
乘·加执行时间	200ns/100ns	150ns	125ns	97.6ns
数据字长	16 位	32 位浮点	16 位	24 位
指令字长	16 位	32 位	24 位	24 位
在片程序 ROM	- /4K 字	2K 字	—	2K 字
在片程序 RAM	256 字	—	16 字 (CACHE)	—
在片数据 ROM	与程序 ROM 并用	1K 字	—	512 字
在片数据 RAM	544 字	1K 字	—	512 字
程序存储器空间	64K 字	4K 字	16K 字	64K 字
数据存储器空间	64K 字	8K 字	32K 字	128K 字
ALU	32 位	55 位	16 位	56 位
ACC	32 位	55 位	40 位	56 位

输入·输出接口	16 位并行串行	32 位并行串行	存储器屏蔽	24 位可编程
DMA 接口	有	无	有	有
制造技术	NMOS/CMOS	CMOS	CMOS	CMOS
消耗功率	1.2W/0.6W	0.8W	0.5W	<1.0W
开发年月	1985/1988	1986	1986	1987

表 1-4 μ PD77230 运算能力测试

数值运算	除算	4.8 μ s
	平方根	9.0 μ s
	sin	10.8 μ s
	cos	10.8 μ s
	ATAN	40 μ s
数字信号处理	2 节 FIR	0.9 μ s
	32 节 FIR	5.25 μ s
	32 点 FFT	150 μ s
	512 点 FFT	4.7ms
	1024 点 FFT	12.3ms

1.3 第三代 DSP 及 DSP 的发展动向

从 1980 年第一代 DSP 付诸实用, 随着半导体集成电路技术的急速发展和高速实时信号处理技术的需求, 在短短的十几年中, 单片数字信号处理器取得了划时代的发展。1987 年, TI 公司开发出高速、高性能、高内存、并且可使用高级语言的第三代数据字信号处理器 TMS320C30, 1991 年, 又推出了支持 32 位浮点运算的、速为 275MIPS、具有 340MB/秒数据传输能力的、真正支持并行操作并与 TMS320C30 原代码兼容的 TMS320C40。表 1-5 为近年来开发的 32 位浮点数信号处理器功能一览表:

表 1-5 最新 32 位浮点 DSP

型 号	TMS320C30 (TI)	DSP96002 (摩托罗拉)	ZR34325 (ZORAN)	μ PD77240 (NEC)	MB86232 (富士通)	DSP32C (AT&T)
项目						
指令周期	60ns	60ns	80ns	90ns	75ns	60ns
浮点形式	2 的补码	IEEE	IEEE	2 的补码	IEEE	
存储器 空间	16M 字	12G 字	16M 字	16M 字	1M 字	4M 字
在片 RAM	2 $\times$ 1K	3 $\times$ 512	2 $\times$ 64	2 $\times$ 512	512	1K/1536
在片 ROM	4K	2 $\times$ 512	256	2K+1K	1K	2K
在片高速	64	—	4	—	—	—
ALU	32E8	32E11	44 位	47E8	24E8	32E8
中 断 (内/外)	7/4	0/3	22/1		/4	/3

L/O	DMA SIO × 2 定时器 × 2	DMA	DMA	输入 2 位 输出 2 位	DMA PIO SIO × 2 定时器	PIO
封 装	181 端 PGA	195 端 PGA	84 端 PGA	132 端 PGA	208 端 PGA	195 端 PGA
功 耗	< 1W	< 1W	< 1W	< 2.3W	< 1W	< 1W

由表 1-5 中可看出, 在短短的几年中, 通用 DSP 的发展取得了划时代的突破。人们期待着性能更高、运算速度更快的新 DSP 产品。从其开发动向来看, 为满足复杂信号处理的需要, 例如: 运动图像处理、连续发声非特定说话人语音识别等, 高速化、高性能化、片装存储器大容量化仍然是 DSP 的开发方向。近年来开发的 DSP, 大多采用 32 位浮点运算机构, 具有和大型计算机相同的浮点运算能力和精度, 更加适合于数字信号处理的要求。

(1) 浮点运算的 DSP 容易导入高级计算机语言。采用高级语言能缩短程序的开发时间, 提高开发效益, 因此, 用于数字信号处理器的高级语言研究正蓬勃展开。使用高级语言, 已成为第三代 DSP 的重要特征。

(2) 目前使用的 DSP 其浮点数据的表示格式有两种: 一是 2 的补码形式, 另一种是 IEEE 格式, 为便于 DSP 和高档微计算机相匹配以构成实用系统, 采用 IEEE 格式将为主流。

为充分发挥一般 CPU 所不具有的 DSP 的长处, 扩大 DSP 的应用范围, 各厂家均致力于开发和完善 DSP 支援系统, 特别是软件开发支援系统。值得指出的是, 最近国外已研究出利用通用微型计算机和 DSP 板组成的 DSP 开发系统。这个系统主机侧使用高级语言 C, PASCAL, DSP 板侧采用汇编语言, 用微计算机开发 DSP 软件, 直接生成目标代码。如果再配置 A/D、D/A 板, 则可构成一个比较完善数字信号处理系统, 完成数字滤波器设计、图像处理、声音处理等。由于这种 DSP 开发系统的硬件成本远远低于 DSP 的专用开发支持系统, 特别是随着通用 32 位微型计算机的普及, 可用最小的开发成本获得最大的开发效益, 因而有可能成为当前 DSP 应用软件开发系统的主流。

第二章 TMS32010 系列处理器

2.1 TMS32010 概述

TMS32010 是 1983 年开发的第一代数字信号处理器。TMS32010 采用 $2.4\mu\text{m}$ NMOS 工艺, 使用单 +5V 电源, 时钟为 20MHz, 片内带有时钟电路, 指令周期为 200ns。片内数据 RAM 为 144 字, 片外程序存储器可扩展到 4K 字。

TMS32010 在运算中采用带符号的 2 的补码定点运算, 并且有一个 32 位累加器/算术逻辑单元。除了用于信号定标的 0~15 位定标移位器外, 还有一个对累加器输出进行 0、1、4 位移位的行数据移位器。TMS32010 有 8 个输入口和 8 个输出口, 允许 40 兆位/秒速率的 16 位双向数据传送。它的中断可采用堆栈进行全部上下文保护。

TMS32010 特性如下:

- 运算速度 5MIPS (20MHz 工作时钟)
- 指令周期 200ns
- 片内数据 RAM144 字
- 外部程序存储器可扩展至 4K 字并全速运行 (5MIPS)
- 16 位指令/数据字
- 32 位算术运算单元/累加器
- 16 位乘 16 位运算用时 200ns
- 0~15 位桶形移位器
- 16 位双向数据传输
- 全部上下文保护中断
- 40 引脚双列直插封装件

TMS32010 自 1983 年出品以来, 在许多领域得到了广泛的应用, 同时根据各自应用范围不同, 又开发了一些新的品种。

TMS320C10 与 TMS320C10~25 是 1985 年开发的新产品。TMS320C10 采用了 $2.0\mu\text{m}$ CMOS 工艺, 功耗是 NMOS 芯片的 1/6, 为 165mW, 指令周期为 200ns, 并与 TMS32010 目标代码及硬件兼容。通常用于需要低耗的场合。TMS320C10~25 是 TMS320C10 的变通产品, 主时钟为 25MHz, 指令周期是 160ns, 具有低功耗、高速度的特点。

TMS320C15/E15 是 1986 年开发的产品。TMS320C15/E15 采用了 $2.0\mu\text{m}$ CMOS 工艺, 指令周期为 200ns, 与 TMS32010 的目标代码和硬件完全兼容。但片内 RAM 扩展到 256 字, 并增加了 4K 字 ROM (TMS320E15 型式)。

TMS320C17/E17 是 1987 年开发的产品。TMS320C17/E17 采用了 $2.0\mu\text{m}$ CMOS 工艺, 指令周期为 200ns, 是一种专用的微处理器, 片内程序 ROM (TMS320C17) 或 EPROM (TMS320E17) 为 4K 字, 具有一个双工串行接口, 片内压缩扩展硬件 (μ 律/A 律) 和一个串行口定时器。程序和 TMS32010 目标代码兼容。

TMS32010 系列管脚配置如图 2~1 所示。各管脚功能如表 2~1。

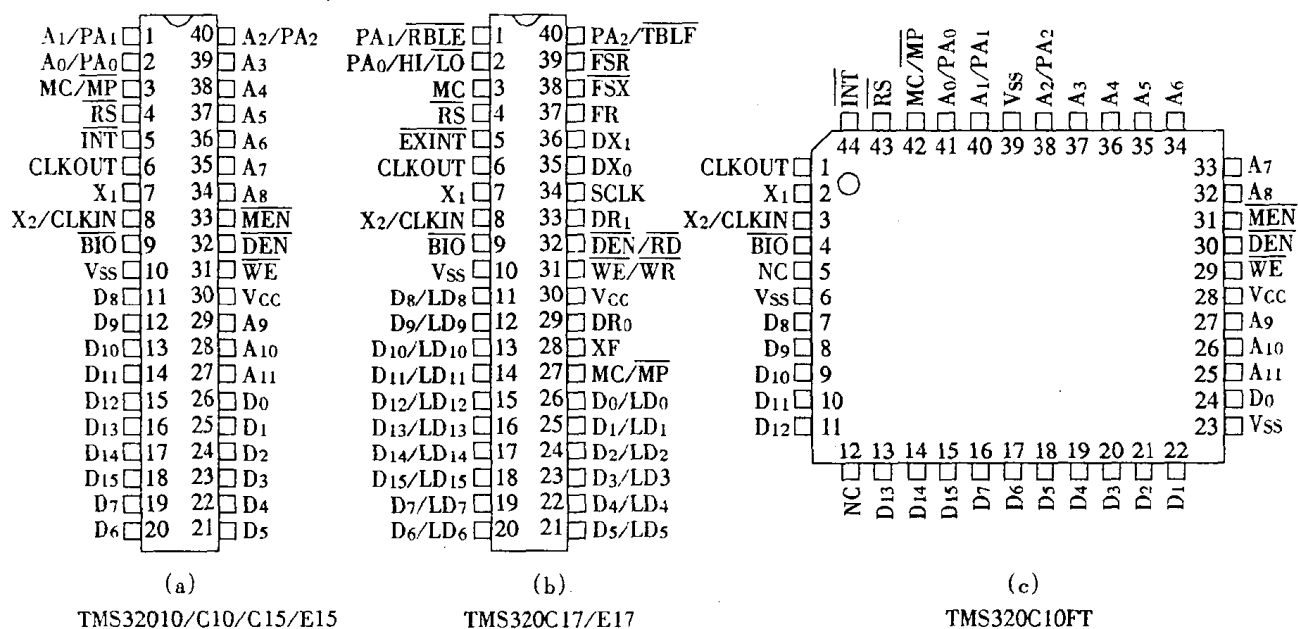


图 2-1 TMS32010 系列引脚图配置

表 2-1 TMS32010 - 320E15 引脚功能

信 号	引脚序号	输入输出	功 能
V_{cc}	30	输入	电源电压 + 5V
V_{ss}	10	输入	接地
X2/CLKIN	8	输入	晶振输入或外部时钟输入
X1	7	输出	内部时钟输出
CLKOUT	6	输出	时钟输出信号。CLKOUT 的频率为外部时钟输入或内部晶振频率的 1/4，占空比为 0.5
$\overline{WE}$	31	输出	在“L”有效时，表示来自 TMS32010 数据总线上的数据有效。仅在 OUT 指令的第 1 周期和 TBLW 指令的第 2 周期有效。 $\overline{WE}$ 有效时， $\overline{MEN}$ 及 $\overline{DEN}$ 常为“H”电平。
$\overline{DEN}$	32	输出	“L”有效，表示 TMS32010 处于从数据总线接收数据的状态。仅在 IN 指令的第一周期有效，此时 $\overline{MEN}$ 和 $\overline{WE}$ 常为“H”。
$\overline{MEN}$	33	输出	“L”有效， $\overline{WE}$ 和 $\overline{DEN}$ 无效时，对在片离片程序程序存储器，取指时有效。
$\overline{RS}$	4	输入	复位。
$\overline{INT}$	5	输入	中断。在 $\overline{INT}$ 引脚加下降沿或电平作为中断产生信号。“L”电平时允许中断。
$\overline{BIO}$	9	输入	I/O 分支控制。在执行 BIOZ 指令时， $\overline{BIO}$ 引脚置“L”电平时，则转向指令指定的地址。

D15	18		D15 (MSB) ~ D0 (LSB)
1	1	输入/	数据总线当 $\overline{WE}$ 为“L”电平时有效，此外常为高阻。
D8	11	输出/	
D7	19	高阻	
1	1		
D0	26		
A11	27	输出	程序存储器地址 A11 ~ A0 及通道
A10	28		地址 PA2 (MSB) ~ PA0 (LSB)、A11 ~ A0 非高阻。
A9	29		执行 IN/OUT 指令时，通道地址为 PA2 ~ PA0。
A8	34		
1	1		
A3	39		
A2/PA2	40		
A1/PA1	1		
A0/PA0	2		
MC/ $\overline{MP}$	3	输入	设置微计算机方式或微处理器方式。 当 MC/ $\overline{MP}$ 为 0 时，为微处理器方式，程序存储器只能对外部存储器进行存取，而对片内 EPROM 或掩模 ROM 不能进行存取。当 MC/ $\overline{MP}$ 为 1 时，为微计算机方式。可使用内部掩模 ROM 和 EPROM。

2.2 TMS32010 的硬件结构

TMS32010 信号处理器的硬件结构框图如图 2-2 所示。

一、运算单元

运算单元主要由 16 位 $\times$ 16 位的补码乘法器和累加器组成。

乘法运算时，先将数据存储器的数据（用 LT 指令）置入 T 寄存器，再用乘算指令（MPY）将数据存储器的数据和 T 寄存器的数据相乘，并将结果存入 P 寄存器。

P 寄存器的数据可用传送指令（PAC 指令）置入累加器。实际上，TMS32010 有 LTA、LTD 等复合指令，可以高效率地进行 T 寄存器的数据置入以及送入累加器的加算数据的传送等操作。累加器长 32 位，可直接取入乘算结果。另外还设有将数据存储器的数据从 0 位到 15 位进行任意移位并置入累加器的定标移位器。累加器输出的高 16 位可进行 0 位、1 位、4 位的移位操作，以便在固定小数点运算中对齐小数点。

二、数据存储器，DP，AR

TMS32010 片内存储器（RAM）为 144 字，分为两页，即 0 页和 1 页。0 页容量为 128 字，1 页容量为 16 字，字长 16 位。TMS320C15/E15 及 TMS320C17/E17 片内 RAM 有 256 字，其中 0 页和 1 页各 128 字。寻址时由页面指针 DP 进行页选择。

数据存储器寻址有两种方式，即直接寻址方式和间接寻址方式。

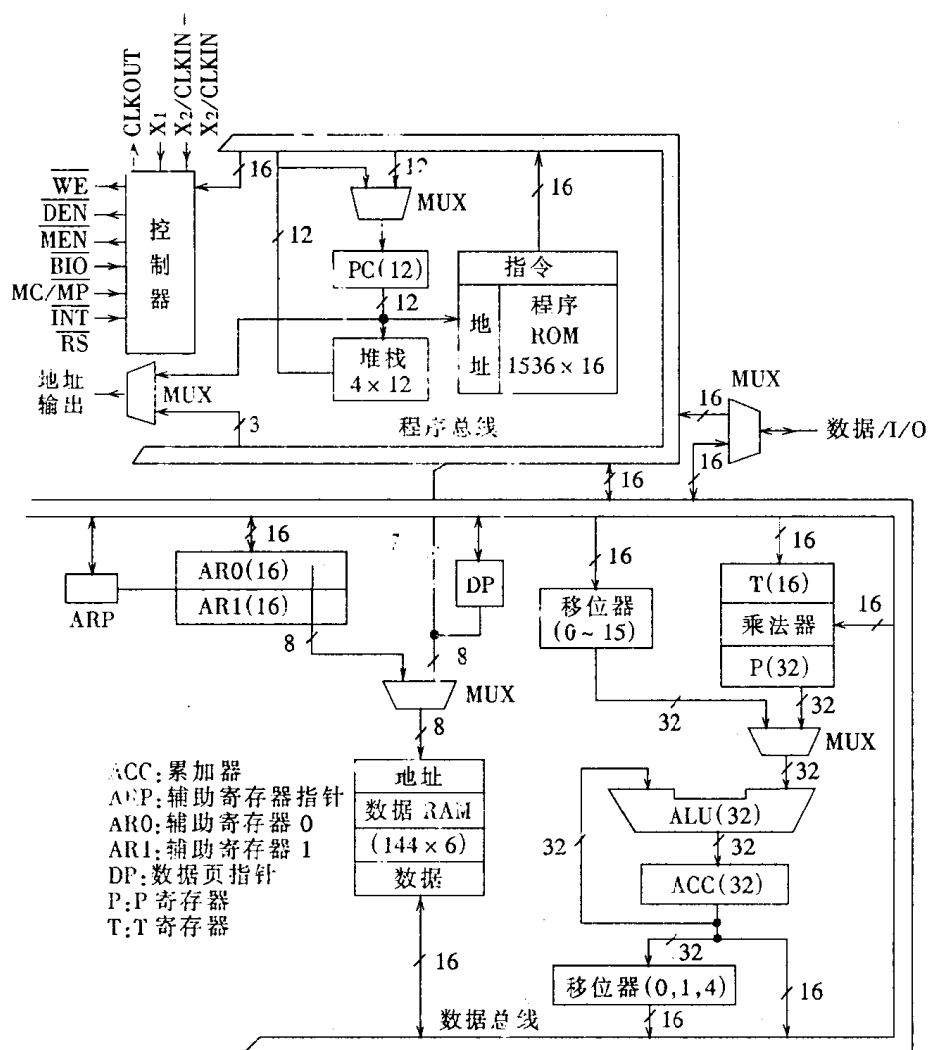


图 2-2 TMS32010 构成框图

直接寻址方式如图 2-3 所示。在 8 位地址操作数中，1 位是数据页面指针，其余 7 位嵌在操作码中。由 DP 和操作码实现直接寻址。

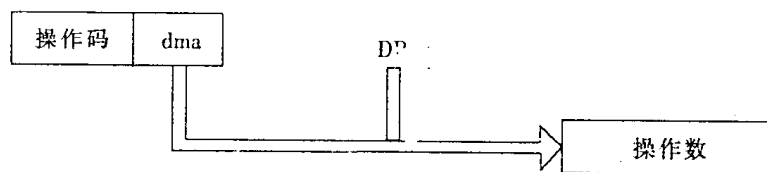


图 2-3 直接寻址方式

间接寻址方式时，由辅助寄存器指针 ARP 选择辅助寄存器 AR0 和 AR1，如图 2-4 所示。指令执行后 AR0 或 AR1 的内容自动进行加减。间接寻址方式时的指令方式如表 2-2 所示。

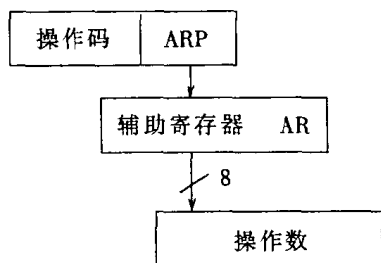


图 2-4 间接寻址方式

辅助寄存器 AR0 和 AR1 不仅可以用作存储器指针，在 BANZ 指令中还可用作循环计数器，作为暂时保留数据的临时寄存器。

表 2-2 间接寻址的指令方式

寻址方式	操 作
OP * (, NAPR)	AR 不变化
OP * + (, NAPR)	用当前 AR 内容指定的数据存储器地址进行存取后，AR 的内容加 1
OP * - (, NAPR)	用当前 AR 内容指定的数据存储器地址进行存取后，AR 内容减 1

三、程序总线

程序总线挂接程序计数器 (PC)、堆栈 (12 位 × 4 级)、掩模 ROM (1.5 K 字) 及控制单元等。

程序存储器空间为 4K 字，12 根地址线 (A11 ~ A0)；I/O 通道 PA0 ~ PA2 与地址总线多路复用。

与通用微处理器一样，堆栈不是外部存储器的指针，而是一个 4 级堆栈。中断产生或调用子程序时，(PC + 1) 的值进入堆栈；恢复中断或调用结束时，由 RET 指令从堆栈弹出，其值返回到 PC 内。此外，表读、写指令也可以使用堆栈的一个级，因而在使用表读、表写指令产生中断或调用子程序时，要注意堆栈的溢出。

根据需要，也可由程序将堆栈扩展到数据存储器或程序存储器，或用 TRLW 指令在外部存储器中建立极大的堆栈。

控制单元输出控制外部存储器和 I/O 的信号及各种接口信号。

四、状态寄存器

如图 2-5 所示，状态寄存器由 5 个状态位组成。其中仅 OV 是由运算结果引起内容变化的状态位。OV 状态位在累加器溢出时是“H”电平，经过指令 BV 测试后可清除。其他各状态位由图中所示指令进行置位或复位。

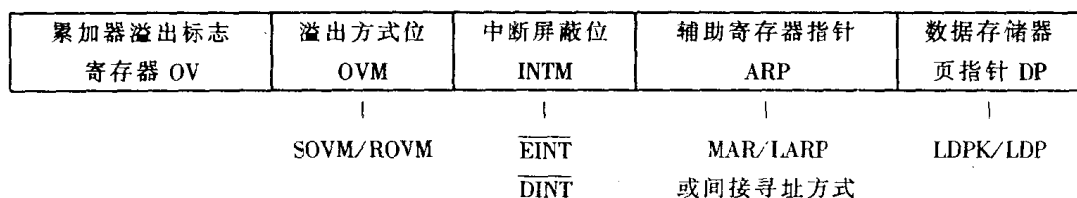


图 2-5 状态寄存器

使用 SST/LST 指令对状态寄存器进行存储和装入。直接寻址方式时，状态寄存器内容存入 1 页数据存储器。由于 TMS32010 的数据存储器有 144 字，因此地址需用 0-15 的数值。用间接寻址方式存储时不存在任何问题。

将数据置入状态寄存器使用 LST 指令。但该指令对中断屏蔽位 INTM 无效。中断屏蔽位由 EINT/DINT 指令进行置位和复位。

五、存储器

TMS32010 系列具有片内 ROM 或 EPROM，同时，通过 MC/MP 切换引脚可进行外部存储器和在片掩模 ROM/EPROM 之间的切换。如图 2-6 所示。

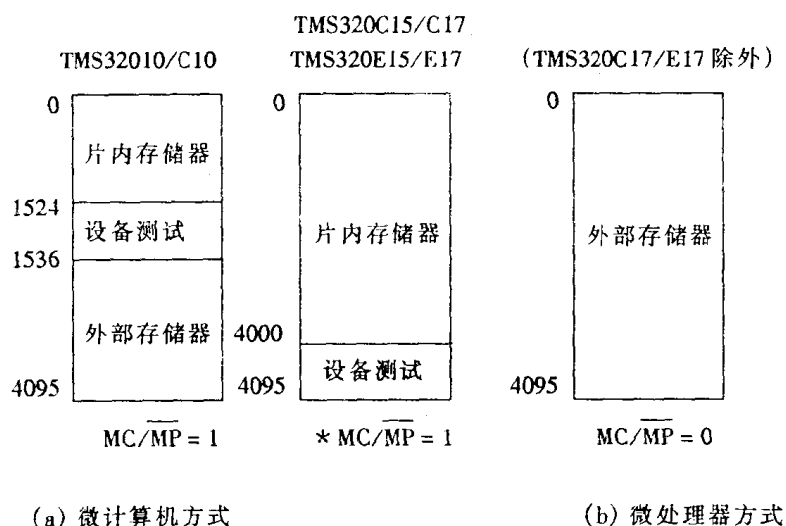


图 2-6 存储器分配图 (程序存储器)

一般而言，TMS32010/320C15/320C17 多不用掩模 ROM 而用外部存储器作为程序存储器。但 320E15/320E17 有在片 EPROM，在微计算机方式时用作程序存储器。TMS320C17/320E17 无外部地址线，在微计算机方式工作时，不能配外部存储器。

六、I/O 接口

I/O 接口可使用 8 个输入、输出通道。通道地址 PA0~PA2 与总线多路复用，A2~A0 为通道地址。

七、 $\overline{\text{BIO}}$ 与中断输入 $\overline{\text{INT}}$

$\overline{\text{BIO}}$ 和 $\overline{\text{INT}}$ 是输入与外部系统接口信号的引脚。

当输入外部标志置 $\overline{\text{BIO}}$ 引脚为“L”电平时，使用 BIOZ 指令可进行分支。 $\overline{\text{BIO}}$ 引脚还可用于采样频率和程序的同步（如图 2-7）及 I/O 接口的状态监视。当 $\overline{\text{BIO}}$ 从“H”变为“L”电平时，DSP 从等待状态转移到执行状态，直至整体处理结束、下一个采样数据有效。

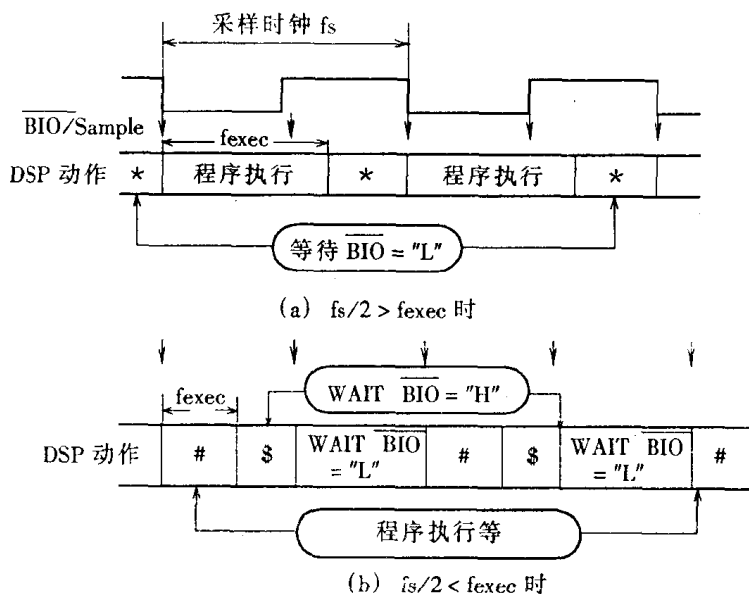


图 2-7 使用 $\overline{\text{BIO}}$ 引脚的采样频率的同步

当 DSP 的实时处理时间比采样周期小时，可按图 2-7 (b) 进行设定，检测出 $\overline{\text{BIO}}$ 的“H”，“L”电平，则可完全与采样时钟同步工作。

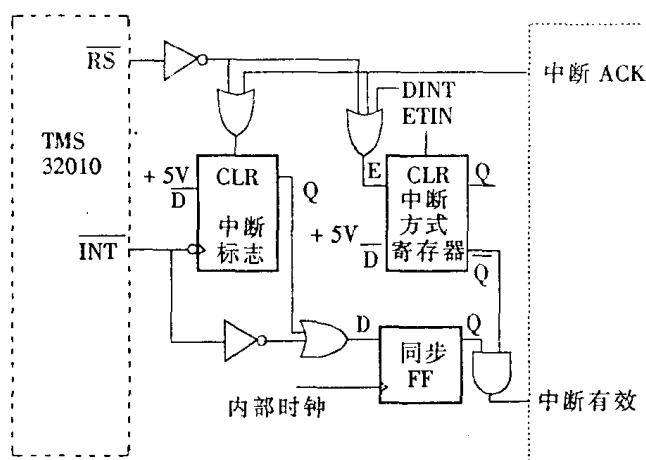


图 2-8 中断输入的内部结构