

第一章 绪 论

§ 1.1 可编程 ASIC 综述

为专门限定的产品或应用而设计的芯片被称为专用集成电路(ASIC),除了全定制的专用集成电路之外,目前有五种半定制的元件可实现专用集成电路的要求,它们是:

- (1) 可编程逻辑器件(PLD)
- (2) 复杂可编程逻辑器件(CPLD)
- (3) 现场可编程门阵列(FPGA)
- (4) 门阵列
- (5) 标准单元。

在这些器件中,尤其是前三种器件的出现,使得电子系统的设计工程师利用与器件相应的 CAD 软件,在办公室或实验室里就可以设计自己的 ASIC 器件,其中以近几年发展起来的 CPLD 和 FPGA 器件格外受到重视。这三类器件都具有用户可编程的特性,又能实现用户规定的各种专门用途,因此构成了可编程专用集成电路的一类器件。采用可编程 ASIC,对于半导体制造厂家可按照一定的规格以通用器件大量地生产,对于用户可按通用器件从市场上选购,再由用户自己通过编程实现 ASIC 的要求,由于这种方式对厂家和用户都带来好处而受到欢迎,发展也就特别迅速,已经成为一个很重要的实现 ASIC 的手段。

可编程 ASIC 中的可编程门阵列(FPGA)将半定制的门阵列电路的优点和可编程逻辑器件的用户可编程特性二者结合在一起,使其不仅包含大量的门电路,具有高的速度,使设计的电子产品达到小型化,集成化和高可靠性,而且器件具有用户可编程特性,大大缩短了设计周期,减少了设计费用,降低了设计风险。因此 FPGA 已经成为可编程 ASIC 中更受欢迎的一类器件。

如果说一个电子系统可以象积木块一样堆积起来的话,那么随着半导体技术的发展,进入九十年代之后,构造许多电子系统仅仅需要三种标准的积木块,这就是微处理器,存储器和包括 CPLD 和 FPGA 的可编程逻辑器件。电子系统设计的这场革命是从 70 年代开始的,当时存储器已经作为标准产品进入市场,而八十年代微处理器也成为一种标准的产品,微处理器及存储器作为电子系统中两个主要积木块,一直都是可编程的。在电子系统中以前尽管采用了微处理器和存储器,但是仍然需要大量的中小规模的半导体器件来进行系统的各种逻辑控制,直到最近的 10 年之内,随着可编程逻辑器件的出现,才给电子系统的逻辑控制提供了可编程的性能和灵活性,而可编程门阵列作为一种高密度,通用的可编程逻辑器件与它的开发系统一起更为电子系统的逻辑设计确立了一种新的工业标准。现在已有愈来愈多的电子系统的设计工程师用复杂可编程逻辑器件或可编程门阵列作为系统逻辑控制的第三个积木块,来实现一个电子系统。

实际上,半导体的 CMOS 技术的不断发展推动了电子系统逻辑设计的这一变革,历来互补金属氧化物半导体(CMOS)一直被认为速度太慢而不能满足高性能系统设计的需要,这些设计只能用一次可编程(OTP)双极型可编程逻辑器件(PLD)来完成。现今许多 CMOS

的可编程逻辑器件实际上已追上或超过了双极型的性能。同时还具有低功耗和可编程能力等吸引人的优点。

可编程 ASIC 器件的发展速度,以 FPGA 为例,从 1985 年第一个 FPGA 问世到 1993 年的前八年发展速度完全可以与微处理器和存储器的前十几年的发展速度相比,基本上处于二者之间,表 1.1 给出这三者在速度,密度和成本三方面的发展比较。

在 FPGA 的发展中,和微处理器一样,结构的改进可提高其性能;和 DRAM 一样,由于有很规则的排列结构,工艺的改进也促使性能提高。所以对今后可编程 ASIC 性能的提高,60%依靠结构上的改进,如有更有效的逻辑块,更好的互连资源和不断改进的软件,而 40%由于工艺的改进,如采用 0.5 μ m 以下的工艺,三层的金属连线等。如 Xilinx 已采用 MicroVia 工艺,将工艺和结构改进结合在一起,来提高 FPGA 的性能,降低其成本。1994 年,Xilinx 已生产出约 25000 可用门的 XC4025,估计到 1995 年末可达到 65000 可用门,预计到本世纪末可用门将达到 15 万门,平均年增长率为 42%。1993 年可编程 ASIC 的销售额占 CMOS 逻辑电路 120 亿美元总销售额的 8.3%,预计到本世纪末将增长到占 CMOS 逻辑电路的四分之一。

表 1.1 微处理器、DRAM 和 FPGA 的发展比较

	微处理器			DRAM			FPGA		
	1971	1985	年增长率	1970	1983	年增长率	1985	1993	年增长率
速度	指令数/秒(MIPS)			存取时间(ns)			系统时钟频率(MHz)		
	0.06	6	36%	300	80	10%	5	50	30%
密度	晶体管数/芯片			晶体管数/芯片			晶体管数/芯片		
	2300	27.5 万	41%	1000	28 万	54%	8.6 万	340 万	58%
成本	美元数/MIPS			价格/位 $\times$ 存取时间			价格/门数 $\times$ 时钟频率		
	5030	50	29%			31%			30%

目前可编程 ASIC 正朝着为设计者提供系统内可再编程(或可再配置)的能力方面发展,即可编程 ASIC 器件不仅要具有可编程和可再编程的能力,而且只要把器件插在系统内或电路板上,就能对其进行编程或再编程,这就为设计者进行电子系统设计和开发提供了可实现的最新手段,而在以前是不可能做到的。采用系统内可再编程的技术,使得系统内硬件的功能可以象软件一样地被编程来配置,从而可以实时地进行灵活和方便的更改和开发。这种称为“软”硬件的全新的系统设计概念,使新一代的电子系统具有极强的灵活性和适应性,它不仅使电子系统的设计和产品性能的改进和扩充变得十分简易和方便,而且使电子系统具有多功能性的适应能力,从而可以为许多复杂的信号处理和信息加工的实现提供新的思路和方法。

应用可编程 ASIC 在系统中可再编程或可再配置的能力可以有多种多样的方法。一个较普遍的用途是实现系统的诊断,即实现系统逻辑的同一个 FPGA 可以再配置成测试系统的诊断逻辑,诊断测试逻辑基本上是“无成本”的,只是为额外的 FPGA 配置程序附加要求的存储器空间,这个方法已在许多包含诊断逻辑的应用中采用,如计算机外设、工业控制、医学仪器和集成电路测试仪等。

可再配置逻辑的另一广泛用途是使单个硬件可适合多种任务和环境。在这类系统中,任何大量可能配置的程序可加载到系统的 FPGA,以便按实际应用改变逻辑或按需要进行运行,所以较多的功能可用较少的部件来实现,硬件设计成本可以在大量的系统中分期偿还,设计周期也大大缩短。在某些系统中,可再配置的 FPGA 是系统运行的规范部件,这意味着系统有某些“互不相容”的功能,在需要的时候从 FPGA 调进或调出。基于 SRAM 的这些硬件多用途的应用是成本特别有效的,因为用传统的逻辑器件本来需要至少两倍的硬件才能实现同样的功能。此类原理已在导弹制导系统、印刷机控制器和远程通信测试仪等中应用。

可再配置 FPGA 技术已经在构划着未来的计算,国外一些大学和研究所已经利用 Xilinx 的 FPGA 实现多用途,高速的协处理器来加速计算机系统的运行,对于专门的应用,可再配置 FPGA 可把超级计算机的性能带到桌上系统,不难预测,未来的计算机自动地改变其硬件以适合正在运行的程序,被称为在最终用户的产品中实现“设计的可再编程性”(Engineered Reprogrammable)的年代已经开始。对于计算密集的算法协处理器将它们从主机的处理器中卸载下来,即主程序由主处理器执行,而某些任务分配到协处理器加速其执行,利用 FPGA 构成可配置协处理器意味着不同的任务可时分多路到相同的芯片达到加速的功能,针对协处理器应用的需要,Xilinx 公司已开发出 XC6200 系列的可再配置协处理器,它不象其它 FPGA 通过串行口或八位并行口加载其配置模式,而是有一个类似主处理器存储器的接口,可以设置成 8、16 或 32 位操作,这个快映射(FastMAP)接口直接与大多数嵌入式处理器接口而不耗费任何 FPGA 的资源,它允许配置数据以数据总线的速度转移,整个配置文件的转移少于 $200\mu\text{s}$;协处理的真正特性意味对不同的算法要求数量不等的存储器,按此需要提供了高容量分布式存储器,使其有比其它 FPGA 多 8—10 倍的存储器,用户可作逻辑或存储器的分配来适合每个算法,作为可再配置协处理器,算法可改变的速度是决定性的,它包括的片内存储器可以比普通基于 RAM 的 FPGA 快 1000 倍地转换应用的内容,也可以实现复杂的数据通道功能,在主机总线上的数据转移要求每次写入到配置存储器为 80ns,如果仅仅部分芯片的功能需要在系统运行期间的任何时候作修改,部分再配置同样是可能的;为加速规则功能(多位数据通道和其它重复的功能)的配置,XC6200 包括把配置数据按规定路线发送到多处的通配符(Wild-card)寄存器。由于以典型的数据总线速率转移数据,XC6200 器件可以比主机一般中断服务更少的时间再配置其自身,高速的配置或再配置允许可编程器件适合需要对条件变化快速响应的系统,除类似存储器的主机接口之外,FPGA 内部是专门的高速总线,它允许对到寄存器和大量的内部 RAM 高速存取。

可再配置计算技术在科学计算、设计自动化、数据库管理、图象处理和密码技术等方面得到应用,可编程 ASIC 的发展使电子技术进一步成为当今信息时代功能强大的技术手段。

可编程 ASIC 器件规模的不断发展,使其可以实现电子系统的集成,对于复杂系统的快速和准确的设计必须依赖计算机辅助设计(CAD),由顶向下的设计和综合工具。

低层的综合工具采取逻辑描述,并执行逻辑优化,进行映射的器件选择,布局和布线的网表优化,产生最终的设计实现。虽然综合工具一般包括从原理图作图输入的能力和较高层的工具,逻辑描述基本上是根据布尔方程。所有可编程逻辑销售厂家提供低层的综合工具,选择适合器件特性的优化和映射算法,以便把逻辑设计装配进其产品。低层的 FPGA 工具已作为与销售无关的 CAD 软件包内的选配器(Fitter)。布局和布线的问题只是在 FPGA 中才成为问题,而且当它们的单元规模增加和布线资源变复杂时也变得更严重,一个明显的趋

势是增加硬宏单元(hard Macro)的使用,定义一个公共逻辑函数的固定布局和布线,这样节省计算时间,也允许预先估计性能,但也可能造成单元利用率较低的缺点。PLD 结构的逻辑最小化基本上由布尔表达式中文字数目最小化直接决定的。在 FPGA 中,限制到逻辑单元的扇入是更重要的因素。

对于简单的设计,原理图输入或布尔方程可能是适合一个设计的起点,对于复杂的设计,它可能刚好用少数最新一代的现场可编程器件来实现,但设计的模型是繁杂的,也增加错误的可能性,因此考虑高层的设计输入是必要的。控制器综合工具采用寄存器转换语言(RTL),有限状态机(FSM)或硬件描述语言(HDL)结合被选的结构进行描述,分配状态变量,产生逻辑描述。一般为了把 HDL 描述转换到组合逻辑和寄存器元件,主要的任务是执行二进制状态分配。对于 PLD 的结构,问题是清楚的,基本上是找出最小状态分配来解决;对于 FPGA 问题是复杂的,"one-hot"编码对查找表型 FPGA 是适合的,因为每个逻辑功能块有一个触发器是可用的。

高层综合工具采用高层的行为描述,如 VHDL 或编程语言,并把它扩展到 RTL,FSM 或 HDL。行为描述不需要说明有关设计实现方式的任何事情,虽然当特定的结构模板被预先规定时,结构事实上可以隐含地被描述。高层综合包含选择特定的结构模板,然后执行资源分配,寄存器分配和定时,所以在高层设计期间,设计者基本在速度和资源之间作取舍,例如,相同的行为设计,当速度不是临界时,可以由简单的微处理器实现;当速度是主要因素,且有足够的硬件资源可用时,用完全流水的逻辑设计来实现。从一个合意的行为描述开始的好处是设计者能够探索较广范围的实现选择,找出哪一个最适合特定的实现环境,同时,高层设计方法的关键是顶层的描述可能比低层的描述更容易理解和测试。

电子设计自动化的软件已经从 CAD,CAT,发展到目前为"电子系统设计自动化(ES-DA)"的第三代,软件的工作平台也从小型计算机,到工作站,到高性能的 PC 机,一般都包含了符合 IEEE-1076 标准的 VHDL 高层次综合工具,这些都为 ASIC 和可编程 ASIC 的设计和实现带来了极大的方便,特别对于中小规模的系统集成,可编程 ASIC 器件成为首选的方案,这也是可编程 ASIC 器件得到广泛应用的原因。

可编程 ASIC 独特的器件性能和广阔的应用前景使许多半导体厂家和公司纷纷投入力量开发出愈来愈多的器件和产品,所以本书的选材上,将主要是围绕复杂可编程逻辑器件和可编程门阵列来讨论可编程 ASIC 技术的内容,在众多的产品中以生产了世界上第一个现场可编程门阵列的 Xilinx 公司的产品为主作介绍。Xilinx 的产品包括可擦除的复杂可编程逻辑器件(EPLD)和基于 SRAM 的可编程门阵列(FPGA),由于它们具有可再编程的能力和其 FPGA 更具有在系统内再编程的能力而格外受到重视,得到了广泛地应用。在 Xilinx 的开发系统中,可以方便地在 EPLD 和 FPGA 之间进行选择,按照实际需要编程合理地实现设计的要求。此外,Xilinx 一直按照广大用户的需要从工艺和结构上不断改进开发出众多的新产品,不仅使其一直保持了在这一领域领先的地位,而且其产品有典型性和代表性,适合于作为可编程 ASIC 技术的内容来介绍。全书分为三大部份,第一部份为可编程 ASIC 的分类和结构特点,并在此基础上介绍 Xilinx 的 FPGA 和 EPLD 的结构和特点。通过多种途径的比较使读者能对其它厂家的产品也有了解,以便有助于合理选择可编程 ASIC 器件;第二部份为以 Xilinx 的开发系统介绍可编程 ASIC 的设计过程;第三部份结合 Xilinx 开发系统的实验例子等说明可编程 ASIC 的应用。

§ 1.2 可编程 ASIC 的分类

可编程 ASIC 的器件包括一个“未配置的”逻辑单元阵列,此阵列可以安排成所需的逻辑功能或逻辑功能组,并可通过可编程互连接到所要求的输入输出,这些逻辑单元可以是门,反相器,触发器或较大的宏单元。连接到可配置开关系统的成型的信号线互连这些逻辑单元,开关系统可以采用熔丝,反熔丝或传输晶体管作为开关。

互连系统可以是内部的和/或外部的与逻辑单元连接,在许多结构中,逻辑单元是可编程逻辑元件(或微型 PLD)本身,每个可以有它自身的可编程局部互连系统。

可编程 ASIC 目前有许多不同的分类方法,下面介绍四种。

§ 1.2.1 从互连特性上分类

从互连特性上将可编程 ASIC 的器件结构分为确定型和统计型两大类:

即一类是类似 PAL 的确定型结构,它是由 PROM 的结构演变出来的;

另一类是类似于门阵列的统计型结构。

确定型结构的 PLD 包括 PROM、PLA、FPLA、PAL、GAL、EPLD 和 E²PLD。它提供的互连结构每次用相同的互连线实现布线。所以,这类 PLD 的定时特性常常可以从数据手册上查阅而不需要通过设计工具很快地被确定。实现的功能是否要布线,或所选器件上可用的可编程资源是否能达到信号的时序要求这些都可相对简单地确定。

另一类型的器件是首先由 Xilinx 和 Actel 公司推向市场的真正的现场可编程门阵列,它们被称为统计型结构是因为这种类型的设计系统每次执行相同的功能却给出不同的布线模式。所以设计系统必须允许系统工程师限制功能中关键通路的时序变化以使它们不超出技术条件的要求。

此外,为了布线在设计系统中可以指出信号的要求,如强调速度或者使逻辑单元的数目最小,对于最大速度的布线将使用较多的逻辑单元,把要达到的功能限制到最简单的器件上将牺牲速度。

按这种分类方法无论是确定型还是统计型的,只要可编程 ASIC 器件的等效门数超过 500 门以上都认为是高复杂度的 PLD,或高密度的 PLD。所以在此分类方法中,不论是 PLD,还是 FPGA,把可编程 ASIC 统称为可编程逻辑器件,而 FPGA 是最高复杂度的 PLD。

§ 1.2.2 从可编程特性上分类

无论是复杂可编程逻辑器件(CPLD)还是可编程门阵列(FPGA)目前均采用 CMOS 技术,它们为用户提供的编程手段有以下四种:

(1) 紫外线擦除和电气编程存储单元(UV EPROM),为紫外光互补金属氧化半导体 UVCMOS。

(2) 电擦除和再编程存储单元,一类是 EEPROM,为电气擦除式互补金属氧化半导体 EECMOS;另一类是结构与 UV EPROM 类似但是电擦除的闪速存储单元。

(3) 一次编程反熔丝或一次编程 EPROM

(4) 基于静态存储器(SRAM)的编程结构

所以从可再编程能力将它们分为两类：

一类是不可再编程的。确定型的 PAL 和统计型的反熔丝 FPGA 都是不可再编程的。

另一类是可再编程的。确定型的 GAL 和统计型中用 SRAM 的 FPGA 属于此类，有时将高密度的 PLD 和 FPGA 统称为 FPGA 来讨论，再按其采用的编程技术分类。

表 1.2 给出采用这四种编程技术生产 FPGA 和 CPLD 的代表性厂商。应该说明的是 FPGA/CPLD 的供应产商已经不像几年前那样只提供单一工艺的产品，当前一个供应商在提供 SRAM 的 FPGA 系列的同时，可能还提供 Flash—EPROM 或反熔丝等工艺的第二个或第三个系列的产品，甚至除 5V 供电的产品外，还提供为便携式和许多工业系统要求的低功耗 3V/5V 兼容的产品，此外，所有类型的可编程器件的供应商已利用外设元件接口 (PCI) 总线作为必须提供的接口选择。

表 1.2 FPGA 和 CPLD 的供应厂商

反熔丝 FPGA	SRAM FPGA/CPLD	EEPROM	UV PROM
Actel	Altera		
Crosspoint Technol.	Atmel		
QuickLogic	(Concurrent Logic)	AMD	Altera
Texas Instr.	AT&T Microelec.	AMI	Atmel
Xilinx	Intel(包含 EPROM)	GateFiled Inc.	Cypress Semicond.
	Motorola Semicond.	Lattice Semicond.	Philips Semicond.
	Xilinx	National Semicond.	Texas Instr.
	Aptix(互连芯片)	SGS—Thomson	Xilinx
	Plessey Semicond.		
	Tosiba		

在第四章中还要专门介绍这四种编程技术，在该章最后的表 4.2 中，对于这四种编程技术给出了编程性能和技术特性方面的比较，以提供参考。正如 § 1.1 所述，可编程 ASIC 器件具有系统内可再编程的能力已成为其重要的技术特性，这一特性为用户提供了更为灵活和方便的开发 ASIC 的手段，其中基于 SRAM 的编程技术在这方面更为突出，许多新的应用正是利用了它的这一特性而实现的。

§ 1.2.3 从器件的容量上分类

由于可编程 ASIC 器件本身结构上和半导体生产工艺的不断改进和提高，器件的密度在不断增加，性能不断提高，目前可编程 ASIC 器件的门数已达到 25000 门之多。

从容量上对可编程 ASIC 器件分类是将复杂可编程逻辑器件 (CPLD) 和可编程门阵列 (FPGA) 统称为高容量可编程逻辑器件 (HCPLD)。

§ 1.2.4 从结构的复杂程度上分类

从结构上对可编程 ASIC 进行分类不仅是最常用的方法，而且也是可编程 ASIC 器件设计实现和开发应用的需要，因为各类可编程 ASIC 器件的开发系统都是针对其结构来设计

的,了解和掌握可编程 ASIC 器件的结构,对合理和有效地利用开发软件来设计可编程 ASIC 器件就是重要的。

从结构上可将可编程 ASIC 器件分为以下三类:

1. 简单可编程逻辑器件(简单 PLD);
2. 复杂可编程逻辑器件(复杂 PLD);
3. 可编程门阵列(FPGA),也称为最复杂的 PLD。

在 § 1.3 中按此分类方法来进行专门的讨论。

§ 1.3 可编程 ASIC 的结构分类

可编程逻辑现在在种类繁多的器件中是可用的,为了方便,常从结构上将其分为简单 PLD,复杂 PLD 和 FPGA。但是这些分类之间的界限并不是很严格的,例如,在这里和第三章把 Altera 的 MAX5000 和 7000 系列作为 CPLD 来讨论,在第四章中又将其作为一类 FPGA 进行比较,而与它类似的 Xilinx 的 XC7000 系列仍列为 CPLD,但 XC7000 系列的前身是 Plus Logic 公司生产的,当时命名为 FPGA2000 系列,都说明了这一点。

§ 1.3.1 简单 PLD

简单 PLD 经典地是由与阵列及或阵列组成,能有效地实现以“积之和”为形式的布尔逻辑函数,当与及或两个阵列是可编程的,这个器件一般称为 PLA;其变型是 PROM 具有固定的与阵列,而 PAL 具有固定的或阵列。

PROM 包含所有 2^n 个可能的输入组合的乘积线,当器件变得很大时,逻辑应用仅需要这些乘积项小部份,更多的逻辑应用也仅需很少乘积项,,所以 PROM 至少现在仍广泛用于可编程逻辑应用。

由于并不需要将全部乘积项包含在每个输出表达式中,所以目前包含一个固定或阵列且其每个输出是和乘积项的子集合相连的 PAL 型式已经用得特别广泛。PAL 型式有两个有用的优点:第一有较少的需要被编程的连接,第二到输出线的连接数目较少意味着速度可以改善。

其它对 PLD 的一般选择包括寄存输出,阵列输出的内部反馈,可预置触发器,输出极性控制,具有全部阵列输出寄存的可编程时序对于“随机的”同步逻辑设计特别方便,最近 PLD 已达到大约 13 输入 $\times$ 92 乘积项 $\times$ 18 输出+16 内部反馈的规模。因此,除了地址译码和粘附逻辑(glue logic),简单 PLD 的规模现在已经大到足以实现很大部份同步逻辑和状态机的应用。

简单 PLD 基本结构的优点是没有布局布线的问题,性能完全是可以预测的,所以十分容易写出软件把设计放进器件或者在它们之间分割设计。因此软件相对便宜,执行快速。固定的资源意味着器件可以靠制造者对速度优化,保证最坏情况的延迟时间。另一方面制造者发现简单 PLD 要达到好的性能和器件很大时达到低功耗也增加了困难。

§ 1.3.2 复杂 PLD

为了增加电路密度而不蒙受性能或功耗的损失,PLD 器件结构已经引入了各种特性。

例如,在它们的 MAPL 结构中,为了保持规模高达 32 输入 $\times$ 128 乘积项 $\times$ 54 输出的 PLA 结构的灵活性,National Semiconductor 已引入分页系统(paging system),分页机构意味着仅仅阵列的一部份在任何给定的瞬间被加电。为了减少功耗的其它方案包括按备份模式放置阵列,或者靠变换检测自动地控制加电,或者利用外部指令。

在实现级上,与阵列及或阵列需要用缓冲器分开,因为这些一般是倒相器,在两个阵列中实际逻辑一般是相同的(例如 nMOS 或非逻辑),某些制造者已经引入折迭 PLA(folded PLA),仅用一个实际阵列,但可将乘积项反馈回阵列。这也允许在单个器件中实现多级(multi-level)逻辑。但是多次通过阵列将遭受更长的延迟。

折迭 PLA 的例子是 Signetics 的 PML 结构。

PLA 的性能最终是由与/或线的长度限制。此外,复杂设计常常象受组合逻辑表达式的大小限制一样受触发器可用的数目的限制。这些因素已经成为几个先进的 PLD 设计后面的驱动力,它们由更复杂的输入/输出逻辑块和由分层结构逻辑阵列来表现。

这类结构包括 Atmel(1991)的器件,AMD 的 MACH(1990),更大的可用器件来自 Plus Logic 和 Altera。Altera MAX7000 器件是最近这类中最大和最快的器件。最高的范围允许给出 1024 个宏单元(20000 门)和 70MHZ 性能。

基本上这些先进的 PLD 是由几个简单的 PLD 组成的,PLD 的输出进入包括一个触发器和一些控制逻辑的逻辑单元,单元输出然后通过一个纵横互连矩阵反馈到芯片的所有宏单元。这些被集成进 Atmel 设计的分层结构中,而在另一些器件中简单地是一个全连接的纵横开关。Plus Logic 和 AMD 利用了在一个宏单元中单元之间乘积项共享,使宏单元有效地把 PLA 和 PAL 的型式组合起来。而 Altera 和 Atmel 采用部份地折迭结构代替。Plus logic 在其逻辑单元中包括一个两输入查找表获得折迭连接提供的一些功能,而没有多次通过折迭阵列时间损失的风险。

显然,不可能获得象超出简单 PLD 一样超出分层 PLD 的最高性能,但是 Altera 已经达到十分接近,通过它们的互连矩阵仅有 2ns 的延迟。

同时,设计保持宽的逻辑门和高的 PLD 互连,而避免了 FPGA 的布局布线和多级实现问题。因此 CAD 支持仍然相对简单和运行快速。近乎固定的延迟使得预测系统性能变得简单。

因此先进的 PLD 对集成几个简单的 PLD 的功能和实现复杂状态机是有效的。

§ 1.3.3 FPGA

虽然 PLD 是十分灵活的,但许多设计一般并不是利用了它的全部功能。特别是随机逻辑,数据通道和信号处理设计常常不要求如此多的门,但是要求更多触发器或寄存器和快速的局部互连。为了达到这些要求,Xilinx 大约在 1984 年,而其它制造商最近做出由可编程逻辑块和可编程互连一起组成的现场可编程门阵列。最近可用的器件是来自 Xilinx, Actel(第二源自 Texas Instruments),GEC—Plessey Semiconductors 和 Algotronie Concurrent。

1. 逻辑块

Xilinx 已经选择了最复杂的逻辑块,如 XC3000 系列包括两个触发器和能实现五变量的任何函数的查找表。其它的 FPGA 器件是含有一个触发器和多路开关控制逻辑的较小逻辑块。

2. 编程技术

Actel 利用一次编程的反熔丝结构,它具有编程单元面积小和电阻低的优点,但不可再编程。其它的 FPGA 都是可再编程的,具有灵活,编程快速,有可再配制设计的能力等优点。此外,SRAM 的编程技术有比其它方法编程和再编程更快的优点,但存储是掉电丢失的。

3. 阵列形式

市场的领先者 Xilinx 和 Actel 利用通道结构,具有由布线通道分开的固有逻辑块。

Xilinx 阵列包含由局部,中等和长距离互连在行和列两个方向上分开的大逻辑块。

Actel 阵列包含由行互连分开的较小的行逻辑块。

GEC-Plessey Semiconductors 利用主要的局部互连和某些较长总线的门海阵列。

Algotronix 和 Concurrent Logic 利用毗连单元的阵列,前者仅有对接接触连接,而后者支持较长总线的连接。

1994 年 7 月 Xilinx 已经宣布其未来的 XC8000 系列采用全新的 MicroVia 工艺,它的反熔丝结构是金属到金属的反熔丝,并将三层金属的工艺和门海的结构结合在一起,有可能极大地减少 FPGA 的成本。

第二章和第三章从结构特点上对可编程逻辑器件(PLD)和现场可编程门阵列(FPGA)进行讨论。高复杂度的 PLD 是包含有宏单元的 PLD,结构主要类似于 PLD。由于通常是可擦除的,因此也称为 EPLD。

第二章 可编程逻辑器件(PLD)的结构

§ 2.1 概 述

可编程逻辑器件(PLD)是一个逻辑电路,它可以被用户编程来执行专门规定的逻辑功能。这些器件为逻辑设计者提供了一个十分吸引人的,对用标准 74 系列的离散逻辑芯片所作设计进行更新的手段。就象任何标准的 74 系列一样,PLD 器件也可以按标准产品目录在各地的销售市场上购买到。许多 PLD 的功能已经或多或少地变成工业标准,这表明它们可从许多销售厂家,按不同的速度——功耗——成本进行选择,有多种工艺的差别来选购。但是 PLD 还提供了标准 74 系列器件的离散逻辑从未提供的一些其本身固有的优点,即它们为用户可编程的,这表明用户买到的这种器件是处在未开发的状态,就像一个空白的 EPROM 那样没有被编程过的,然后经过类似于编程 EPROM 那样的过程,由用户对 PLD 编程来实现一个专门规定逻辑功能。这就极大地方便了用户,使用户可以将一些中小规模的器件的功能集成到一个或几个 PLD 中,因此 PLD 成为最早实现可编程 ASIC 的器件。

PLD 电路的两个基本部份是逻辑阵列的宏单元。逻辑阵列是 PLD 的用户可编程部份,它由与门,或门和反相器组成,输入信号是在逻辑阵列中布线通道上运行的。在第二代 PLD 上新增加的宏单元允许用户规定 PLD 的输出结构。最初的宏单元例子是能可编程输出极性的宏单元,这个宏单元是十分简单的:只要加一额外的熔丝到逻辑阵列的每个输出边就可实现,用户编程这个极性熔丝来配置输出信号的极性。下面首先讨论 PLD 的逻辑阵列的结构。然后再讨论带有宏单元的通常为擦除式的高密度和高性能的 PLD,即 EPLD。

§ 2.2 PLD 阵列结构

PLD 的主要部份是由两个逻辑门的阵列构成的,一个与阵列伴随一个或阵列。技术上,输入到 PLD 的信号必须首先通过一个与门阵列,在这里形成输入信号的组合,每组相与的组合被称为布尔代数的子项或 PLD 术语中的乘积线,这个乘积线在第二个或门阵列中被相加。这个逻辑信号现在对于输出宏单元是有用的,注意到输入信号的极性不是一个问题,因为真的输入信号和它的补都由输入缓冲器产生。亦就是影响门阵列的布局布线问题从不成为 PLD 的问题,因为布线是通过阵列来提供的。所以在 PLD 中 100% 的布通率总是保证的。

可编程逻辑器件中的与/或阵列结构在硅片上制造时是十分有效的,除此之外,它对于逻辑设计也是十分方便的,因为它直接实现“积之和”形式的逻辑表达式,逻辑表达式的积之和形式对逻辑设计者是十分熟悉的,因为在布尔代数中,与算子有高于或算子的层次,所以可以十分容易地利用逻辑设计技术来产生逻辑方程,如逻辑设计中常用的卡诺图和摩根定理。与/或逻辑的概念实际上在布尔代数中是有它的根据的,所有任意的逻辑函数都可以利用两级与或门来实现,对于十分复杂的逻辑这样得到的门电路可能是十分大的,对于离散逻辑的分立器件实现起来是一个问题,但是对阵列基础上的 PLD 不成为问题。

实际上,在与/或阵列的基础上有三种基本类型的 PLD,由哪个阵列是可编程的来区分

这三种类型：

- (1) 可编程只读存储器—PROM：与阵列固定，或阵列可编程。
- (2) 可编程阵列逻辑—PAL：与阵列可编程，或阵列固定。
- (3) 可编程逻辑阵列—PLA：与和或两个阵列都可编程。

§ 2.2.1 PROM

可编程只读存储器(PROM)的内部结构是由固定的与阵列及其输出加到一个可编程的或阵列组成的，如图 2.1 所示。因为与阵列是固定的，输入信号的每个可能组合是由连线连接好的，而不管此组合是否会被使用，所以在这方面 PROM 十分类似于一个查找表。

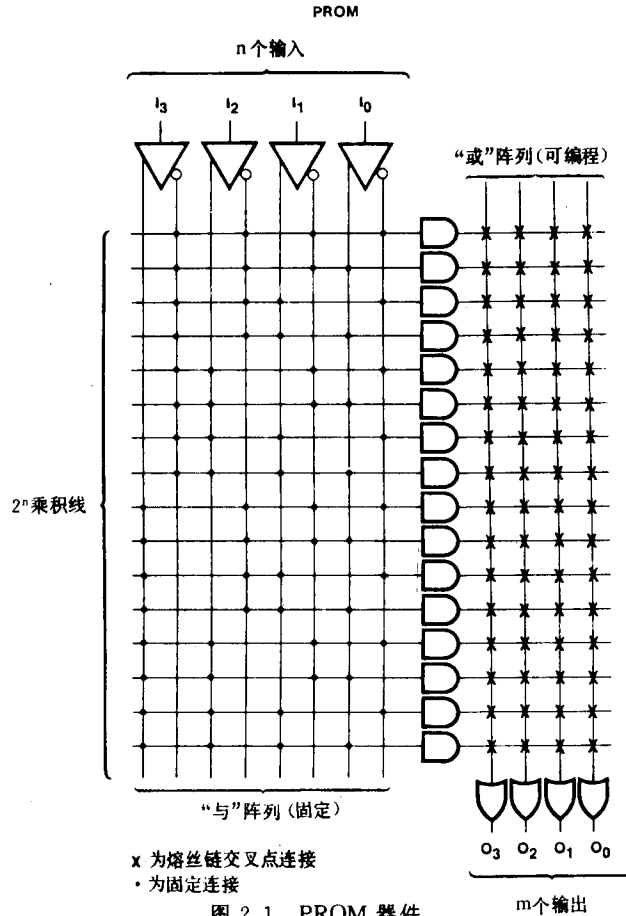


图 2.1 PROM 器件

因为每个输入信号组合都被译码，所以 PROM 的输入阵列结构可以为要求小数量的输入和许多组合项的逻辑应用很好地工作。因此对于如随机逻辑置换，译码器/编码器，错误检测和校正，查找表，和分布算法等小的逻辑应用 PROM 是一种速度快，成本低，编程容易的逻辑器件。在 PROM 中，随输入信号数量的增加，阵列会变得越来越大，因为 PROM 的规模随输入数量的增加按 2^n 指数地增长。所以当输入的数目变的太大时，变成大部件的 PROM 器件出现了许多缺点，如器件成本升高，功率消耗增加和可靠性降低等都成为问题。

§ 2.2.2 PLA(Programmable Logic Array)

在可编程逻辑阵列(PLA)中,与阵列和或阵列二者都是可编程的,图 2.2 给出 PLA 的结构。

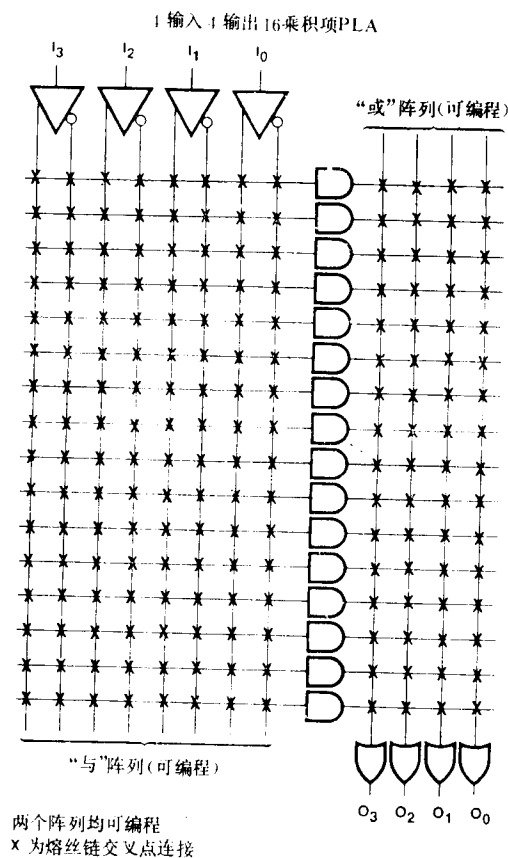


图 2.2 PLA 器件

PLA 的内部结构提供了在可编程逻辑器件中最高的灵活性。因为与阵列是可编程的,它不需要包含输入信号每个可能的组合,需要包含的组合仅仅是在逻辑功能中实际要求的那些组合。所以,在 PROM 中由于输入信号数量增加而使器件规模增大的问题在 PLA 中不存在。

PLA 对实现复杂的随机逻辑置换,如算术累加逻辑单元(ALU)和数据通道控制等是很理想的。但是,PLA 器件的灵活性被其很少称心的慢速特性和比仅有一个可编程阵列的器件有更多的耗费所抵销。利用 PLA 的另一缺点是在器件中有一个被限定的乘积项。

§ 2.2.3 PAL 和 GAL(Programmable Array Logic, Generic Array Logic)

PAL(可编程阵列逻辑)或 GAL(通用阵列逻辑)器件的结构在图 2.3 中被表示,它是由一个可编程与阵列及其输出加到一个固定的或阵列组成的。

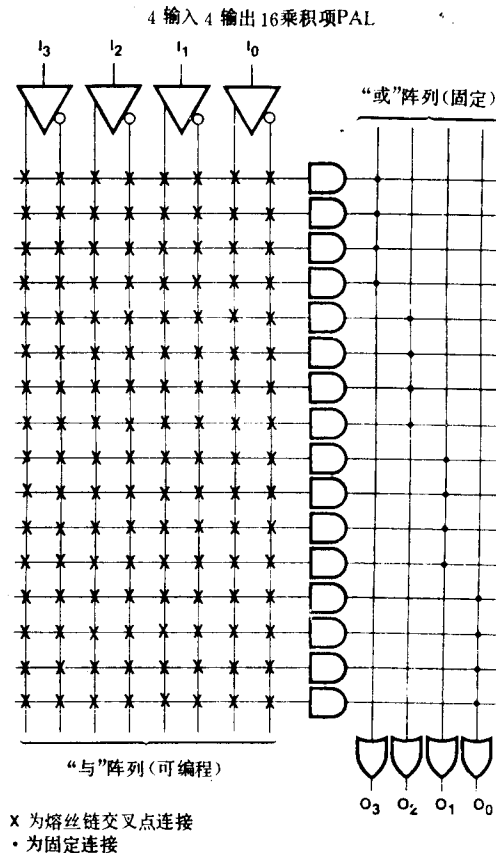


图 2.3 PAL 器件

所以 PAL 或 GAL 这类器件把 PROM 器件的成本低, 速度高, 编程容易的特性以及 PLA 器件的灵活性的优点结合在一起, 因此在早期成为实现可编程 ASIC 的主要器件, GAL 的可再编程特性, 更为开发提供了方便。

虽然所有的 PAL 和 GAL 器件有相同的内部结构, 这些类型的器件靠各种特性组合而被区别。器件的选择包括改变输入和输出腿的数目, 高有效或低有效的输出, 寄存的或组合的输出, 从输出反馈进阵列的反馈通道。

§ 2.2.4 EPLD

八十年代中期, Altera 推出 EPLD, 改进了 PLD 的结构, EPLD 为可擦除的可编程逻辑器件, 可擦 PLD 包括 EPLD(UV 可擦 PLD) 和 EEPLD(电可擦 PLD)。

EPLD 的结构特点是大量增加输出宏单元的数目, 提供更大的与阵列。随着与阵列的扩大和输出宏单元的增加而过渡到复杂可编程逻辑器件。

在说明了许多类型的 PLD 能力之后, 可擦 PLD 可以替代有相同出腿数目的几乎任何 PAL 或 PLA。

在表 2.1 中摘要给出各种可编程逻辑器件(PLD)所适合的应用范围。

表 2.1 可编程逻辑器件(PLD)应用摘要

器件	与阵列	或阵列	应用
EEPLD	可变	可变	大多数 PLA 和 PAL 的应用
PROM	固定	可编程	小的逻辑设计, 编码/译码, 查找表, 分布算法
PLA	可编程	可编程	状态机, 数据通道控制
PAL	可编程	固定	编码/译码
16L8			状态机
16R8			灵活的状态机, 混合输出应用
32V×10			埋入状态寄存器设计

§ 2.3 复杂可编程逻辑器件的结构

前一节中, 对于所有被讨论的 PAL 器件的可编程能力被限制于与阵列, 换言之, 用户编程与阵列中的熔丝链来执行所需的逻辑功能。用户选择不同的输出结构要选用不同的 PAL 器件。

在这节中要讨论几种新的 PAL 器件, 它们包含熔丝来控制围绕输出结构的逻辑门, 用户可以选择一个器件并编程使输出成为寄存的, 或组合的, 或与 D 触发器相对的 J-K 触发器。选择这几个 PAL 器件是因为它们代表带有宏单元的新品种。

最小的 PAL 器件是十分简单的, 它们确实由可编程的与阵列伴随一个固定的或阵列所组成, 不带有寄存器或宏单元。每个器件类型由输入数目、输出数目和输出极性所区别。其优点就是它们的简单性, 直接用 PAL 器件代替小量的小规模器件(例如: 地址译码应用)。这些主要实现组合逻辑功能的早期 PLD 称为简单 PLD。

稍复杂一些的 PAL 提供了较大的与阵列和灵活的输出结构, 即包括下述输出结构:

1. 可编程 I/O: 允许用户对这些出腿编程或者作为输入或者作为输出只要在倒相的输出缓冲器之后经过反馈线连接实现。

2. 寄存器输出和反馈: 规则的状态序列(计数器和移位寄存器)随机状态序列。同步或流水线组合逻辑。

3. 异或门输出结构: —— 多功能计数应用。十分有效地建立大的计数器。

至少带有宏单元的 PAL 器件被称为复杂可编程逻辑器件, 有代表性的是最先带有宏单元的 PAL22V10, AMD 公司生产的 PAL22V10 是专为代替 24 出腿的 PAL 器件而设计的, 并且很快成为最畅销的 PAL 之一。目前 PAL22V10 已用它来作为划分 PLD 的参考, 可编程逻辑器件所包含的门数大于 PAL22V10 的门数, 就被认为是复杂或高级可编程逻辑器件。而且复杂可编程逻辑器件常常以等效为包含多少个 22V10 的功能块来决定它的规模。下面列举几个带有宏单元的 PAL 器件。

1. PAL22V10

包括熔丝链来控制围绕输出结构的逻辑门。

可编程输出极性: 由或阵列之后输出缓冲器为组合输出和寄存器(为寄存输出)之

前设置的异或门来实现的。

极性熔丝在熔丝接触时连接异或门的一个输入端到地依靠极性熔丝的通断,改变极性。

改变乘积项分配:每对宏单元有不同数量的乘积线。

在 PAL22V10器件中,10个出腿有输出宏单元,并有12个输入,10个输出的任一个也可作为输入,每个宏单元有沿触发的 D 触发器和两个可编程的多路开关,两个新的乘积项可以预置或复位触发器。

2. PAL32VX10

可编程触发器(J-K,S-R,T,D)。

双的独立反馈。

3. PAL20RA10/PAL16RA8

扩充非同步能力寄存器 PAL 器件

可编程和硬连接三态输出

可编程时钟

非同步复位设置

可编程输出极性。

图2.4和图2.5分别是 PAL22V10和 PAL32VX10的宏单元。

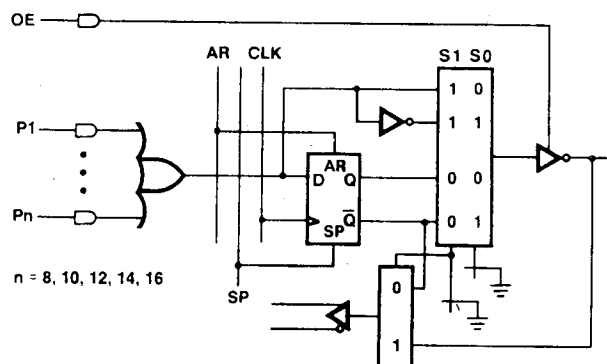


图2.4 PAL22V10的宏单元

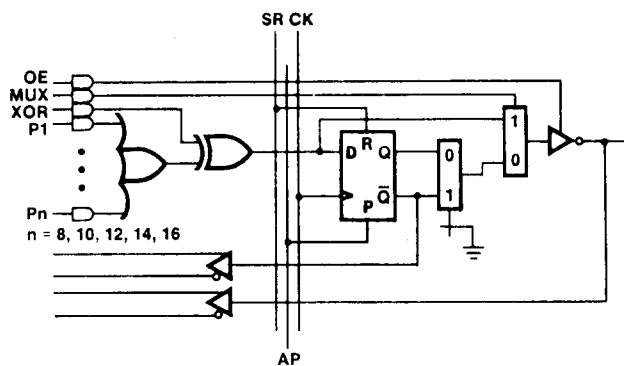


图2.5 PAL32VX10的宏单元

Lattice Semiconductor 公司推出了通用阵列逻辑 (GAL) 来取代 PAL, GAL 利用 E²PROM 单元来控制互连模式和作为开关的传输晶体管, 所以 GAL 是电可擦除的, 而且是可再编程及系统内可再编程的。八十年代 Altera 和 Plus Logic 公司推出 EPLD, 进一步发展了 PLD 的结构, EPLD 可用紫外光擦除, 以电方式编程, EPLD 的结构大量增加了输出宏单元的数目, 并提供了更大的与阵列。在第五章再详细讨论 Xilinx 的可擦除可编程逻辑器件, 由于 Xilinx 的 EPLD 相当于包含多个 PAL22V10, 所以也应是复杂的可编程逻辑器件。图 2.6 为 Altera 的 MAX EPM5128 的方框图。

九十年代 Lattice 公司又将其 UltraMOS 的 E²CMOS 工艺用于它的非丢失的系统内可编程高密 CPLD—ispLSI 系列。

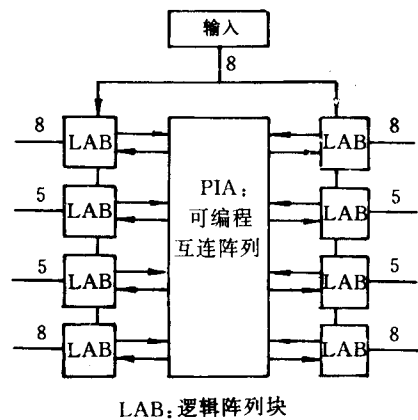


图 2.6 Altera MAX EPM5128 的方框图

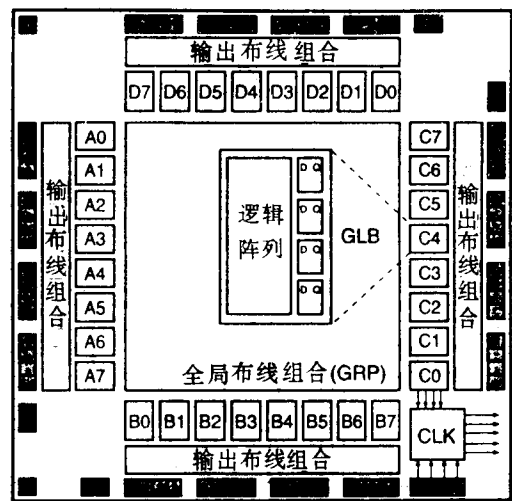


图 2.7 Lattice ispLSI 系列的方框图

因此,复杂可编程逻辑器件 CPLD 基本上是扩充原始的可编程逻辑器件 PAL,它常常由可编程逻辑的功能块围绕一个位于中心和延时固定的可编程互连矩阵构成,由于用固定长度的金属线实现逻辑单元之间的互连,而可编程逻辑单元又是类似 PAL 的与阵列,使得复杂可编程逻辑器件与 FPGA 相比很容易计算输入到输出的传播延时,但也限制了它的一些灵活性。CPLD 的设计也较 FPGA 简单。

虽然,CPLD 的结构看起来都很相似,而且一般都认为 CPLD 有100%的布通率,但是由于可编程互连矩阵的结构不同,实际上是有差别的。例如,Lattice 的全局布线组合(GRP)是一个多路开关的阵列,造成信号线互相连接有一定的限制,所以利用率不能达到100%。Altera 的 CPLD 在布通率上也有类似的问题。Xilinx 的通用互连矩阵(UIM)是纵横开关(Crossbar Switch)的矩阵,可以保证100%的布通率,只要逻辑电路放得进 Xilinx 的 CPLD,便一定能布得通,逻辑电路一定能实现,也就是说从器件输入或从一个功能块输出的一条信号线一定可以去到另外任一个功能块。Xilinx 的 UIM 除了可以连接不同的逻辑电路,还能在不增加任何额外逻辑资源的情况下实现线与功能,其开发系统软件会充分利用它的 UIM 资源,称为 Smart Switch,UIM 实现线与不增加延时,保证了设计的速度不会随设计复杂性的增加而下降。