

ALTERA



ALTERA 可编程 逻辑器件及其应用

清华大学出版社

ALTERA 可编程逻辑器件 及其应用

刘宝琴 张芳兰 田立生 编译

清华大学出版社

(京) 新登字 158 号

内 容 简 介

可编程逻辑器件是高速、高集成度的逻辑器件,它由用户在工作现场定义(即编程)其逻辑功能,可缩短设计周期,降低设计风险。

本书介绍目前国内外广为流行的 Altera 公司的各种可编程逻辑器件,重点介绍可多次编程的 FLEX 8000 和 MAX 7000 器件的工作原理、结构和性能,应用这些器件的设计技术和实例,以及 MAX + PLUS I 开发工具。

本书根据 Altera 公司的有关资料编译而成,可供应用可编程逻辑器件的技术人员使用,也可作为无线电、计算机、自动化等专业的教学参考书。

本书根据 Altera 公司的有关资料编译而成,英文版权归 Altera 公司所有,中文版权归 Altera 公司授予清华大学出版社,版权为清华大学出版社所有。未经出版者书面允许,不得以任何方式复制或抄袭本书内容。

图书在版编目 (CIP) 数据

ALTERA 可编程逻辑器件及其应用/刘宝琴等编译. —北京:清华大学出版社,1995
ISBN 7-302-01804-9

I. A… II. 刘… III. 可程序逻辑系列—逻辑部件 IV. TP332.1

中国版本图书馆 CIP 数据核字 (95) 第 02858 号

出 版 者:清华大学出版社(北京清华大学校内,邮编 100084)

责任编辑:王仁康

印 刷 者:印刷厂

发 行 者:新华书店总店科技发行所

开 本:787×1092 1/16 印张:20 字数:474 千字

版 次:1995 年 4 月第 1 版 1995 年 4 月第 1 次印刷

印 数:0001—4000

书 号:ISBN 7-302-01804-9/TP·803

定 价:40.00 元

致读者

从 80 年代末到 90 年代初,世界电子工业得到了飞速的发展。各种电子产品、元器件、集成电路芯片被广泛地应用到生产、科研、教学、以及家庭生活的各个方面。在这众多的产品中,PLD(可编程逻辑器件)以其操作灵活、使用方便、开发迅速、投资风险低的特点,很快发展起来,并越来越受人们的注目。

在众多的 PLD 生产厂家中,美国 Altera 公司凭借其雄厚的技术实力,独特的设计构思,和功能齐全的芯片开发系统,在激烈的市场竞争中脱颖而出,成为其中的佼佼者。他们先后推出了以 Classic 系列、MAX 5000 系列、MAX 7000 系列为代表的第三至第五代 EPLD(可擦除、可编程逻辑器件)产品。通过 Altera 公司先进的芯片开发软件 MAX +PLUS II,用户可以任意地对芯片进行编程、加密、用软件代替硬件,以实现自己的设计需求。当用户需要更改设计时,又可以轻易地将以前的配置擦除,重新进行配置。这不仅大大地提高了设计速度,而且与 ASIC(专用集成电路)相比较,投资风险也大为降低。

为了满足用户更为广泛的设计需要,Altera 公司又对 FPGA(用户现场可编程门阵列)进行研究改进,并综合进自己的产品中,推出了功能超过普通 FPGA 的 FLEX 8000 系列。FLEX 8000 吸取了 FPGA 容量大,修改快的优点,又通过专用快速通道的设计,弥补了 FPGA 延时不可预测的缺陷,使得 FLEX 8000 成为一种优秀的现场可编程逻辑器件。最近,Altera 公司在 MAX 7000 的基础上,结合 FLEX 8000 结构,又推出了最新的 MAX 9000 系列高容量 EPLD 产品,相信在不久的将来,这种新器件必将广泛地用于生产、生活中的各个方面。

作为 Altera 公司在中国和香港地区的代理,晓龙国际有限公司真诚地希望通过本书的出版,能将 Altera 公司的优秀产品和先进技术介绍给广大中国用户。使中国用户更加熟悉、掌握、并使用这种 90 年代的高科技产品。相信随着 EPLD 等高新技术产品的推广,中国的电子产业,特别是数字系统微型化、单片化也必将获得更快的发展,从而开创更为辉煌的未来。这也正是我们将本书推荐给广大中国读者的宗旨。在此我们也向为本书的出版做出贡献的美国 Altera 公司和北京清华大学表示深深的谢意!并对所有为本书的出版做出贡献的人员表示诚挚的感谢!

晓龙国际有限公司北京办事处

张志麟

1995 年 3 月 12 日

译者的话

可编程逻辑器件（简称 PLD）是可以由用户在工作现场进行编程的逻辑器件，它从简单的 PAL、GAL，已发展到 CPLD、EPLD、FPGA 和 FLEX 系列。可编程逻辑器件易学、易用，简化了系统设计，缩小了系统规模，提高了系统的可靠性。一个器件的可用门已达数万门，引脚间延时仅几纳秒，而且仍在朝着高密度、高速度的方向迅速发展着。Altera 公司是世界领先的、著名的生产可编程逻辑器件的厂家，该公司工艺先进，生产的 MAX 和 FLEX 两大系列的可编程逻辑器件具有独特的性能，适用于开发周期短、高性能、高集成度的各种设计，读者在阅读本书的过程中，将会对 Altera 公司产品的一系列优点有深切的感受。本书是为应用 PLD 的广大读者编写的，具备大专文化水平、数字电路基本知识便可阅读。

本书是根据 Altera 公司的器件手册和一些应用文章编译的，主要介绍 FLEX 8000 系列和 MAX 7000 系列器件及其应用，选材和编排上力求做到全面、系统和实用，达到学以致用目的。全书分为 6 章。第 1 章绪论概述了 Altera 器件的特性及其开发工具。第 2 章和第 3 章详细介绍 FLEX 8000 系列的结构和应用。第 4 章介绍 MAX7000 系列的结构和应用，同时对 MAX 9000 系列、MAX 5000 系列和 Classic 系列作了简要的介绍。第 5 章介绍 Altera 公司的 MAX+PLUS II 开发工具。第 6 章介绍有关使用 PLD 的几个问题。本书各章内容自成体系，读者可以根据需要选学有关的章节。书末附有本书常用术语的解释。

Altera 公司和晓龙国际有限公司对本书出版给予了极大的支持和帮助。本书由清华大学电子工程系刘宝琴、张芳兰、田立生等同志编译。书中不妥之处，望读者予以批评指正。

译者 1995 年 1 月

1.1 Altera 产品概述

可编程逻辑器件 (PLD) 是可由用户进行编程 (又称配置) 实现所需逻辑功能的数字集成电路。利用 PLD 内部的逻辑结构可以实现任何布尔表达式或寄存器函数。这不同于诸如 TTL 等成品逻辑集成电路, 那些成品器件只提供特定的逻辑功能, 不能够由用户根据具体设计的需要进行修改。PLD 曾被看作只是离散逻辑 (如 TTL, CMOS 等) 和 ASIC 这样的全定制或半定制器件的替代品, 然而, 近年来它已成为更受青睐的一种选择了。由于大批量的生产和采用先进的工艺技术, PLD 的价格不断降低, PLD 厂家提供的器件同许多离散器件或全定制器件相比, 其集成度更高, 性能更好, 并且每一功能的价格比更低。

可编程逻辑器件包括所有可由用户配置的数字逻辑电路, 有简单、低密度、20 引脚的可编阵列逻辑/通用阵列逻辑 (PAL/GAL) 器件、现场可编程门阵列 (FPGA) 和复杂的 PLD (CPLD)。各种 PLD 具有不同的结构, 为配置器件其内部采用的存储技术也各种各样。图 1.1.1 表示了 Altera 公司的通用器件 FLEX 8000, MAX 7000, MAX 5000/EPS 464 和 Classic 在各种可编程逻辑器件中的位置。新近研制成功的 MAX 9000 系列属于 EPLD, 但它又融合了 FLEX 8000 的优点。EPLD 是可擦除可编程逻辑器件 (Erasable Programmable Logic Device); MAX 是多阵列矩阵 (Multiple Array Matrix); FLEX 是灵活逻辑单元矩阵 (Flexible Logic Element Matrix), 这些缩写字本书中经常用到。

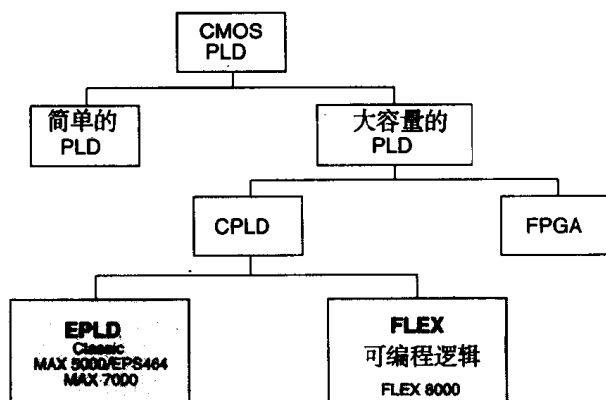


图 1.1.1 Altera 通用逻辑器件

CPLD 和 FPGA 的内部连线结构不同。FPGA 的分段式互连结构是利用不同长度的

几种金属线经“传输管”将各个逻辑单元连接起来。与此不同，CPLD 的连续式互连结构利用具有同样长度的一些金属线实现逻辑单元之间的互连。连续式互连结构消除了分段式互连结构在定时上的差异，并在逻辑单元之间提供快速、具有固定延时的通路。Altera 的 MAX 系列和 FLEX 系列均采用连续式互连结构，这种结构的又一优点是比较容易实现各种设计，从而可以缩短开发周期。

1.1.1 Altera 的 PLD 系列产品

Altera 公司提供五个系列的通用 PLD 产品：Classic，MAX 5000/EPS 464，MAX 7000，FLEX 8000 和 MAX 9000。所有这些产品的基本构造块是逻辑单元（logic cell）。逻辑单元包含组合逻辑和可编程的触发器。在 Classic，MAX 5000/EPS 464，MAX 7000 和 MAX 9000 系列中，逻辑单元是宏单元（Macrocell），它采用可编程的“与阵”和乘积项的固定的“或”结构，这种宏单元类似于普通的 PAL/GAL（参看图 4.1.3 或图 4.8.3）。FLEX 8000 系列的逻辑单元称为 LE 逻辑单元（LE—logic element），简称逻辑单元（参看图 2.1.2），它采用查找表（LUT—look-up table）结构实现逻辑功能。不同结构具有不同的速度，针对具体应用有各自的优点。

图 1.1.2 概括了几种 Altera 器件的结构，并说明为保证器件在很高集成度情况下仍保持高性能时其结构是如何演变的。Classic 集成度较低，采用全局连线；MAX 5000 采用可编程连线阵列；MAX 7000 采用增强型可编程连线阵列（PIA）；FLEX 8000 采用快速通道（FastTrack）连线结构。新近研制的 MAX 9000（在图 1.1.2 中未示出）也采用 FastTrack 连线结构。在图 1.1.2 的 MAX 5000 和 MAX 7000 中，每个小方块是一个逻辑阵列块（LAB），它由 8 个或更多个宏单元组成（参看图 4.1.1）；在 FLEX 8000 中，每个小方块也称为逻辑阵列块（LAB），但它是由 8 个逻辑单元 LE 组成的（参看图 2.1.1）。

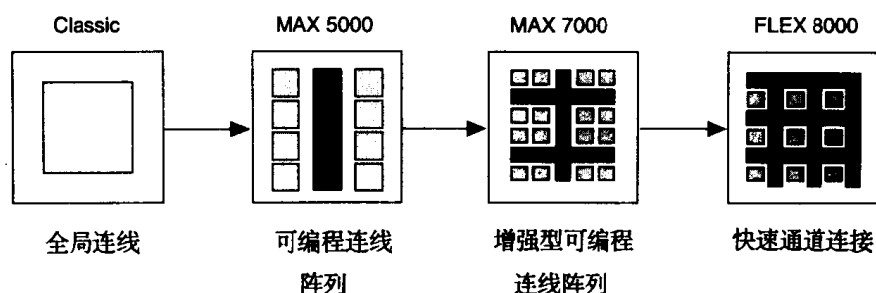


图 1.1.2 Altera 器件结构的演变过程

Altera 的 PLD 均可根据用户设计项目的要求进行编程配置，而且可多次进行重新配置。配置的数据存储在 SRAM（FLEX 8000 系列），EEPROM（MAX 7000 和 MAX 9000）或 EPROM（MAX 5000/EPS 464 和 Classic）中。此处 SRAM 是静态随机存取存储器；EEPROM 是电擦除的可编程只读存储器；EPROM 是紫外光擦除的可编程只读存储器。

表 1.1.1 概括了 Altera 产品的结构与工艺。

表 1.1.1 Altera 器件结构和工艺

器件系列	逻辑单元结构	连线结构	工 艺
FLEX 8000	查找表	连续式	SRAM
MAX 7000/MAX 9000	积之和	连续式	EEPROM
MAX 5000/EP5 464	积之和	连续式	EPROM
Classic	积之和	连续式	EPROM

下面总结一下 Altera 通用可编程系列产品的关键特性与优点。图 1.1.3 对每个系列的引脚数目与集成度进行了比较 (MAX 9000 未在图中示出)。

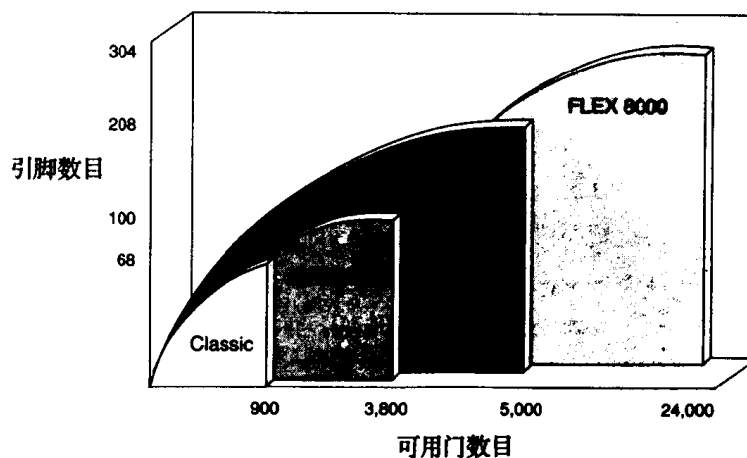


图 1.1.3 Altera 器件系列的引脚数目与集成度

1. Classic 系列

Classic 系列是 Altera 公司最早的产品系列，集成度可达 900 可用门，引脚可达 68 个。工业标准的 Classic 系列由一个具有公共互连逻辑的阵列构成，适合于集成度低、价格便宜的应用。该系列具有独特的“0 功率 (zero-power)”模式，维持状态的电流只有微安量级，这对于低功耗的应用非常理想。该系列基于 EPROM 工艺，编程信息不易失去，并可用紫外光擦除和多次编程。

2. MAX 5000/EP5 464 系列

MAX 5000/EP5 464 系列是 Altera 第一代 MAX 器件，它广泛用于需要高级组合逻辑、其成本又较便宜的场合。这类器件的集成度为 300~3800 可用门，有 20~100 个引脚。由于该系列已经很成熟，加之 Altera 公司对其不断改进和采用更先进的工艺，使得 MAX 5000/EP5 464 器件每个宏单元的价格可与大批量生产的 ASIC 和门阵列相近。基于 EPROM 的 MAX 5000/EP5 464 系列也是编程信息不易失的、可紫外光擦除的器件。

3. MAX 7000 系列

MAX 7000 系列是 Altera 第二代 MAX 结构的器件，它是工业界中速度最快的高集

成度可编程逻辑器件系列。其集成度为 600~5000 可用门,有 32~256 个宏单元和 36~164 个用户 I/O 引脚。该系列器件的组合传播延时快至 7.5ns,16 位计数器的频率为 125MHz。此外,它们的输入寄存器的建立时间非常短,能提供多个系统时钟且有可编程的速度/功率控制。I/O 引脚输出电压摆率是可以控制的,这提供了一个附加的开关噪声电平的控制。基于 EEPROM 的 MAX 7000 系列是编程信息不易失的、可电擦除的器件。

4. FLEX 8000 系列

FLEX 8000 系列适合于需要大量寄存器和 I/O 引脚的应用。该系列器件的集成度范围是 2500~50000 可用门,具有 282~4752 个寄存器,78~360 个用户 I/O 引脚。这些特性及其高性能、可预测速度的互连方式,使它们像基于乘积项的器件那样容易使用。此外,FLEX 8000 以 SRAM 为基础,使其维持状态的功耗很低,并且可进行在线重新配置。上述的特点使 FLEX 8000 非常适合于 PC 机上的插卡、由电池供电的仪器以及多功能的电信卡之类的应用。

5. MAX 9000 系列

MAX 9000 是新近研制的第三代 MAX 结构的产品系列,集成度为 6000~12000 可用门,引脚为 168~216 个,内含 320~560 个宏单元,延时为 12ns,16 位计数器的频率为 118MHz。该系列采用了 FLEX 8000 系列的快速通道互连结构,又具有 MAX 7000 结构的优点,它采用编程信息不易失的 EEPROM 技术,并可在 5V 电源条件下实现在系统上的重新配置。

所有的 Altera 系列产品都采用 CMOS 工艺,与双极性工艺相比,它的功耗低、可靠性高。Altera 公司不断改进其产品的一部分工作就是每当新工艺成熟起来可以可靠地支持生产时,Altera 即把产品转入更先进的工艺。这种转变通常可以降低制造成本、改善性能,提供更快、更便宜的器件。

1.1.2 适合于大批量生产的产品

对于以大量产品为目标的应用,Altera 提供掩模编程的逻辑器件 (MPLD—Mask-Programmed Logic Device),这是高集成度 PLD 的低价替代品。MPLD 是可编程逻辑器件的掩模形式,它提供一种独特转换方法,此法省去了全定制和半定制器件的那些完全针对具体工程的工作,将设计快速地转换成 MPLD 器件,使之迅速推向市场。

1.1.3 MAX+PLUS II 开发工具

Altera 的器件能达到最高性能和集成度,不仅仅是因为采用了先进的工艺和全新的逻辑结构,还在于提供了现代的设计工具。Altera 的 MAX+PLUS II 可编程逻辑开发软件提供了一种与结构无关的设计环境,它使 Altera 通用 PLD 系列设计者能方便地进行设计输入、快速处理和器件编程。(见图 1.1.4)

使用 MAX+PLUS II,设计者无需精通器件内部的复杂结构。设计者可以用自己熟悉的设计输入工具(如原理图输入或高级行为语言)建立设计,MAX+PLUS II 把这些设计转换成最终结构所需的格式。由于有关结构的详细知识已装入开发工具,设计者不需手工优化自己的设计,因此设计速度非常快。使用 MAX+PLUS II,从设计输入到器件编程完毕,用户拿到设计好的逻辑电路,大约只需几小时。设计处理一般可在数分钟

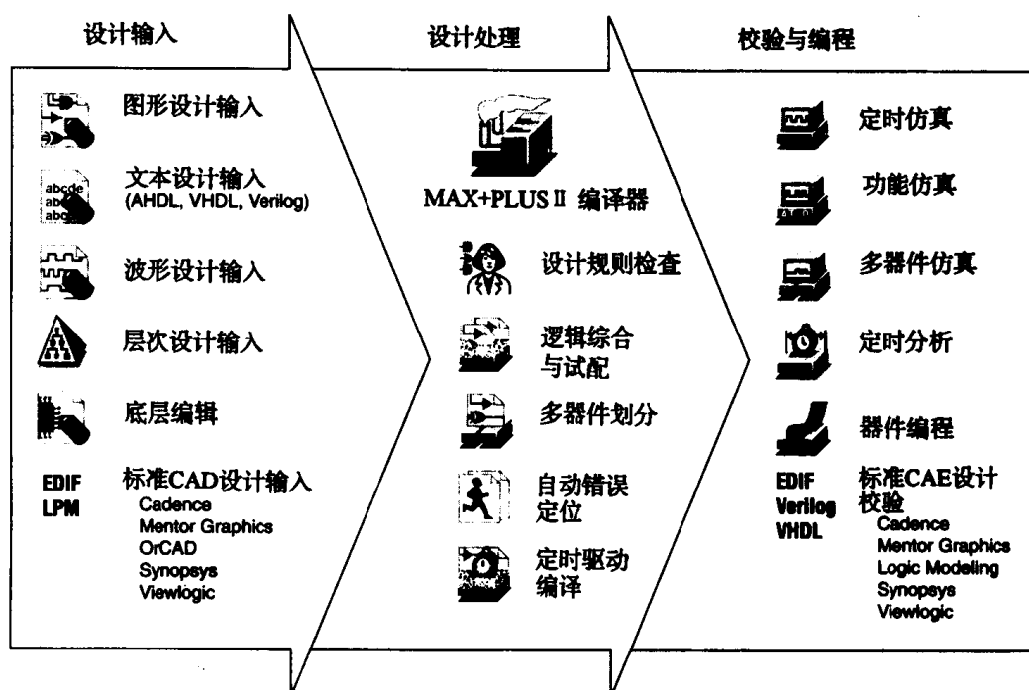


图 1.1.4 MAX+PLUS II 设计环境

内完成，这样一天就可以做几个设计。

1. 设计输入、处理、校验与器件编程

MAX+PLUS II 提供了全面的逻辑设计能力。设计者可将文本、图形和波形等设计输入方法任意组合建立起有层次的单器件或多器件设计。MAX+PLUS II 编译器 (Compiler) 完成最小化和逻辑综合，把设计装配成一个或多个器件并产生编程数据。还可进行设计校验，包括功能仿真、定时仿真、影响速度的关键路径的延时预测以及多系列器件交叉的多器件仿真。Altera 公司与多家可编程硬件厂家都提供用于器件编程的硬件。

2. 使用各种平台和其它 CAE 工具

Altera 提供的逻辑开发环境是电路设计者们非常熟悉的。借助 EDIF、LPM、Verilog HDL 和 VHDL，MAX+PLUS II 能与 Cadence、Ment or Graphics、Or CAD、Synopsys、Viewlogic 等公司提供的其它多种 CAE 工具接口。MAX+PLUS II 编译器 (Compiler) 可以在 PC 机及各种工作站平台上运行，这使 MAX+PLUS II 成为工业界中唯一与平台无关、与结构无关的可编程逻辑设计环境。Altera 与工业界中处于领先地位的 CAE 工具厂商组成的 ACCESS 机构确保 Altera 公司的产品与 ACCESS 其它成员的产品能很好地连接，并能适时地以这些工具支持 Altera 的产品。

1.1.4 结束语

离散逻辑 (TTL 等)、全定制或半定制器件 (ASIC) 及 PLD 是设计师开发逻辑电路时通常选用的三类器件。最佳选择应能最大限度地满足设计要求。表 1.1.2 列举了一些

主要指标及这三类器件满足指标的情况。

表 1.1.2 选择器件的考虑

指 标	PLD	离散逻辑	全定制器件
速 度	●	○	●
集 成 度	●	○	●
价 格	●	○	● (1)
开发时间	●	■	○
样品及仿真时间	●	○	○
制造时间	●	■	○
使用的难易程度	●	■	○
进一步修改	●	■	○
库存风险	●	●	○
开发工具的支持	●	○	●

注：(1) 仅当大批量生产时价格才较合适

●很好

■比较好

○差

由于采用全新的结构、先进的技术再加上 MAX+PLUS II 可编程逻辑的开发环境，使得 Altera 公司的 PLD 器件不仅具有 PLD 的一般优点而且还有如下一些优势：

- ☐ 较高的性能
- ☐ 高集成度
- ☐ 价格合适
- ☐ 使用 MAX+PLUS II 软件，开发周期较短

1. 较高的性能

性能与工艺和结构有关。Altera 公司的器件采用当前延时最短的 CMOS 工艺制造。此外，器件的连续互连结构能提供快速、一致的信号延时。

2. 高集成度

为缩小电路板的尺寸并降低成本，设计师们经常为自己的设计寻找集成度尽可能高的器件。为了能在较少的器件中集成更多的逻辑以降低成本，对现有的设计也经常要进行二次开发。由于 PLD 具有高度逻辑集成能力，因此是一种很好的选择。Altera 器件的集成度范围从 300 到 50000 可用门，可以很容易地集成现有逻辑，而且无论它曾由多个离散逻辑器件、多个 PLD 或是 FPGA、甚至是几个定制的器件组成。这种高集成能力不仅能降低系统的成本而且能提供更高的性能与可靠性。

3. 价格合适

Altera 公司为改进产品开发和制造工艺进行了不懈的努力。十多年积累的经验使其工艺技术和制造流程高度有效，Altera 公司能提供价格最合适、性能最好的可编程逻辑器件。

4. 使用 MAX+PLUS II 软件，开发周期较短

对很多设计工程师来说，时间是最宝贵的资源。一个项目，若不能按时完成将会浪费大量钱财，并因此失去展示自己的机会。因此，开发周期越短越好。Altera 的快速、直观和易于使用的 MAX+PLUS II 软件可以显著地缩短开发周期。设计输入、处理、校验和器件编程诸项工作一共只需几小时，一天内有可能做几个完整的设计。图 1.1.5 所示

为 MAX+PLUS II 开发环境下典型 PLD 的开发周期, 图中所示时间是对应 10000 个门比较复杂的逻辑设计之典型数据。

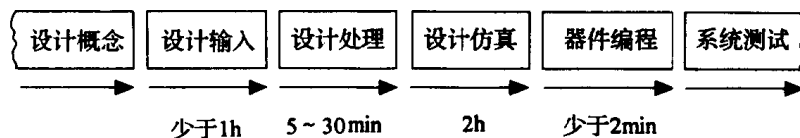


图 1.1.5 Altera 器件的开发周期

综上所述, Altera 产品所采用的先进结构和加工工艺为 PLD 市场提供了高性能、高集成度、高度灵活适用的产品。不论某种应用的要求如何, Altera 产品都因其高水平的集成、众多的 I/O 引脚和最快的速度而成为合适的选择。

完善的、高度集成的 MAX+PLUS II 开发环境能完成 Altera 所需的全部工作。MAX+PLUS II 使设计者能得到 Altera 器件所具有的全部优点。MAX+PLUS II 可以针对任何产品系列进行设计, 所以能提供与结构无关的设计能力。总的来说, Altera 器件与其开发工具是那些要求开发周期短、产品价格又要便宜的设计的合理选择。

本书将重点讨论 FLEX 8000 和 MAX 7000 器件的结构和性能, 以及它们的使用技巧, 对 MAX+PLUS II 开发工具从使用角度作了介绍。

1.2 Altera 应用工程部的技术支持

Altera 的技术支持小组包括 50 位工程师, 他们专门迅速地解答用户的技术问题。应用工程师分布在圣约瑟 (San Jose) Altera 公司总部、加利福尼亚 (California) 及世界各地。

此外, Altera 应用工程部还提供以下服务:

- ☐ 培训
- ☐ 电子公告牌业务
- ☐ 应用刊物
- ☐ 设计评估
- ☐ 技术支持热线
- ☐ 现场支持

1. 培训

Altera 举办各种培训班以帮助用户有效地使用 Altera 产品。通过这些培训, 用户可以更准确地掌握使用 Altera 开发工具的技巧, 也可以简单地再学习些有关 Altera 产品的内容。培训内容包括器件的结构、MAX+PLUS II 的演示及如何进入对话。所有培训都根据用户需要设置。

培训班固定在圣约瑟 Altera 公司, 有时也可能在用户现场。更详细的信息, 可与 Altera 销售部联系, 电话 (408) 894-7000。

2. 电子公告牌业务

Altera 保持 24 小时电子公告牌业务 (BBS) 以便及时使用 Altera 最新的产品信息。

从 BBS 可以获得在线版的 Altera 应用说明与摘要、最近一季度的简讯及软件应用程序。BBS 还可用来向或从 Altera 应用工程部传送设计文件以得到技术支持。

BBS 的电话号码是 (408) 954-0104。为经调制解调器 (Modem) 连接 BBS, 需要以下设备和配置:

- ☐ 传输波特率最高达 14.4 kbps
- ☐ BELL 212A, CCITT 标准或兼容的 modem
- ☐ 8 位数据, 1 位停止位, 没有奇偶位

需支持以下文件传送协议:

- ☐ ASCII (非二进制)
- ☐ Xmodem (Checksum)
- ☐ Xmodem (CRC)
- ☐ 1K-XModem
- ☐ Ymodem (Batch U/L 和 D/L)
- ☐ Zmodem (Batch U/L 和 D/L)
- ☐ Kermit (MS-DOS Columbia Univ)

3. 应用刊物

为帮助用户选择和使用可编程逻辑器件, Altera 应用工程部制作了技术应用说明与摘要, 目前可利用的 Altera 的技术文献都列在应用工程部每季的用户简讯 (News & Views) 中。该简讯还包括 Altera 应用工程师撰写的技术论文, “问题与解答” 栏目解答很多共同的问题, 简讯还包括有关 Altera 产品的最新消息。所有登记的、Altera 产品的用户每季都会收到该简讯。

4. 设计评估

Altera 应用工程师们还可以评价用户的设计, 向用户介绍最有效的设计方法与合适的 Altera 产品。应用工程师还提供器件性能方面的评估。更进一步的信息, 用户可与当地 Altera 销售部联系。

5. 技术支持热线

上午 7:30 至下午 5:00 (太平洋时间) 用户可用号码 (800) 800-EPLD 直接与应用工程部联系。他们会迅速、圆满地处理用户的问题, 保证您的设计顺利进行。美国以外的用户可与当地 Altera 代理或销售部联系, 也可以传真联系, 传真号码是 (408) 954-0348。

6. 现场支持

现场应用工程师将在用户现场提供支持。他们会评价用户的设计、演示 MAX+PLUS II 软件并提供现场培训。用户可经当地的 Altera 销售部与当地的现场应用工程部联系, 本书涉及的 Altera 器件的数据手册及有关的资料亦可由他们提供。

2.1 FLEX 8000 器件的结构和性能

2.1.1 特点

- ☐ 高集成度、具有丰富寄存器的可编程逻辑器件系列
 - 2500 到 16000 个可用门
 - 282 到 1500 个寄存器
- ☐ FLEX 8000 器件采用 0.8 μ m CMOS SRAM 工艺制造
- ☐ 高速 FLEX 器件采用 0.65 μ m CMOS SRAM 工艺制造
- ☐ 在线可重配置
- ☐ 快速、可预测连线延时的快速通道 FastTrack 连续式布线结构
- ☐ 实现快速加法器和计数器的专用进位链
- ☐ 高效实现高速、多输入逻辑函数的专用级联链
- ☐ 为减小开关噪声的可编程的输出电压摆率控制
- ☐ FLEX 8000A 器件遵守全 PCI 总线规定
- ☐ 内在 JTAG 边界扫描测试电路
- ☐ 3.3V 或 5.0V 电源
 - EPF8282V 为 3.3V 电源
 - EPF8636A 和较大的器件为 3.3V 或 5.0V I/O 电源
- ☐ 84 到 304 个引脚的各种封装 (见表 2.1.1)

表 2.1.1 FLEX 8000 器件特性

特 性	EPF8282 EPF8282V EPF8282A EPF8282AV	EPF8452 EPF8452A	EPF8636A	EPF8820 EPF8820A	EPF81188 EPF81188A	EPF81500 EPF81500A
提供的门数目	5 000	8 000	12 000	16 000	24 000	32 000
可用门数目	2 500	4 000	6 000	8 000	12 000	16 000
触发器数目	282	452	636	820	1 188	1 500
逻辑单元数目	208	336	504	672	1 008	1 296
最大用户 I/O 引脚数目	78	120	136	152	184	208
JTAGBST 电路	Yes	No	Yes	Yes	No	Yes
封 装	84 引脚 PLCC 100 引脚 TQFP	84 引脚 PLCC 160 引脚 PQFP 160 引脚 PGA	84 引脚 PLCC 160 引脚 RQFP 192 引脚 PGA 208 引脚 RQFP	160 引脚 RQFP 192 引脚 PGA 208 引脚 RQFP 225 引脚 BGA	208 引脚 RQFP 232 引脚 PGA 240 引脚 RQFP	240 引脚 RQFP 280 引脚 PGA 304 引脚 RQFP

- ☐ 工作在 PC 机、Sun SPARC 工作站、HP 9000 系列 700 或 DEC Alpha AXP 平台的 Altera MAX+PLUS II 支持软件设计和自动布局、布线
- ☐ 低功耗（维持状态小于 1mA）

2.1.2 概述

FPGA 具有精细分割的结构和大量的寄存器，而 EPLD 中有快速、可预知的连线延时，两者结合起来构成了适于多种应用的 FLEX 8000 系列器件。该系列通过 4 输入查找表 (LUT) 和可编程的寄存器实现各种逻辑功能。其快速、连续网络式的布线资源使之具有优良的性能。

FLEX 8000 器件提供大量的存储单元，可满足数字信号处理、各种数据路径管理、数据变换之类应用的需要。在总线接口、TTL 集成、协处理器功能、高速控制器等应用中，该系列也是优选器件。由于有大量引脚，可以将多倍的 32 位总线集成在一个器件内。表 2.1.2 所示为 FLEX 8000 器件的典型功能与性能。

表 2.1.2 FLEX 8000 的性能

应 用	使用逻辑单元	—2 类器件	—3 类器件
16 位预计计数器	24	133 MHz	115 MHz
16 位可加载计数器	16	71 MHz	45 MHz
16 位可逆计数器	16	71 MHz	45 MHz
24 位累加器	24	48 MHz	32 MHz
16 选 1 多路选择器	10	14 ns	17 ns

各种封装的 FLEX 8000 器件都有 4 个专用输入端用来同步具有多扇出数的控制信号。每个 I/O 引脚都有一个与之联系的、位于器件四周的寄存器。对于输出引脚，这种寄存器提供很短的时钟到输出的时间，对于输入引脚，则提供快速建立时间。

FLEX 8000 中的逻辑功能和互连关系是由 CMOS SRAM 单元配置的。系统加电时通过储存在“串行结构”的 EPROM 中的数据或由系统控制器提供的数据对 FLEX 8000 器件进行配置，Altera EPC 1213 和 EPC 1064 是供器件配置用的 EPROM（简称配置 EPROM），它们借助串行数据流配置 FLEX 8000。配置数据也可以储存在工业标准的 32K×8bit 或更大的 EPROM 中，也可以从系统 RAM 装进来。FLEX 8000 配置以后，通过复位(resetting)可进行在线重新配置，装入新数据。由于重新配置所需时间少于 100ms，系统工作过程中可以实时改变配置。

使用 Altera 的 MAX+PLUS II 开发系统，可以通过图形、文本（包括 Altera 的硬件描述语言 AHDL、Verilog HDL 和 VHDL）与波形等设计输入方式的任意组合建立 FLEX 8000 的逻辑设计。设计校验可进行完整的模拟、最坏情况下的定时分析和功能测试。MAX+PLUS II 还为附加的设计输入提供 EDIF 网表接口，并借助工业标准的 CAE 工具提供仿真支持。此外，MAX+PLUS II 还能输出 verilog HDL 和 VHDL 网表文件。

2.1.3 功能描述

FLEX 8000 的结构中引入了一种逻辑单元（LE—logic element）的大矩阵。每个 LE 含有一个提供组合逻辑能力的 4 输入的查找表 (LUT)，以及一个能提供时序逻辑能力的

可编程寄存器。LE 的结构能有效地实现各种逻辑。

每 8 个 LE 组成一组, 构成一个逻辑阵列块 (LAB—Logic Array Block)。每个 FLEX 8000 LAB 都是一个独立的结构, 具有共同的输入、互连与控制信号。LAB 的这种“粗粒度”结构有利于布线和实现器件的高性能。

图 2.1.1 是 FLEX 8000 结构的方块图, LAB 排列成行与列。位于行和列两端的输入/输出单元 (IOE—I/O 单元) 提供 I/O 引脚。每个 IOE 有一个双向 I/O 缓冲器和一个既可做输入寄存器也可做输出寄存器的触发器。

FLEX 8000 器件内部信号的互连是由快速通道 (FastTrack) 连线提供的, 这是贯通器件长、宽的快速连续通道。

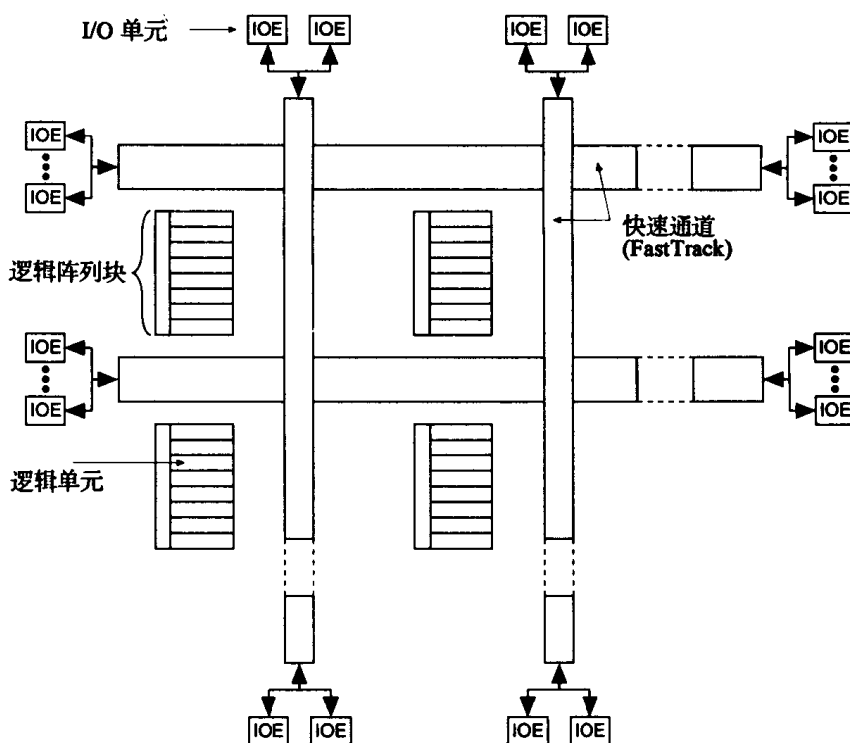


图 2.1.1 FLEX 8000 器件方块图

2.1.4 逻辑单元

逻辑单元 (LE—logic element) 是 FLEX 8000 结构中最小的逻辑单位, 它很紧凑, 能有效地实现逻辑功能。每个 LE 含有一个 4 输入的 LUT、一个可编程的触发器、进位链和级联链。图 2.1.2 是 LE 的方块图。

LUT 是一种函数发生器, 它能快速计算四个变量的任意函数。LE 中的可编程触发器可设置成 D、T、JK 或 SR 触发器。该触发器的时钟 (clock)、清除 (clear) 和置位 (preset) 控制信号可由专用的输入引脚、通用 I/O 引脚或任何内部逻辑驱动。对于纯组合逻辑, 可将该触发器旁路, LUT 的输出直接接到 LE 的输出。

FLEX 8000 的结构提供两条专用高速通路, 即进位链和级联链, 它们连接相邻的 LE

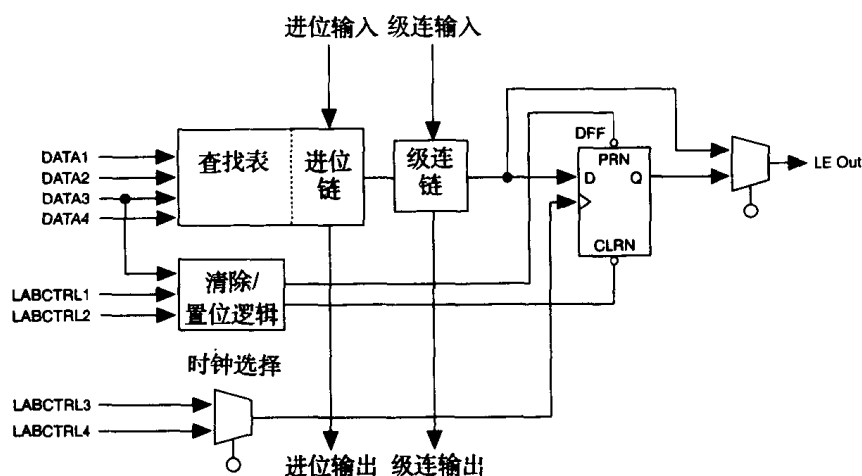


图 2.1.2 FLEX 8000 的逻辑单元 (LE)

但不占用通用互连通路。进位链支持高速计数器和加法器，级联链可在最小延时的情况下实现多输入逻辑函数。级联链和进位链连接同一 LAB 中的所有 LE 和同一行中的所有 LAB。因为大量使用进位链和级联链会限制其它逻辑的布局与布线，所以建议只在起关键作用的部分才使用它们。

1. 进位链

进位链提供 LE 之间非常快（小于 1ns）的向前进位功能。来自低位的进位信号经进位链向前送到高位，同时送到 LUT 和进位链的下一段。这一特点使 FLEX 8000 能够实现高速计数器和任意位数的加法器。MAX+PLUS II 编译器在设计处理期间能自动建立进位链，设计者也可以在设计输入过程中手工插入进位链逻辑。

图 2.1.3 表示如何借助进位链用 $n+1$ 个 LE 来实现 n 位全加器。LUT 的一部分产生两个输入信号和进位信号的“和”，并将“和”送到 LE 的输出。对于简单加法器，一般将寄存器旁路，但若实现累加功能则要用到寄存器。LUT 的另一部分产生进位输出（Carry-Out）信号，它直接送到高一位的进位输入（Carry-In）端。最后的进位输出信号接到一个 LE，可以作为一个通用信号使用。除算术功能外，进位链逻辑还支持非常快的计数器和比较器。

2. 级联链

利用级联链，FLEX 8000 可以实现扇入很多的逻辑函数。相邻的 LUT 用来并行地计算函数的各个部分，级联链把中间结果串接起来。级联链可以使用逻辑“与”或者逻辑“或”（借助狄·摩根的反演定律）来连接相邻 LE 的输出。每增加一个 LE，函数的有效输入个数增加四个，其延时大约会增加 1ns。MAX+PLUS II 编译器在设计处理期间会自动建立级联链，设计者在设计输入过程中也可以手工插入级联链。

图 2.1.4 表示级联功能怎样把相邻的 LE 连接起来形成多扇入的函数。这些例子说明用 n 个 LE 实现 $4n$ 个变量的函数。LE 的延时接近 6 ns，级联链延时为 1 ns。使用级联链，对 16 位地址译码需要 9 ns。