

邮电高等函授试用教材

数字电路与逻辑设计

张 毅 编

汪 雍 刘元干 审

4027
人民邮电出版社

内 容 提 要

本书是北京邮电函授学院高等函授通信各专业共用的技术基础课教材,内容包括:集成逻辑门电路、逻辑代数、组合逻辑电路的分析和设计、集成电路触发器、逻辑部件、MOS集成电路、时序逻辑电路的分析和设计、模数转换和数模转换、数字集成电路新技术简介。

本书内容深入浅出,理论联系实际,以讲述物理概念为主,既有定性分析,也有定量分析。内容比较丰富,写作详细,通俗易懂,适于自学。

邮电高等函授试用教材

数字电路与逻辑设计

张 毅 编

汪 雍 刘元干 审

•

人民邮电出版社出版

北京东长安街27号

河北省邮电印刷厂印刷

新华书店北京发行所发行

各地新华书店经售

•

开本: 787×1092 1/32 1982年2月第 一 版

印张: 18 8/32 页数: 292 1982年2月河北第一次印刷

字数: 421 千字 印数: 1—19,500 册

统一书号: 15045·总2537—无6163

定价: 1.85 元

编 者 的 话

本书是北京邮电函授学院高等函授通信各专业共用的一门技术基础课教材。是作者在电子技术人员进修班讲稿的基础上,根据1979年6月全国邮电高等函授教学大纲审定会审定的“脉冲与数字电路教学大纲”作了修改和补充而成。

本书主要叙述由集成电路组成的数字电路的基本理论、基本电路的构成和工作原理以及逻辑设计的基本方法。对于近年来发展的中、大规模数字集成电路,本书也作了适当介绍,并简单介绍了数字集成电路的新技术。

为了便于自学,对书中各个问题的阐述力求深入浅出、通俗易懂。它可供从事电子技术的人员学习参考,也可供各高等院校相关专业的师生教学参考。

本书经北京邮电学院汪雍和刘元干同志审阅,在编写过程中还得到了其他许多同志的热情支持和帮助,在此谨致以衷心的感谢。

由于水平不高、经验缺乏,书中难免存在错误和不妥之处,尚望读者批评指正。

编者

1980年9月

目 录

第一章 绪论	(1)
第二章 集成逻辑门电路	(9)
第一节 DTL “与非” 门电路	(9)
第二节 TTL “与非” 门电路	(24)
第三节 TTL电路的电压传输特性和参数	(46)
第四节 TTL扩展器和 OC 门	(60)
第五节 ECL 电路	(68)
第六节 HTL 电路	(79)
习题	(80)
第三章 逻辑代数	(83)
第一节 逻辑代数的基础知识	(83)
第二节 逻辑代数的公式	(96)
第三节 逻辑函数的化简	(104)
习题	(141)
第四章 组合逻辑电路的分析与设计	(144)
第一节 计数制与常用的编码	(144)
第二节 组合逻辑电路的分析	(157)
第三节 组合逻辑电路的设计	(162)
第四节 组合电路中的冒险现象及其消除方法	(188)
习题	(199)
第五章 集成电路触发器	(202)
第一节 触发器的基本形式和逻辑功能	(202)
第二节 维持—阻塞触发器	(222)
第三节 主从触发器	(236)

第四节	<i>ECL</i> 集成触发器	(253)
第五节	集成触发器的主要参数和测试	(261)
习题		(268)
第六章	逻辑部件	(270)
第一节	寄存器	(270)
第二节	计数器	(281)
第三节	译码器和编码器	(341)
第四节	分配器和序列信号发生器	(360)
第七章	<i>MOS</i> 集成电路	(385)
第一节	<i>MOS</i> 场效应管	(385)
第二节	<i>MOS</i> 反相器和逻辑门电路	(400)
第三节	<i>MOS</i> 触发器	(409)
第四节	<i>MOS</i> 集成逻辑部件	(421)
第五节	互补型 <i>MOS</i> 集成电路	(436)
第八章	时序逻辑电路的分析和设计	(446)
第一节	时序逻辑电路概述	(446)
第二节	时序逻辑电路的分析	(449)
第三节	时序逻辑电路的设计方法	(455)
第四节	时序逻辑电路设计举例	(487)
第九章	模数转换与数模转换	(521)
第一节	概述	(521)
第二节	数模转换器	(523)
第三节	模数转换器	(541)
第十章	数字集成电路新技术简介	(555)
第一节	集成注入逻辑电路	(555)
第二节	浮栅雪崩注入 <i>MOS</i> 和叠栅雪崩注入 <i>MOS</i> 器件	(564)
第三节	电荷耦合器件	(567)
附 录	有关数字集成电路使用的一些问题	(570)

第一章 绪 论

本书主要是讨论数字电路。数字电路是处理数字信号并能完成数字运算的电路。

由于电子电路很容易产生两种稳定状态（如“开”和“关”、高电平和低电平等），而两种稳定状态只能代表两个数码，所以在数字系统中，通常是采用二进制计数法。二进制计数的每一位只有“0”和“1”两个数码，正好可以用电路的两种稳定状态来表示。例如用低电平表示“0”，高电平表示“1”，或者反过来用高电平表示“0”，低电平表示“1”。因此，对数字电路，主要是研究“0”和“1”两种逻辑状态的产生、变换各种算术逻辑运算等。

数字电路是通过各种逻辑关系进行逻辑运算的，所以它又叫逻辑电路。逻辑电路可分为两大类：一类叫组合逻辑电路，其特点是电路的输出状态完全由当前的输入状态来决定；另一类叫时序逻辑电路，其特点是电路的输出状态不仅与当前的输入状态有关，而且与以前各时刻的输入状态有关。对这两种逻辑电路的分析和设计，将分别予以介绍，但以组合逻辑电路的分析和设计为主。

研究数字电路的各种逻辑关系，必须使用逻辑代数（布尔代数）。逻辑代数是分析和设计各种逻辑电路的数学工具。因此，它是数字电路课程中的基础理论部分。

数字电路，就其所用的元器件来说，已经由使用分立元件跨入到广泛使用半导体集成电路了。由分立元件组装的数字设

备，不仅体积大、功耗大，而且焊点多，易出故障。而半导体集成电路则具有体积小、重量轻、耗电量少、可靠性高等特点。用集成电路装配的电子计算机与用分立元件装配的相比，体积可以缩小几十倍到几百倍，设备的稳定工作时间也可以提高几十倍到几百倍。由于电子技术的这一新成就，使得数字电路在国民经济和国防的各个领域中得到越来越广泛的应用。

半导体集成电路，按电路中晶体管的导电类型，可分为双极型集成电路和单极型集成电路两种。

本书将介绍的二极管—晶体管逻辑电路(DTL)、晶体管—晶体管逻辑电路(TTL)、射极耦合逻辑电路(ECL)等都属于双极型集成电路。

本书将介绍的MOS集成电路，则属于单极型集成电路。

半导体集成电路，根据其集成度（指在一块硅片上包含元件或逻辑门的数量），通常分为小规模集成电路（简称SSI）、中规模集成电路（MSI）和大规模集成电路（LSI）。

小规模集成电路：在一块硅片上包含10—100个元件或1—10个逻辑门。如集成逻辑门和集成触发器等。

中规模集成电路：在一块硅片上包含100—1000个元件或10—100个逻辑门。这种集成电路一般是把一个逻辑部件集成在一块硅片上，如集成计数器、集成寄存器和集成译码器等。

大规模集成电路：在一块硅片上包含1000个以上的元件或100个以上的逻辑门。这种集成电路是把一个逻辑系统或逻辑系统的一部分集成在一块硅片上，如半导体存储器、某些设备的控制器等。

现在还出现了所谓超大规模集成电路，在一块硅片上可包含十万个以上的元件或一千个以上的逻辑门，例如在一个单片上能集成一个完整的微型计算机。

我们知道，世界上一切复杂的事物都是由简单的事物构成的。数字电路也不例外。任何一个复杂的数字系统，分析起来，总是由许多简单的基本单元组成的。数字电路中最基本的单元就是逻辑门。由逻辑门可以组成各种较为复杂的触发器，由逻辑门和触发器又可以组成更为复杂的各种功能的逻辑部件。因此，本课程的数字电路部分就按逻辑门—触发器—逻辑部件的顺序进行讲述，并以小规模集成电路为主来说明用逻辑门和触发器组成各种功能的数字电路的基本原理。在此基础上，适当介绍一些中规模数字集成电路，并简单介绍大规模数字集成电路。

本教材的中心内容是数字电路，对集成电路的制造工艺将不作研究。但是，为了对半导体集成电路有个初步了解，以便于使用，这里简单的介绍一下它的基本结构和某些特点。

半导体集成电路主要是以硅单晶为基础材料，采用平面工艺把一个电路中的元件都制作在同一硅片上，并用一定的工艺方法使各元件在电性能上互相隔离，然后在硅表面上按一定图形做上铝连线以连接各元件，这样便形成一个完整的电路，然后把它封装在管壳内。

双极型半导体集成电路中的晶体管就是在硅片中扩散一定的杂质区所形成的 NPN 结构，如图1-1所示。

集成电路中晶体管的特点是有寄生晶体管效应，如图1-2(a)中 $e'b'c'$ 所示。晶体管的 P 型基区、 N 型集电区和与衬底 S 相连的 P 型隔离槽形成了一个寄生 PNP 晶体管。这种寄生晶体管由于基区（即原晶体管的集电区）较宽，所以它的 β 很小。但在某些场合，例如当 NPN 晶体管接成二极管而使基极对集电极正向偏置时，则寄生 PNP 晶体管的发射结也是正向偏置，而其集电结又是反偏的（因 P 型衬底是接电路中的最低

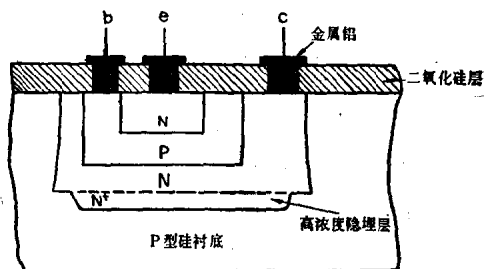


图 1—1 半导体集成电路中晶体管的结构

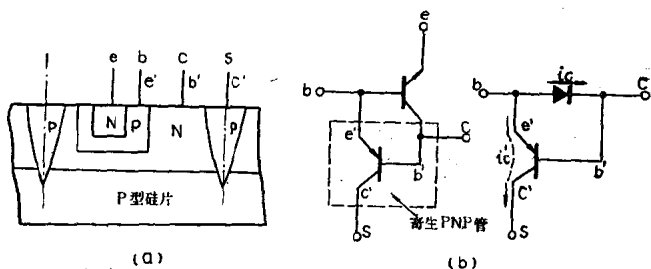


图 1—2 寄生PNP晶体管效应

电位点)，所以寄生 *PNP* 管处于放大工作状态。在这种情况下，寄生管就会将二极管的电流部分地分流到衬底中去，造成漏电，如图1-2(b)所示。

数字集成电路中，还有多个发射极的 *NPN* 晶体管（见第四章）。这种晶体管也存在寄生 *NPN* 晶体管效应，它使多发射极电路输入端之间产生较大的漏电流。

在设计制造集成电路时，应尽量设法减小寄生晶体管效应；在应用集成电路时，也应当了解这种寄生效应的影响。

在双极型集成电路中，一般不单独制作 *PN* 结当作二极管，而是利用三极管的某一个结作二极管使用。因此，它也是先制

成三极管结构，然后在布线互连时，将三个电极适当组配以形成二极管，如图1-3所示。图中是将三极管的基区和集电区短连，利用发射结构成二极管。

集成电路中利用三极管构成的二极管，按电极配接方式可有五种，其特性也各有不同。可将二极管的五种构成方

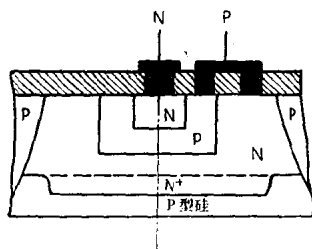


图 1—3 利用三极管发射结构成的二极管

法及其参数列于表1-1中。双极型集成电路中的电阻都是扩散电阻。扩散电阻有以下几种，即小阻值的 N 型扩散电阻、中等阻值的 P 型扩散电阻和较高阻值的 P 型沟道电阻。在数字集成电路中主要是用 P 型扩散电阻。这种电阻是在进行三极管基区扩散的同时，在 N 型外延层上扩散一长条形的 P 型区，然后在其两端作上电极构成，其结构如图1-4所示。 P 型扩散电阻又称基区扩散电阻，其阻值一般在50欧姆到50千欧姆范围内。具体阻值可按下面的公式

表 1

连接方法					
击穿电压(V)	7	7	50	50	7
正向电压(V) (10 mA时)	0.85	0.96	0.94	0.95	0.92
等效电容(pF) (5 V反偏时)	0.5	0.5	0.7	0.7	1.2
存储时间(nS)	9	56	53	65	100
特点	存储时间小 无寄生晶体管效应	寄生电容小	反向电压高	反向电压高 存储时间长	存储时间最 长

注：nS代表纳秒。

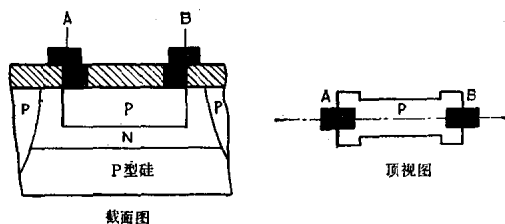


图 1—4 P型扩散电阻

计算:

$$R = R_s \frac{l}{d}$$

式中 R_s 代表薄层电阻(或叫方块电阻),其单位是欧姆/方($\Omega/\square$),实际上就是欧姆,“方”仅仅表示扩散层的形状是正方形,不管它的边长多少,电阻都是一样的; l 代表扩散层薄层的长度, d 代表薄层的宽度。由上式可知,当 R_s 为一定时,电阻的阻值就仅由扩散层的几何形状来决定,它与长度 l 成正比,与宽度 d 成反比。

集成电路中扩散电阻的特点如下:

(1)阻值范围小。因为当薄层电阻 R_s 为一定时,扩散电阻的阻值就由其几何形状来决定,而减小薄层宽度受到光刻工艺的限制,要增大阻值就得增加薄层长度,因而就要占用较大的硅片面积,这对提高集成度是不利的。

(2)温度系数大。 P 型扩散电阻的温度系数比碳膜电阻约高一个数量级。

(3)误差较大。由于制作工艺中扩散温度、时间的差异,就会引起薄层电阻 R_s 的改变,从而使各批电路之间电阻误差较大,约为 $\pm 10 \sim 30\%$ 。

(4)工作电压较低。扩散电阻处于另一种导电类型区域

中，其工作电压受这两种导电类型区域形成的 PN 结的击穿电压所限制，因而不能太高。 P 型扩散电阻的工作电压约为 $20 \sim 50$ 伏。

(5) 额定功率小。 P 型扩散电阻的额定功率约为 $100 \sim 200$ 毫瓦。

此外，由于扩散电阻大部分被另一种杂质半导体所包围，形成一个很大面积的 PN 结，而 PN 结的寄生电容是和结面积成正比的，所以扩散电阻的寄生电容比较大。在低频时，寄生电容的容抗很大，对电阻影响不大；在高频时，寄生电容的容抗减小，对电阻并联作用加大，所以在分析集成电路的高频特性或瞬态特性时，需要注意到它的影响。

关于电容器，由于工艺上制作困难较大，所以在数字集成电路中一般都不采用电容器。

目前半导体集成电路的外壳封装有三种，即圆筒型、扁平型和双列直插型。

圆筒型集成电路和普通晶体管相似，只是电极引线比晶体的要多。目前国内使用的圆筒型集成电路有 8 引线、12 引线和 14 引线等多种。这种封装由于采用金属外壳，所以密封性好，但所占体积较大。目前在数字集成电路中用得较少。

扁平型外壳为陶瓷或塑料制成，电极引线从管壳两侧对称地平直伸出，如图 1-5 所示。目前这种封装有 14 引线、18 引线、24 引线和 36 引线等多种，其中以 14 引线和 18 引线两种用得最多。扁平型封装的密封性不如圆筒型好，但它所占体积小，组装密度高，便于安置在印刷电路板上使用。

双列直插型外壳也是用陶瓷或塑料做的，电极引线脚从管壳两侧向下弯，如图 1-6 所示。引线脚数目分为 14、18、24、28、36 和 40 等几种。这种封装的引线脚强度较大，可插入特定的管

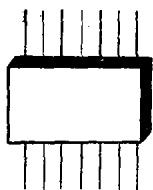


图 1—5 扁平型

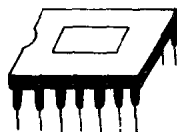


图 1—6 双列直插型

座中，便于使用、检查和调换。

关于单极型集成电路的基本结构和特点，将在后面结合MOS集成电路的内容加以介绍。

数字电路课程是与电子工程各专业有关的一门专业基础课。目前数字电路已经广泛应用于数字电子计算机、自动控制、通信、遥控遥测、电视、雷达、测量仪表、导航、人造卫星等许多技术领域，而且随着我国四个现代化的进程，它还将获得越来越广泛的应用。因此学好这门课程具有重要的实际意义。

第二章 集成逻辑门电路

逻辑门电路是构成数字电路的基本逻辑单元。各种功能的数字电路都可由逻辑门电路组合而成。本章将讨论目前常用的几种集成逻辑门电路，即二极管—晶体管逻辑（*DTL*）电路、晶体管—晶体管逻辑（*TTL*）电路、发射极耦合逻辑（*ECL*）电路和高阈值逻辑（*HTL*）电路，其中以*TTL*电路为主。

第一节 DTL “与非” 门电路

DTL “与非” 门电路是由二极管构成的“与”门和晶体管构成的“非”门所组成的。这种电路比较简单，但它的开关速度较低，适用于低速数字电路。

一、*DTL* “与非” 门电路的基本形式及其工作原理

DTL “与非” 门电路和用分立元件二极管、晶体管组成的“与非”门电路，在原理上基本相同。所不同的是，分立元件电路通常采用阻容耦合方式，而集成电路则由于电容和高阻值电阻制造比较困难，一般不用阻容耦合；分立元件电路的电源电压可以达到20~30伏，而集成电路则由于要微小型化，又要尽量减小功率损耗，因此，一般集成电路“与非”门的电源电压只有4~6伏。

DTL “与非” 门电路的基本形式，如图2-1(a)所示。“与非”门的逻辑符号如图2-1(b)

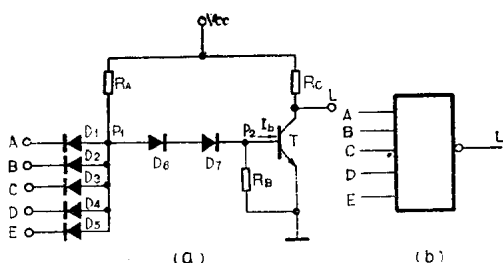


图 2—1 DTL “与非” 门电路的基本形式

在图(a)中,二极管 D_1 到 D_5 和电阻 R_A 组成一个“与”门;晶体管 T 和电阻 R_B 、 R_C 组成一个“非”门;“与”门和“非”门通过二极管 D_6 、 D_7 进行耦合。 D_6 、 D_7 起电平转移作用,即利用这两个二极管的正向压降将图中 P_1 、 P_2 两点间的电位差抬高到1.4伏,并保持不变,以提高电路的抗干扰能力,所以称它们为转移电平二极管。 A 、 B 、 C 、 D 、 E 为输入端, L 为输出端, V_{CC} 为电源电压; R_B 是泄放电阻,在晶体管由饱和转向截止的瞬间,通过 R_B 泄放基区存贮电荷,以缩短存贮时间。

下面来分析这个电路的工作原理。

假设 V_{CC} 为+4伏,输入端中有任何一个,例如 A 端,输入低电平(假定为0.3伏),相应的二极管 D_1 就导通,于是就会有电流从电源 V_{CC} 经过 R_A 和 D_1 流到输入端 A 。二极管 D_1 的正向压降约为0.7伏,因此, P_1 点电位 V_{P1} 约为 $0.3V + 0.7V = 1V$ 。这个1伏的电压加在二极管 D_6 、 D_7 和晶体管 T 的 be 结之上,显然不能够使 D_6 、 D_7 和 T 导通,因为 V_{P1} 小于这三个PN结的正向压降之和,即

$$V_{P1} < 0.7V + 0.7V + 0.7V = 2.1V$$

在这种情况下,由于晶体管 T 处于截止状态,所以输出端 L 为

高电平，其数值近似等于 V_{cc} 。这时电路中只有流过 R_A 和 T 的电流，其大小为

$$I_{rd} = \frac{V_{cc} - V_{P1}}{R_A} = \frac{V_{cc} - 1V}{R_A}$$

I_{rd} 叫做输入短路电流，它是衡量电路性能的一个重要参数。

当各输入端全变为高电平（假定为+4伏）时，如果 P_1 点右边为开路，则 V_{P1} 也应升高到+4伏。现在 P_1 点右边连接 D_6 、 D_7 和 T 到地，所以当 V_{P1} 升高到2.1伏时， D_6 、 D_7 和 T 都导通，并使 P_1 点电位钳制在2.1伏，因而使 D_1 、 D_2 、 D_3 、 D_4 、 D_5 都处于反偏而截止。这时流过 R_A 的电流为

$$I = \frac{V_{cc} - V_{P1}}{R_A} = \frac{V_{cc} - 2.1V}{R_A}$$

这个电流除有小部分经 R_B 分流到地外，大部分将注入 T 管的基极，使 T 管饱和，其饱和压降约为0.3伏，所以输出端 L 为低电平。

把上述分析归纳起来，就是：只有当输入端全为高电平时，输出端才是低电平，如果输入端中有任何一个或一个以上为低电平时，输出端就是高电平。这就是“与非”逻辑关系。

再看看转移电平二极管的作用。当输入为低电平0.3伏时， $V_{P1} = 1$ 伏， D_6 、 D_7 和 T 都截止。此时如果有一外来干扰输入电平升高，则 V_{P1} 也会随之升高。但只要 $V_{P1} < V_{D6} + V_{D7} + V_{be} = 0.7V + 0.7V + 0.7V = 2.1V$ ，则对电路的正常工作就没有影响。只有当干扰电压的幅度大到使 $V_{P1} > 2.1V$ 时， T 管才导通，这才会破坏电路的正常工作状态。例如，有一个+0.9伏的干扰电压叠加在输入电压上，使输入电平抬高到 $0.3 + 0.9 = 1.2V$ ，则 $V_{P1} = 1.2V + 0.7V = 1.9V$ ，因 V_{P1} 仍小于2.1伏，故不会影响电路的正常工作。只有当干扰电压大于1.1伏时，