精通

Verilog HDL：IC设计核心技术实例详解

简弘伦 编著

张凯锋 审校

飞思科技产品研发中心 监制

電子工業出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

http://www.phei.com.cn

内容简介

本书从实际应用的角度详细地向读者介绍了Verilog HDL语言的使用，并利用实例深入剖析了Verilog HDL语法在实际应用中的要点，结构清晰，内容丰富。

全书共分为9章。前7章分别介绍了设计方法概论，Verilog HDL的语法，行为建模，同步设计，异步设计，功能性单元，I^2C Slave设计。第8章为微处理器设计，第9章为JPEG Encoder设计。这两章通过两个完整的设计实例，为读者详述了设计概念，深入分析了电路设计的前因后果。

读者对象

本书可作为电子、通信、计算机及IC设计相关专业高年级本科生和研究生教学用书，同时适合于对Verilog HDL与集成电路设计感兴趣的专业人士，也可供从事电路设计和系统开发的工程设计人员阅读参考。

提供相关实例及习题源码下载

www.fecit.com.cn 下载专区

ISBN 7-121-01774-1

飞思科技产品研发中心总策划

飞思在线：http://www.fecit.com.cn

上架提示 Verilog HDL语言/IC（芯片）设计/硬件开发

本书贴有激光防伪标志，凡没有防伪标志者，属盗版图书。

责任编辑：孙伟娟

责任美编：王 嵩

ISBN 7-121-01774-1 定价：39.00元

IC设计专家

精通

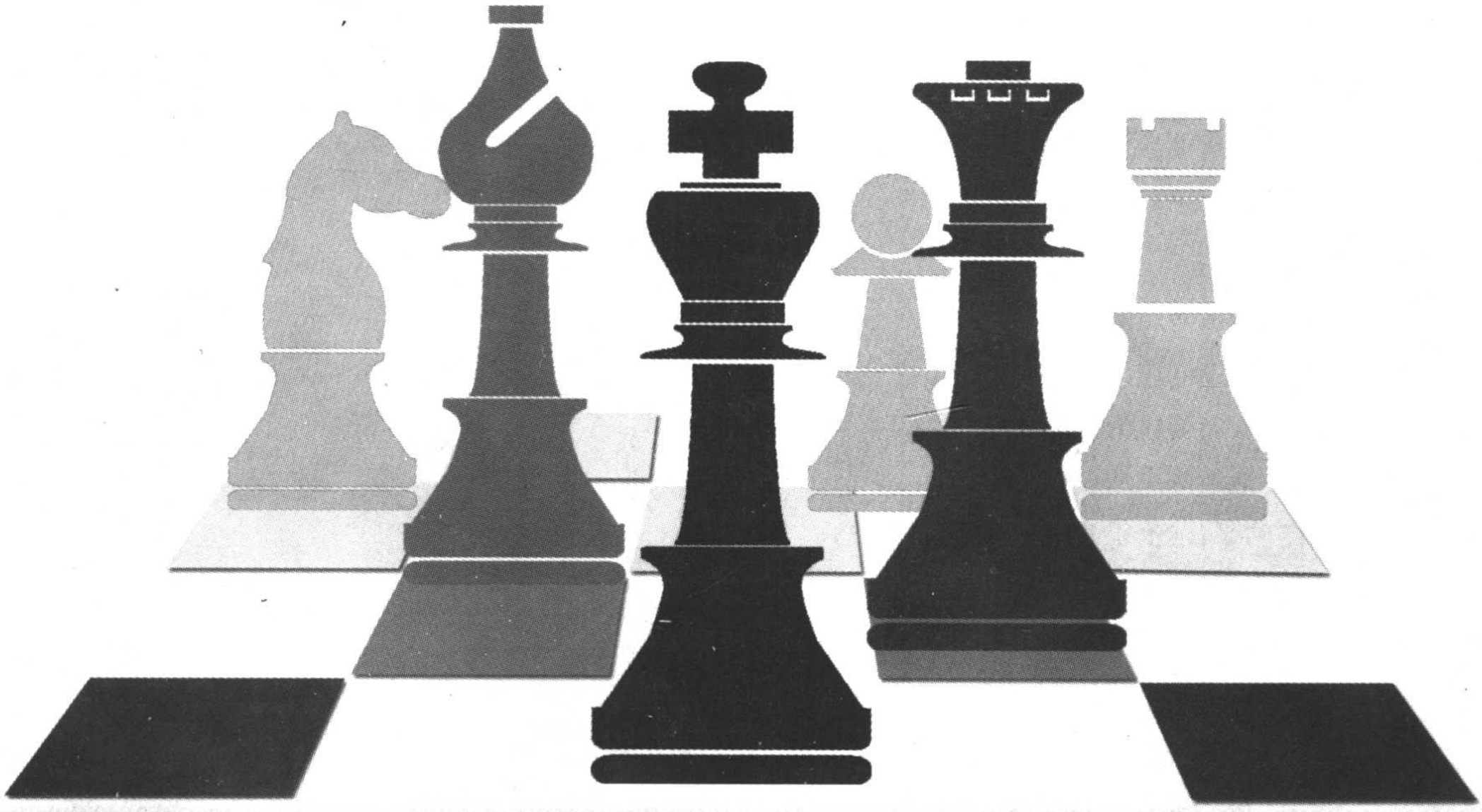
Verilog HDL:

IC设计核心技术实例详解

简弘伦 编著

张凯锋 审校

飞思科技产品研发中心 监制



電子工業出版社

Publishing House of Electronics Industry

北京·BEIJING

内容简介

本书从实际应用的角度详细地向读者介绍了 Verilog HDL 语言的使用，并利用实例深入剖析了 Verilog HDL 语法在实际应用中的要点，结构清晰，内容丰富。

全书共分为 9 章。前 7 章分别介绍了设计方法概论，Verilog HDL 的语法，行为建模，同步设计，异步设计，功能性单元，I^2C Slave 设计。第 8 章为微处理器设计，第 9 章为 JPEG Encoder 设计。这两章通过两个完整的设计实例，为读者详述了设计概念，深入分析了电路设计的前因后果。

为了方便读者学习，本书所附的实例程序都利用 ModelSim 仿真实现过，读者只要拷贝到自己的目录就能执行。实例中除了行为级的模型外，RTL 级的程序在不同的综合工具下综合结果稍有不同，并不需要改动设计。本书相关实例和习题源码请到 http://www.fecit.com.cn“下载专区”下载。

本书可作为电子、通信、计算机及 IC 设计相关专业高年级本科生和研究生教学用书，同时适合于对 Verilog HDL 与集成电路设计感兴趣的专业人士，也可供从事电路设计和系统开发的工程设计人员阅读参考。

图书在版编目（CIP）数据

精通 Verilog HDL：IC 设计核心技术实例详解 / 简弘伦编著. —北京：电子工业出版社，2005.10
（IC 设计专家）
ISBN 7-121- 01774-1

Ⅰ. 精... Ⅱ.简... Ⅲ.硬件描述语言，VHDL－程序设计 Ⅳ.TP312

中国版本图书馆 CIP 数据核字（2005）第 108895 号

责任编辑：孙伟娟
印　　刷：北京东光印刷厂
出版发行：电子工业出版社
　　北京海淀区万寿路 173 信箱　邮编：100036
经　　销：各地新华书店
开　　本：787×1092　1/16　印张：23.75　字数：608 千字
印　　次：2005 年 10 月第 1 次印刷
印　　数：5 000 册　　定价：39.00 元

凡购买电子工业出版社的图书，如有缺损问题，请向购买书店调换。若书店售缺，请与本社发行部联系，联系电话：010-68279077。质量投诉请发邮件至 zlts@phei.com.cn，盗版侵权举报请发邮件至 dbqq@phei.com.cn。

前　言

缘起：作者的话

由于半导体技术的不断提升，晶圆厂所需的建厂资金也不断飙升。这导致了晶圆代工的兴起，也为国内的半导体设计公司（Fabless Design House）设计的发展提供了温床。国内由于该产业上下游完整，能直接针对下游的需求快速做出回应，加上有着训练有素的工程师，已成为全世界 IC 设计产业的新兴大国。加上政府有心扶植，希望能提升我国电子业的技术水准，避免仅仅是做代工的窘境，而在当前的校园里 VLSI 设计也成为专攻的热门学科。如何能快速提升设计效率，变成了当务之急的课题。传统采取的 Schematic 设计方法已不能符合快速进入市场（Time to Market）的需求。高级的硬件设计语言 HDL 应运而生。高级 HDL 设计方法的最大优点是可以通过 EDA tool 来进行自动化的设计，从而实现许多以前难以实现的复杂功能。

然而，国内相关书籍仍然不多，许多书籍仅简单介绍硬件设计语言，其内容较少有谈及实际的设计方法，其内含的实例也相对较为简单，这对于许多有志于此的学生或工程师而言是明显不够的。于是本书希望能从实际应用的角度，所附的实例都有相当的实用价值，以提升读者对电路设计的理解和技巧，因此本书很适合有志于此的学生或工程师使用。

必读：章节大纲

- **第 1 章　设计方法概论**　成熟的工程师应熟悉整个 IC 开发流程。对 Gate-Array 或 ASIC 有何认知及其优缺点如何，在本章中也做出了说明。此外，还有 FPGA 的架构及优缺点，以及可测试性的问题，并提出设计方法，以期能在设计时兼顾可测试性；便携式产品的兼顾功率消耗的问题；推导晶体管消耗功率的方程式等。
- **第 2 章　硬件设计语言**　先从设计层次开始，然后介绍模块的概念，以及不同层次混合存在的设计；一个程序所包含的内容；仿真器仿真的原理；硬件设计语言里的执行过程，这是与一般 Top-Down 执行式语言不同的地方，并举出执行过程的实例；数字的表示方式，数据类型等程序设计里的基本元素。最后为读者介绍各运算符及其所对应出的电路，以及运算符的优先级。本章还举出了几个经典的电路模型作为例子，使读者可以进一步地了解硬件设计语言。
- **第 3 章　行为建模**　这部分我们将为读者详细区分行为建模时序上的不同、延迟时间刻度的概念；以实例方式介绍逻辑判断、循环语句；任务与函数、赋值；综合器哪些部分要进入编译，而哪些部分不要进入编译的编译指令及信号提取、随机数产生器、文件输出输入、sdf 文件载入等。这些都是极为实用的程序技巧，对所有的语言都是一样的，我们惟有在尝试过错误后，才能对程序语言有真正的领悟，所以另外加了除错实例分析，使读者能更快速地入门。本章最后以 AMBA Master 的设计实例来作为总结。
- **第 4 章　同步设计**　本章首先举出许多不良程序设计风格的例子并说明其避免方法，失败有时并不仅仅是功能上的，也可能是在可测试性上的失败。接着介绍资源共享与流水线设计。以共享的方式简化电路逻辑及切割流水线这两种技巧，一为缩小电路面积，另一为加快系统时钟速度。本章另一部分是真正电路的设计实例，从简单的七段显示器，到较复杂的缓冲器控制等。这些实例不仅提出了电路设计的部分，同时也包含其测试平台，以供读者练习。

- **第 5 章 异步设计** 这是本书与其他类似书籍不同之处。首先详细解说 Latch 时序特性和电路特性，分析其优缺点；然后介绍最重要的跨越 Clock Domain 的问题，并包含 Metastable 的讨论。以现今而言，几乎所有的设计都有跨越 Clock Domain 的设计，可是在学校的课程里几乎只字不提，所以这常是年轻工程师所欠缺的能力。此部分为读者解说其各种可能的问题，最后以一个异步缓冲器控制的设计实例并包含测试平台作为结束。阅读本章相信读者的能力一定能有所提升。
- **第 6 章 功能性单元** 介绍常见的算术逻辑（Arithmetic Logic）和一些达成特殊目的的电路，包括 CSA、CSD 等；LFSR 的 CRC 实例，并附上完整的测试平台，读者只需稍加修改，就能加入到自己的设计中。
- **第 7 章 I^2C Slave 模型** 许多刚刚进入 IC 设计领域的工程师一心只想做电路设计，却忽略了测试平台的重要性。好的测试平台或模型其价值和好的电路设计一样，测试平台往往包含更多样的语法，做好这部分的设计不是一件容易的事。而 I^2C Slave 的模型就为读者提供了参考。由于其在实际中具有非常高的实用性。
- **第 8 章 微处理器设计实例** 微处理器是当今 IC 设计的成功典范。本章以一个简单的通用型处理器为例，首先以硬件设计语言设计出其架构，然后再由这个处理器来执行每一阶段的工作。该处理器能通过编写简单的汇编语言指令，让 IO 模块加载二进制代码到存储器中，然后再由处理器来执行。通过这个实例，希望读者可以拓展出性能更为卓越的微处理器。
- **第 9 章 JPEG 编码硬件加速器** 现今 JPEG 早已成为静态图像的压缩标准，其采用的 DCT 到现在恐怕都还有许多人仍在研究。本章的 DCT 内含 Skew circular convolution 单元，其架构设计能以精简的电路，同时满足 DCT 与 IDCT 的需求，故不只是在 JPEG 应用，也能将这一部分的电路设计延伸到 MPEG 的世界里，而成为本书最具参考价值的地方。

为了方便读者学习，本书所附的实例程序都利用 ModelSim 仿真实现过，读者只要拷贝到自己的目录就能执行。实例中除了行为级的模型外，RTL 级的程序除了各系统引用的内存规格不同外，皆能以各种综合器综合出实际的电路，只是在不同的综合工具下综合的结果稍有不同，并不需要改动设计。

本丛书由飞思科技产品研发中心策划，简弘伦先生编著，张凯锋先生审校。在本书的编校过程中，我们力求精益求精，但难免存在一些错误和不足之处，敬请广大读者批评指正。

飞思科技产品研发中心

联系方式

咨询电话：（010）68134545　　88254160

电子邮件：support@fecit.com.cn

服务网址：http://www.fecit.com.cn　　http://www.fecit.net

通用网址：计算机图书、飞思、飞思教育、飞思科技、FECIT

用心领会，掌握工程方法

现在市面上介绍Verilog HDL语言的书籍已经很多了，也有不少从国外翻译过来的经典书籍，很多学校已经开设了相关集成电路设计的课程。但是，在我和一些刚进行芯片设计工作的工程师交流的过程中，经常发现他们对如何使用Verilog HDL还是有疑惑的。他们对于Verilog HDL的语法比较熟悉，但当需要实现某种电路结构的时候，就不知如何来构筑代码了。产生这种疑惑有两个主要原因，一是“知其然不知其所以然”，二是来自于思维习惯。Verilog HDL是硬件描述语言，是用来描述硬件电路的，所以在其语法里面规定的数据类型、赋值方式等都是和硬件电路息息相关的，每一段代码都应该能在电路实现上找到对应，这点和高级编程语言是不一样的。举例来说，一个if-else的语句在高级编程语言中只是一个逻辑上的程序分支，而在Verilog HDL里面，用在不同的地方，就代表不同的电路，可以表示寄存器的set端或reset端，也可以用来描述寄存器信号选择端，有时候还能表示组合电路。在我们的设计里面，每一个触发器或者Latch，每一个组合逻辑的出现都应该是我们要预先知道的。如果写出来的代码连自己都不知道会综合出什么东西来，结果很可能和预想的不一样。这个特点导致我们在使用Verilog HDL来进行电路开发时的思维方式和用高级语言来编程是不同的。所以，在学习Verilog HDL时要把这种思维习惯始终贯穿全过程，而不能仅仅从语法角度来学习。

另一方面，由于我们的最终目的是要设计芯片，要让我们的设计能在物理上被实现，这就不得不要求我们所做的设计必须是可综合的。在谈到可综合的设计的时候，我们就必须从电路动作的角度来分析我们的代码，比如说要考虑信号传递的时间，要考虑信号的驱动能力，要考虑电路实现的面积等。这些东西在单纯地介绍Verilog HDL语法的时候往往是不会涉及的。

芯片的生产是一项浩大的工程，前端的逻辑设计只是其中的一部分，还需要有很多其他的步骤，而这些步骤并不是不相关的，往往各个步骤之间会相互影响。其中关键的部分就是前端的逻辑设计。前端逻辑设计的质量直接影响到后端的布局布线的成功率。有些时候在前端设计过程中还要考虑测试问题，所以对于前端逻辑设计人员来说，是需要对这些设计流程都有所了解的。而真正具有实际意义的是，当你从整个芯片设计流程的角度来看前端逻辑设计的时候，你才能更加深入地了解你所做的设计。所以说，了解Verilog HDL，就要把它放到芯片设计的大环境中去理解，这样才能做到“知其然，也知其所以然”。

本书是一本难得的掌握芯片前端设计的著作。由于作者多年的实际工作经验使其能够准确地把握住问题的关键部分。作者并不是简单地对Verilog HDL语法进行了介绍，而是独具匠心地将Verilog HDL语言的使用和具体芯片设计实例结合起来，且工程性、实用性很强，为广大读者全面而系统地介绍了如何使用Verilog HDL来进行具有实际意义的芯片设计。在

本书的开始，作者还全面地介绍了芯片设计的流程，并对其中的各个部分进行了分别介绍。通过介绍，广大读者应该能从更全面的角度来理解前端设计。在书中作者还有意识地逐步向读者介绍如何对所开发的模块建立仿真环境和进行仿真，这一做法有机地将Verilog HDL语法和开发工具的使用结合起来，既能帮助学习微电子的工程技术人员快速掌握Verilog HDL语言，又能让他们快速成长为技术全面的设计师。书中的实例大多是很具有代表性的成熟模块，有基本功能模块，如加减法器，有复杂的功能模块，如AMBA总线、IIC总线，还有完整的设计实例，如自定义CPU和JPEG。这些实例有些甚至可以直接应用到我们的设计中去。深刻理解这些实例对于快速提高读者的设计技能是很有帮助的。

张凯锋
北京NEC集成电路设计有限公司
2005年9月

目　录

第 1 章　设计方法概论

（Design Methodology Introduction）

就一个编写程序的硬件工程师而言，其接触的往往仅是设计规格、仿真器，或波形文件，然而开发一颗 IC 所历经的流程相当复杂，若只熟悉设计规格、仿真器，或波形文件，显然会有见树不见林之感。一个成熟的工程师不但应熟悉属于自己工作上的环节，还应对整个开发流程有相当的了解，这样才能真正培养成跨越各个流程的系统层级工程师。因此 IC 设计工程师也必须了解到后端的工作（AP&R），本章即对此有初步的介绍。现今 IC 开发工具处在非常蓬勃的发展中，其所用 EDA 工具的优缺点，也是工程师应该评估的项目；再者 Gate-Array 也是 IC 设计中的新兴话题，对 Gate-Array 或 ASIC 有何认知及其优缺点如何，在本章中也做出了说明。此外，FPGA 的架构及优缺点，还有可测试性的问题，近年来亦受到高度重视；随着芯片测试成本的提升，测试的方式会大大影响程序设计风格，甚至成了产品成功与否的关键因素。这些在本章均有非常详尽的说明，并提出设计方法，以期能在设计时兼顾可测试性。还有可携式产品的大行其道，使我们必须再兼顾到功率消耗的因素，在本章的最后一个部分，便为读者推导晶体管消耗功率的方程式，即使读者是非科班出身的，也能对此有正确的理解。

1.1　Verilog HDL 硬件设计语言

几十年前，当时所做的复杂数字逻辑电路及系统的设计规模比较小也比较简单，其中所用到的 IC 的设计工作往往只能采用厂家提供的专用电路图输入工具来进行。为了满足设计性能指标，工程师往往需要花费好几天或更长的时间进行艰苦的手工布线。工程师还得非常熟悉所选器件的内部结构和外部引线特点，才能达到设计要求。这种低水平的设计方法大大延长了设计周期。

近年来，IC 的设计在规模和复杂度方面不断取得进展，而对逻辑电路及系统的设计时间的要求却越来越短。这种传统的数字电路设计方法在这些新需求出现时存在着如下的缺点。

- 功能简单的器件的增加导致电路板（PCB Board）的庞大，电路板上面的信号线常因为彼此干扰而影响系统的稳定度（Stability），其功率消耗也令人难