

曹昕燕 周凤臣 聂春燕 编著

EDA技术实验与课程设计



清华大学出版社

EDA技术实验与课程设计

曹昕燕 周凤臣 聂春燕 编著

清华大学出版社
北京

内 容 简 介

本书首先通过具体的实例介绍了目前世界上三大主流可编程逻辑器件厂商的 EDA 工具软件的基本操作,即 Altera 公司的 Max+Plus II 软件、Lattice 公司的 ispEXPERT 软件和 Xilinx 公司的 Foundation 软件,接着介绍了 EDA 技术的基础实验和课程设计,最后介绍了 EDA 实验开发系统。

本书注重实践操作和应用能力的培养,对每个设计案例都详细地阐述了系统设计的要求、系统设计方案、VHDL 源程序和系统仿真,且所有给出的程序均经过调试,确保设计的正确性。

本书可供高等院校的电子信息工程、通信工程、自动化、仪器仪表、计算机及相关专业的本科生或研究生使用,特别适合作为 EDA 技术课程的实验、课程设计、综合实践和电子设计竞赛的指导教材,同时也可作为从事 EDA 技术应用与开发的工程技术人员的参考书。

版权所有,翻印必究。举报电话:010-62782989 13501256678 13801310933

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

本书防伪标签采用特殊防伪技术,用户可通过在图案表面涂抹清水,图案消失,水干后图案复现;或将表面膜揭下,放在白纸上用彩笔涂抹,图案在白纸上再现的方法识别真伪。

图书在版编目(CIP)数据

EDA 技术实验与课程设计/曹昕燕等编著. —北京:清华大学出版社,2006.5

ISBN 7-302-12622-4

I. E… II. 曹… III. 电子电路—电路设计:计算机辅助设计 IV. TN702

中国版本图书馆 CIP 数据核字(2006)第 016209 号

出 版 者:清华大学出版社

<http://www.tup.com.cn>

社 总 机:010-62770175

地 址:北京清华大学学研大厦

邮 编:100084

客户服务:010-62776969

责任编辑:王敏稚

印 刷 者:清华大学印刷厂

装 订 者:三河市化甲屯小学装订二厂

发 行 者:新华书店总店北京发行所

开 本:185×260 印张:13.75 字数:339 千字

版 次:2006 年 5 月第 1 版 2006 年 5 月第 1 次印刷

书 号:ISBN 7-302-12622-4/TP·8071

印 数:1~3000

定 价:21.00 元

前 言

随着电子技术与计算机技术的发展,熟练掌握和运用 EDA (Electronic Design Automation, 电子设计自动化) 技术已成为电子类及相关专业本科人才不可或缺的一项技能。

本书是一本设计性的实验与课程设计指导教材,突出应用性,以加强工程实践能力、工程设计能力为原则,结合实例全面介绍 EDA 工具软件的基本操作。操作步骤简洁、准确,使读者能够轻松快速地掌握 EDA 技术。

全书共分 6 章。第 1 章介绍 Altera 公司的 Max+Plus II 软件的基本操作,第 2 章介绍 Lattice 公司的 ispEXPERT 软件的基本操作,第 3 章介绍 Xilinx 公司的 Foundation 软件的基本操作。这三章都是通过具体的实例来讲解利用 EDA 工具软件进行电子设计的全过程,包括原理图输入设计法和 VHDL 的文本输入设计法,以及对设计的编译、逻辑综合、功能仿真、目标芯片的引脚锁定、时序分析和编程下载等。第 4 章为基础实验,介绍了简单组合逻辑实验、三-八译码器实验、A/D 转换实验、D/A 转换实验、交通灯实验、骰子实验、LED 点阵显示实验、键盘扫描实验、计数时钟综合实验等基础实验。第 5 章为课程设计,介绍了彩灯控制器的设计、电子抢答器的设计、汽车尾灯控制器的设计、步行街道自助式交通灯控制器的设计、电子密码锁的设计、简易电子琴的设计、数字秒表的设计、电子钟的设计、数字频率计的设计、电梯控制器的设计、自动售货机控制系统的设计、出租车计费系统的设计等课程设计。第 6 章为实验开发系统,介绍了上海航虹高科技有限公司开发研制的 AEDK-EDA 实验开发系统,以及实验用下载电缆等。

本书是作者在多年的理论与实践教学改革的基础上编写的。全书由曹昕燕、周凤臣、聂春燕等编著,参与编写工作的有于红莉、赵莉(第 1 章),李国欣(第 2 章),赵莉、赵淑范(第 3 章),聂春燕(第 4 章),曹昕燕、周凤臣(第 5 章),于欣、杨文彦(第 6 章)。本书在编写过程中参考了许多同行专家的著作,在此表示诚挚的谢意。

由于 EDA 技术是一门发展迅速的新技术,涉及面广,技术更新快,加之编者水平有限,书中难免有错误和不妥之处,恳请读者批评指正。

编 者

2006 年 1 月

目 录

第 1 章	Altera Max+Plus II 操作指南	1
1.1	Max+Plus II 软件的设计流程	1
1.2	Max+Plus II 软件的安装	2
1.3	运行 Max+Plus II 软件	5
1.4	Max+Plus II 软件的操作步骤	7
第 2 章	Lattice ispEXPERT 操作指南	24
2.1	ispEXPERT 软件的安装	24
2.2	采用 VHDL 进行设计的操作步骤	27
第 3 章	Xilinx Foundation 操作指南	40
3.1	Foundation 软件的设计流程	40
3.2	Foundation 软件的安装	45
3.3	采用 VHDL 进行设计的操作步骤	50
第 4 章	EDA 技术基础实验	61
4.1	简单组合逻辑实验	61
4.2	三-八译码器实验	63
4.3	A/D 转换实验	65
4.4	D/A 转换实验	67
4.5	交通灯实验	69
4.6	骰子实验	72
4.7	LED 点阵显示实验	77
4.8	键盘扫描实验	79
4.9	计数时钟综合实验	82
第 5 章	EDA 技术课程设计	90
5.1	彩灯控制器的设计	90
5.2	电子抢答器的设计	94
5.3	汽车尾灯控制器的设计	103

IV	EDA 技术实验与课程设计	
5.4	步行街道自助式交通灯控制器的设计	108
5.5	电子密码锁的设计	116
5.6	简易电子琴的设计	124
5.7	数字秒表的设计	131
5.8	电子钟的设计	143
5.9	数字频率计的设计	151
5.10	电梯控制器的设计	157
5.11	自动售货机控制系统的设计	172
5.12	出租车计费系统的设计	177
第 6 章	EDA 实验开发系统	184
6.1	AEDK-EDA 实验开发系统的性能特点	184
6.2	实验电路结构图	186
6.3	实验系统结构图信号名与目标芯片引脚对照表	200
6.4	实验用下载电缆	207
附录	EDA 技术课程设计报告	212
参考文献		213

第 I 章

Altera Max+Plus II 操作指南

Max+Plus II 软件是 Altera 公司开发的第三代 EDA 工具,它集成了可编程逻辑器件的设计环境,可以在多种设计平台上运行。Max+Plus II 软件的设计界面灵活而高效,设计者无需精通器件内部的复杂结构,只需用自己熟悉的设计输入方式(如:原理图、波形图或硬件描述语言等)就可以进行设计。Max+Plus II 软件可以将这些设计方式转换成目标器件所要求的格式,从而使设计者能够轻松地掌握和使用 Max+Plus II 软件。因此,Max+Plus II 软件被业界誉为最易学易用的 EDA 开发工具。

Max+Plus II 软件支持原理图、VHDL、Verilog 语言的文本文件、波形和 EDIF 等格式的文件作为设计输入,以及这些文件的任意混合设计。另外,Max+Plus II 软件还支持主流的第三方 EDA 工具,如 Synopsys、Cadebce、Synplicity、Mentor、Viewlogic、Exemplar 和 Model Technology 等。Max+Plus II 软件具有门级仿真器,可以进行功能仿真和时序分析,产生精确的仿真结果。

Max+Plus II 软件支持的器件有 EPF10K10,EPF10K10A,EPF10K20,EPF10K30A 以及 MAX 7000 系列(含 MAX 7000A, MAX 7000AE, MAX 7000E, MAX 7000S),EPM9320,EPM9320A,EPF8452A,EPF8282A,FLEX 6000/A 系列,MAX 5000 系列和 ClassicTM 系列器件。

1.1 Max+Plus II 软件的设计流程

Max+Plus II 软件的设计流程主要包括设计输入、项目处理、项目校验和器件编程四个部分,如图 1-1 所示。

1. 设计输入

Max+Plus II 软件的设计文件可以来自 Max+Plus II 软件的设计输入工具,也可以是各种工业标准的 EDA 设计输入工具。Max+Plus II 强大的集成功能允许信息在各种应用程序间自由交流,设计者可以在一个工程内直接从某个设计文件转换到其他任何设计文件,而不必理会设计文件是图形格式、文本格式还是波形格式。

Max+Plus II 软件本身提供了多种设计输入方法,包括原理图输入、文本输入(AHDL、

2 EDA 技术实验与课程设计

VHDL、VerilogHDL)、波形输入、符号编辑和平面图编辑等。

2. 项目处理

Max+Plus II 软件提供了一个集成编译器,编译器读取设计文件信息,产生用于功能仿真、时序仿真、定时分析和器件编程的输出文件。编译器可以自动定位编译过程中发现的错误,以及优化设计文件。

项目处理主要包括:编译器自动定位错误、逻辑综合与适配、定时驱动编译、设计规划检查、多器件划分、产生用于仿真的工业标准格式和生成编译文件等。

3. 项目校验

Max+Plus II 软件提供的设计校验包括设计的仿真和时序分析,主要用来测试设计的逻辑操作和内部时序。其中仿真又分为功能仿真和时序仿真。在进行功能仿真时,编译器可提供网络表提取器、数据库编码、功能提取器等功能。在进行时序仿真时,编译器可提供网络表提取器、数据库编码、逻辑综合、分割、适配、定时时间提取、汇编等功能。时序仿真是在考虑了设计项目的具体适配器的各种延时时间情况下的设计项目的验证方法。时序仿真不仅测试设计的逻辑功能,而且测试器件内部的时序关系。通过时序仿真,可以保证器件在外部的任何条件下正常工作。

时序分析是用来分析器件引脚和内部元件间的传输路径延时、时序逻辑的性能(最高工作频率、最小时钟周期)及器件内部各种寄存器的建立/保持时间。

4. 器件编程

Altera 公司的可编程器件的编程可以通过 JTAG 在系统编程、编程器和 Altera 在线配置三种方式进行。JTAG 在系统编程就是使用 Max+Plus II 软件的编译器对采用 E²PROM 工艺的器件进行编译,产生编程文件(.pof)或是 JEDEC 文件(.jed),通过 ByteBlaster 下载电缆下载到器件中去。在线配置是对 FLEX 器件进行编译,产生(.sof)文件,通过 ByteBlaster 下载电缆对多个 FLEX 器件进行配置的过程。

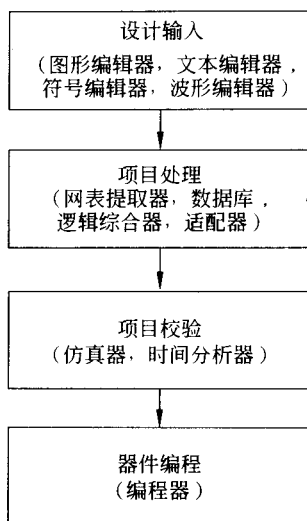


图 1-1 Max+Plus II 的设计流程

1.2 Max+Plus II 软件的安装

Max+Plus II 软件的安装非常简单,只要按照安装向导操作即可。具体安装步骤如下(假设安装在 D 盘):

(1) 将 Max+Plus II 光盘放进光驱,运行光驱的驱动器目录下的“setup.exe”文件,出现如图 1-2 所示的安装界面。接下来就会出现由安装向导引导的如图 1-3 所示的界面。

(2) 在图 1-3 中单击“Next>”按钮,出现如图 1-4 所示的授权协议界面。

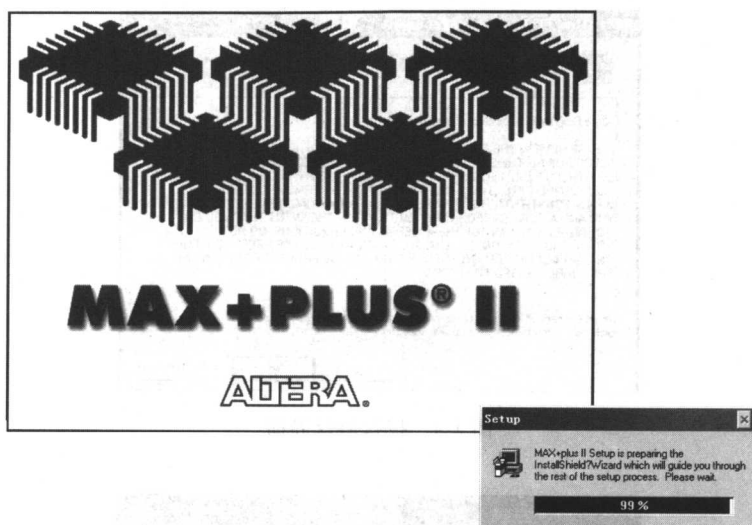


图 1-2 安装界面

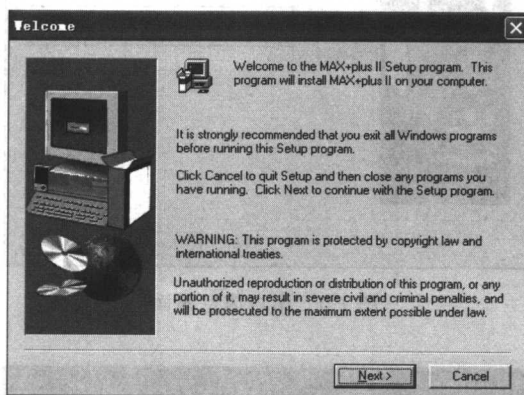


图 1-3 安装向导引导界面

(3) 在图 1-4 中单击“**Yes**”按钮接受此协议。出现的提示告知你需要一个“**license**”文件来运行程序,单击“**Next>**”按钮出现如图 1-5 所示的用户信息界面。

(4) 在图 1-5 中输入用户名和公司名称,单击“**Next>**”按钮出现如图 1-6 所示的安装类型选择界面。

(5) 在图 1-6 中使用默认的选择,即全部安装。单击“**Next>**”按钮出现如图 1-7 所示的安装路径选择界面。

因安装在 D 盘,故需按“**Browse**”按钮,在图 1-8 中输入或选择你要安装到的目录,此处为“**d:\maxplus2**”,然后单击“**OK**”按钮。因该目录“**d:\maxplus2**”不存在,会出现提示“是否创建此目录”,单击“是(Y)”按钮。回到图 1-7 后单击“**Next>**”按钮,出现图 1-9 界面。

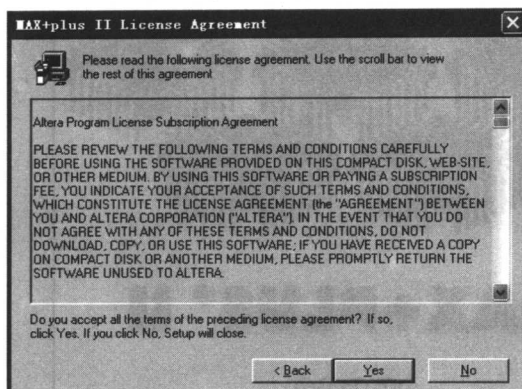


图 1-4 授权协议界面

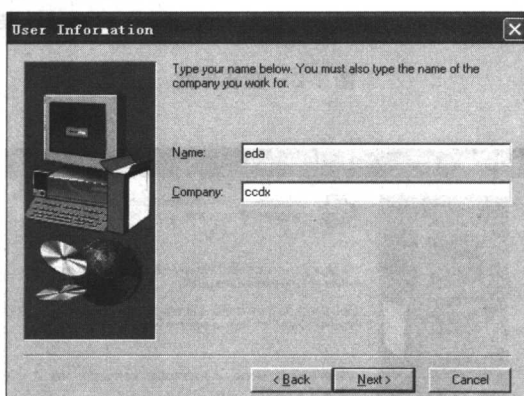


图 1-5 用户信息界面

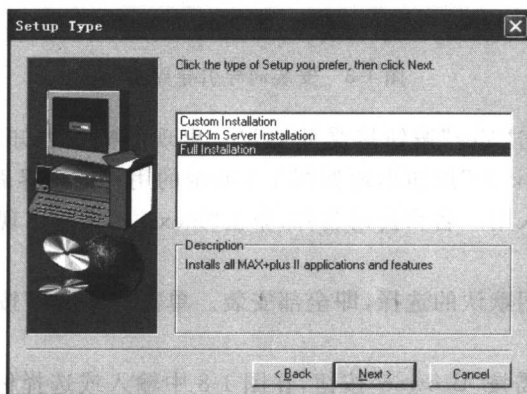


图 1-6 安装类型选择界面

(6) 在图 1-9 中单击“Next>”按钮即开始安装。

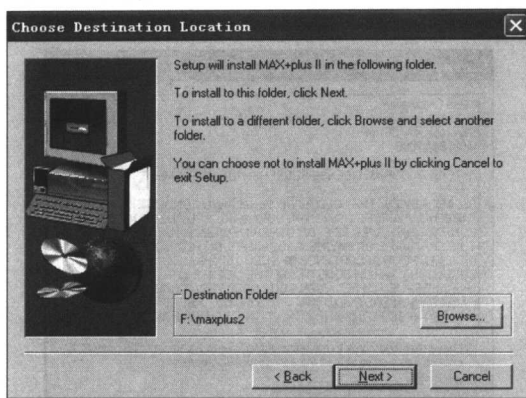


图 1-7 安装路径选择界面

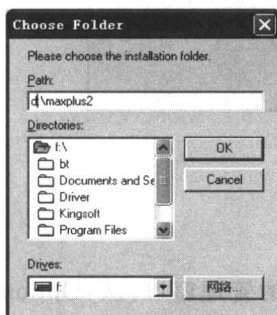


图 1-8 安装目录选择

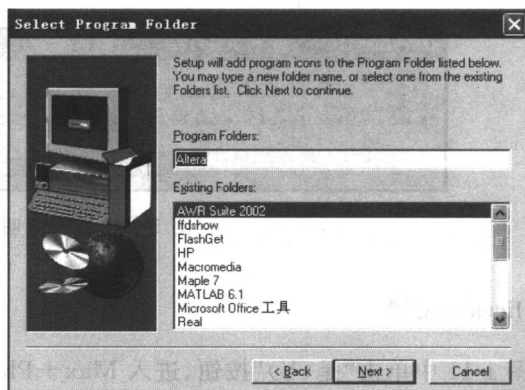


图 1-9 选择安装程序文件夹

1.3 运行 Max+Plus II 软件

安装好 Max+Plus II 软件后,在第一次运行时需做许多工作,才能使软件正常运行。

1. 获取 license.dat 文件

在第一次运行 Max+Plus II 软件之前,首先要将光盘中的“license.dat”文件复制到安装目录下的“maxplus2”的文件夹下。如果没有“license.dat”文件,可以到 Altera 公司的网站上申请一个学生版。

2. 第一次运行 Max+Plus II 软件

双击 Max+Plus II 软件的图标,或从“开始”菜单选择“程序”中的“Altera”组中的“Max+Plus II 10.0”,运行 Max+Plus II 软件。在出现 Max+Plus II 软件的界面时,首先出现“License Agreement”窗口如图 1-10 所示,将滑动条拉到最下阅读后可单击“Yes”按钮,出

6 EDA 技术实验与课程设计

现图 1-11 所示窗口。

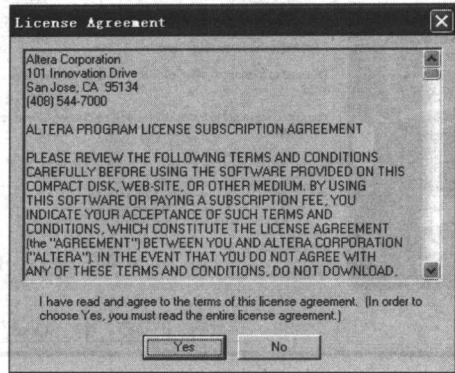


图 1-10 授权码提示窗口

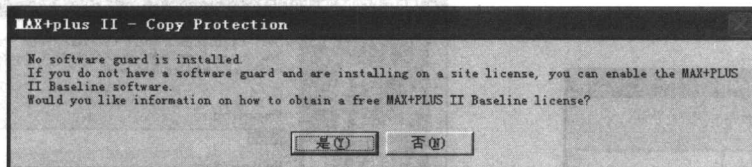


图 1-11 保护声明窗口

3. license 设置

在图 1-11 中单击“是(Y)”按钮,进入 Max+Plus II 软件的管理窗口,从“Options”菜单中选择“license setup”,就可以进入到如图 1-12 所示的 license 设置窗口。

在 license 设置窗口中单击“Browse”按钮,选取 maxplus2 文件夹下的 license.dat 文件,如图 1-13 所示。

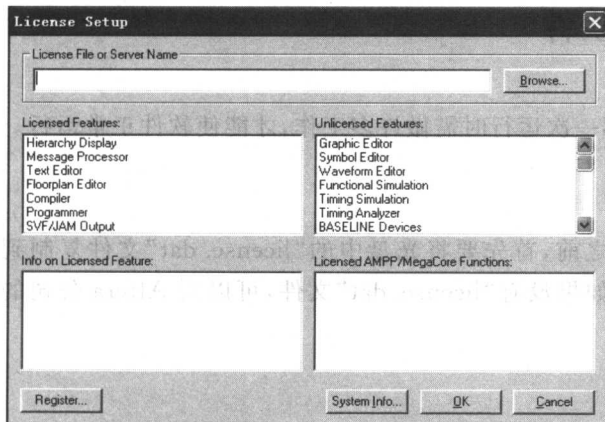


图 1-12 license 设置窗口

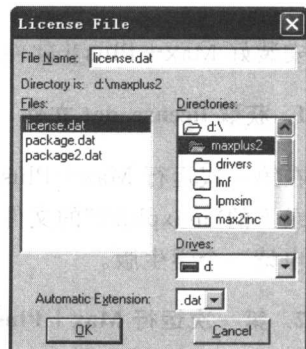


图 1-13 选取 license.dat 文件

license.dat 文件设置完成以后,就可以运行 Max+Plus II 软件了。若在以后的运行中

需要更新 license.dat 文件,则重复上述步骤。

1.4 Max+Plus II 软件的操作步骤

为了使读者快速学会使用 Altera 公司的 EDA 工具软件 Max+Plus II,下面将以一位全加器的设计为例,讲解如何利用 Max+Plus II 软件进行设计和测试的全过程。

一位全加器的整体设计包含两输入或门模块和半加器模块,两输入或门模块和半加器模块作为底层设计,采用 VHDL 输入方式,顶层的全加器采用原理图设计输入方式。全加器就是通过调用一个两输入或门模块和两个半加器模块组装成一个完整的一位全加器。

1.4.1 创建新工程

1. 建立新目录

在创建新工程之前,首先要为该设计(工程)建立一个新目录,如“e:\example”。

2. 启动 Max+Plus II 软件

从“开始”菜单选择“程序”,然后再选择“Altera”→“Max+Plus II 10.0”,就可以进入到 Max+Plus II 软件的集成环境界面,如图 1-14 所示。

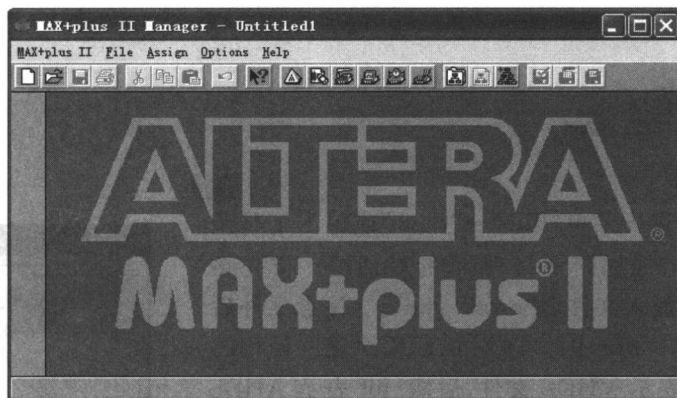


图 1-14 Max+Plus II 软件的集成环境界面

1.4.2 创建源文件

1. 创建两输入或门的 VHDL 源文件

(1) 生成一个新的文本文件

选择菜单“File”→“New”或单击工具条中的  图标,出现如图 1-15 所示的对话框,选择

8 EDA 技术实验与课程设计

“Text Editor file”(文本编辑方式), 然后单击“OK”按钮, 会出现一个如图 1-16 所示的无标题的文本编辑窗口——“Untitled-Text Editor”。

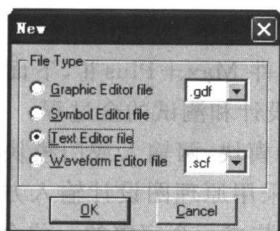


图 1-15 New 对话框

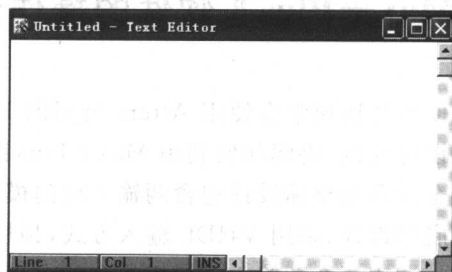


图 1-16 文本编辑窗口

(2) 输入两输入或门的源程序 ORM2.VHD

在出现的“Untitled-Text Editor”文本编辑窗口中输入如下的两输入或门的 VHDL 源程序 ORM2.VHD。

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY ORM2 IS
    PORT (A,B: IN STD_LOGIC;
          C: OUT STD_LOGIC);
END ORM2;
ARCHITECTURE ART1 OF ORM2 IS
BEGIN
    C<= A OR B;
END ARCHITECTURE ART1;
```

(3) 保存文件

输入完毕后, 选择菜单“File”→“Save”或单击工具条中的  图标, 即出现如图 1-17 所示的对话框。首先在“File Name”栏中输入文件名“orm2.vhd”。(注意文件后缀的选择, 在 Max+Plus II 中, 文件的后缀决定所使用的语言。后缀.vhd 表示 VHDL 文件, 后缀.tdf 表示 AHDL 文件, 后缀.v 表示 Verilog 文件。)然后在“Drives”驱动器选择栏中选择刚刚建立的项目路径所在的驱动器 e:, 在“Directories”路径栏中选择所建立的项目路径 example。最后在“Automatic Extension”(自动扩展名)的下拉菜单中选择.vhd, 再单击“OK”按钮, 即把两输入或门的源程序 ORM2.VHD 保存在目录“e:\ example”中。

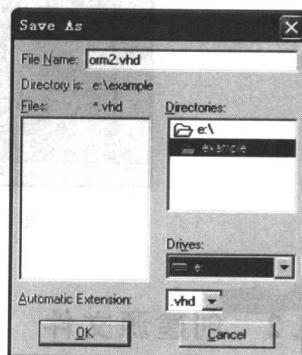


图 1-17 保存 ORM2.VHD 源程序

(4) 创建元件图形符号

文件保存好以后, 为了能在图形编辑器中调用此两输入或门, 需要为 ORM2 创建一个元件图形符号。选择菜单“File”→“Create Default Symbol”, 出现如图 1-18 所示的对话框,

即询问是否将当前工程设为 ORM2,可单击“确定”按钮。

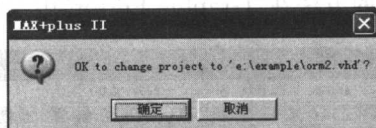


图 1-18 询问当前工程的设置

这时,Max+Plus II 软件将自动调出编译器对 ORM2.VHD 进行编译,编译通过后生成 ORM2 的图形符号。如果源程序有错,要对源程序进行修改,重复上面的步骤,直到此元件符号创建成功。成功后出现如图 1-19 所示的对话框。退出编译器,再退出编辑器,回到主窗口。

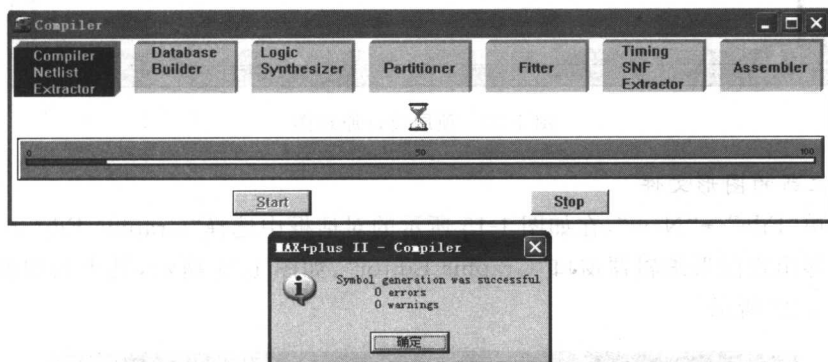


图 1-19 元件符号创建成功

2. 创建半加器的 VHDL 源文件

半加器的 VHDL 源程序 H_ADDER.VHD 的输入及其元件符号的创建过程同上,只需重复上面(1)~(4)步骤(注意:需将文件放在同一目录下“e:\example”)。半加器的 VHDL 源程序如下所示:

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY H_ADDER IS
    PORT ( A,B: IN STD_LOGIC;
          CO,SO:OUT STD_LOGIC);
END H_ADDER;
ARCHITECTURE ART2 OF H_ADDER IS
BEGIN
    SO<= ( A OR B) AND (A NAND B);
    CO<= NOT (A NAND B);
END ART2;
```

3. 创建全加器的源文件 F_ADDER.GDF

F_ADDER.GDF 是全加器设计中最顶层的图形设计文件,调用了前面两步创建的两个

10 EDA 技术实验与课程设计

功能元件,用一个两输入或门 ORM2. VHD 和两个半加器 H_ADDER. VHD 组装成一个完整的设计实体。按照以下给出的方法在“Graphic Editor”中绘出如图 1-20 所示的原理图。

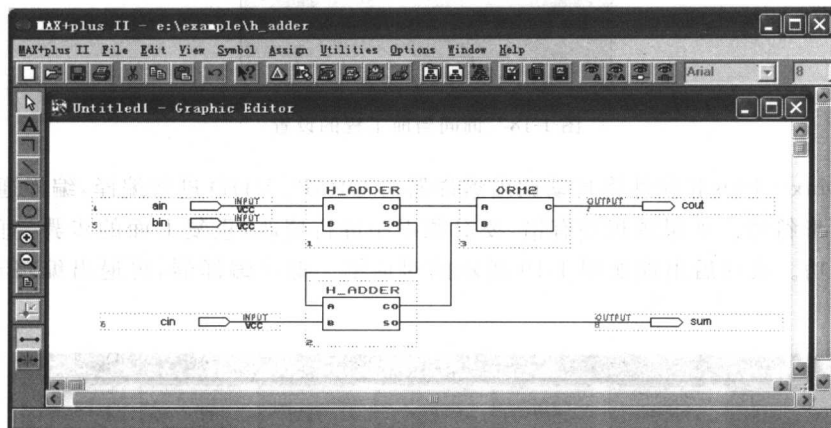


图 1-20 顶层设计原理图

(1) 建立新的图形文件

选择菜单“File”→“New”,在如图 1-15 所示的对话框中选择“Graphic Editor file”,单击“OK”按钮,即出现图形编辑器窗口“Graphic Editor”,如图 1-21 所示,其中的图形编辑工具条说明如图 1-22 所示。

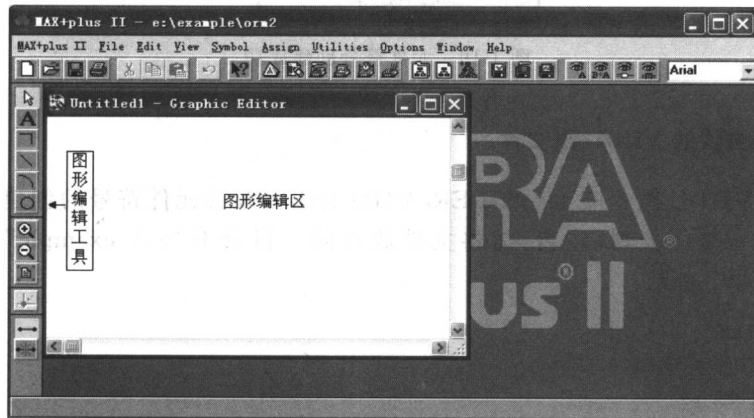


图 1-21 图形编辑器窗口

(2) 往图中添加元件

在图形编辑器“Untitled-Graphic Editor”中的任何位置双击鼠标左键,或单击鼠标右键,选择“Enter Symbol”,将出现如图 1-23 所示的“Enter Symbol”对话框。

可以在“Symbol Name”窗口中直接输入元件符号名,也可以在“Symbol Files”窗口中选择(已设计的元件符号名与原 VHDL 文件名相同),单击“OK”按钮,选中的元件符号就会立即出现在图形编辑器中。

现在在如图 1-23 所示的“Symbol Files”窗口中已有两个元件符号 ORM2 和

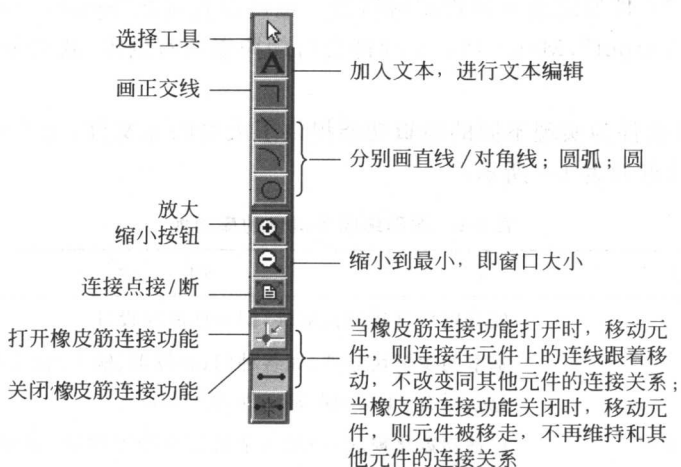


图 1-22 图形编辑工具条说明

H_ADDER (如果没有, 可用鼠标双击“Symbol Libraries”窗口内的“e:\ example”目录即可, 因为刚才输入并编译过的两个 VHDL 源文件都保存在这个目录中), 即为刚才输入的两个 VHDL 源文件所对应的元件符号(元件符号名与对应的 VHDL 文件名相同)。用鼠标选择其中的一个元件, 再单击“OK”按钮, 则此元件就立即被调入到图形编辑器中。然后重复此过程, 将一个 ORM2 元件和两个 H_ADDER 元件调入到原理图编辑器中。将鼠标按在元件上拖动, 即可移动元件, 排好它们的位置, 如图 1-20 所示。

接着为一个 ORM2 和两个 H_ADDER 元件添加输入/输出接口。输入/输出接口的符号名为“input”和“output”。双击如图 1-24 所示的“Symbol Libraries”窗口内的“d:\maxplus2\max2lib\prim”, 将立刻在“Symbol Files”子窗口中出现许多元件符号, 选择

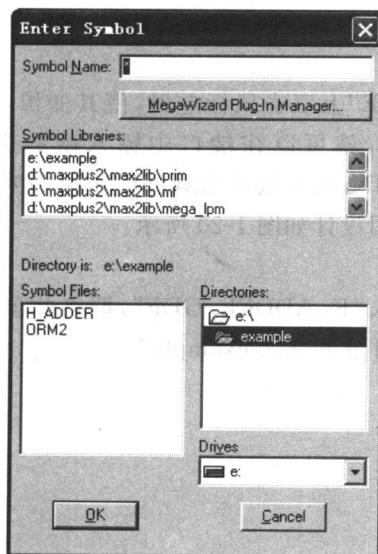


图 1-23 输入元件

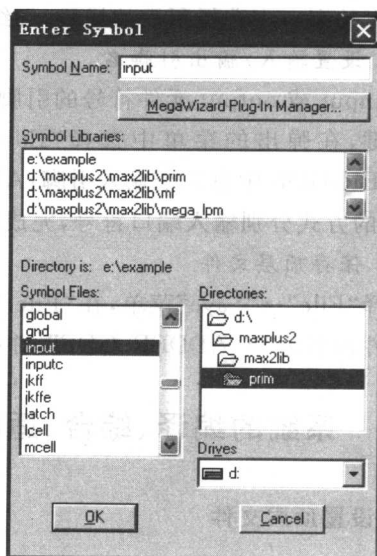


图 1-24 输入元件