

CMOS

电路设计·布局与仿真

CMOS Circuit Design, Layout, and Simulation

R. Jacob Baker

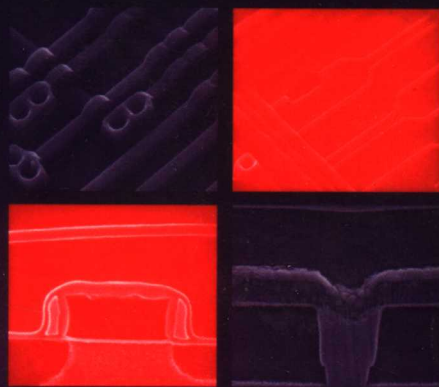
(美) Harry W. Li 著

David E. Boyce

陈中建 主译
吉利久 审校

CMOS

CIRCUIT DESIGN, LAYOUT, AND SIMULATION



R. Jacob Baker Harry W. Li David E. Boyce

IEEE Press Series on Microelectronic Systems
Stuart K. Tewksbury, Series Editor

The LAsI Layout Software, as well as other
layout software, can be downloaded at
http://www.mre.uidaho.edu/vlsi/cad_free.html



机械工业出版社
China Machine Press

电子与电气工程丛书

CMOS

电路设计·布局与仿真

CMOS

Circuit Design, Layout, and Simulation

(美) R. Jacob Baker
Harry W. Li 著
David E. Boyce

陈中建 主译
吉利久 审校



机械工业出版社
China Machine Press

本书全面阐述了CMOS集成电路设计的理论与相关技术,内容覆盖集成电路设计、仿真和物理实现的全过程。书中以现代观点对大量模拟和数字电路模块、BSIM模型、数据转换器的体系结构等内容进行了深入讨论。本书内容翔实,理论联系实际,包含大量习题,方便教学。本书可以作为集成电路设计师、版图设计师、集成电路项目管理人员以及相关专业的教授和科研工作者的高层次教科书或参考书。

R. Jacob Baker, Harry W. Li, and David E. Boyce: CMOS: Circuit Design, Layout, and Simulation (ISBN: 0-7803-3416-7).

Authorized translation from the English language edition published by John Wiley & Sons, Inc.

Copyright © 1998 by John Wiley & Sons, Inc.

All rights reserved.

本书中文简体字版由约翰·威利父子公司授权机械工业出版社独家出版。未经出版者书面许可,不得以任何方式复制或抄袭本书内容。

版权所有,侵权必究。

本书法律顾问 北京市展达律师事务所

本书版权登记号:图字:01-2003-7043

图书在版编目(CIP)数据

CMOS电路设计、布局与仿真/(美)贝克(Baker, R. J.)等著;陈中建主译. -北京:机械工业出版社,2006.1

(电子与电气工程丛书)

书名原文:CMOS: Circuit Design, Layout, and Simulation

ISBN 7-111-16504-7

I. C… II. ①贝… ②陈… III. 互补MOS集成电路-电路设计 IV. TN432.02

中国版本图书馆CIP数据核字(2005)第042687号

机械工业出版社(北京市西城区百万庄大街22号 邮政编码 100037)

责任编辑:许萍 吴怡

北京诚信伟业印刷有限公司印刷·新华书店北京发行所发行

2006年1月第1版第1次印刷

787mm×1092mm 1/16·44.5印张

印数:0 001-4 000册

定价:79.00元

凡购本书,如有倒页、脱页、缺页,由本社发行部调换

本社购书热线:(010) 68326294

译者序

CMOS发明至今已近半个世纪,引领潮流也有20多年。对于这样一个集成电路(Integrated Circuits, IC)家族的最主要成员,当然会有众多学者为之撰文、著书,相关的书籍就数以百计,其中大部分是特色鲜明的好书。译者很赞赏Weste等人的《Principles of CMOS VLSI Design》,作者对CMOS数字电路的设计做了全面、系统的讨论;译者还赞赏Razavi的《Design of Analog CMOS Integrated Circuits》,作者对CMOS模拟电路的设计做了细致、深入的分析。然而,译者更赞赏Baker等人撰写的这本书《CMOS Circuit Design, Layout, and Simulation》,赞赏作者对数字、模拟两种电路设计的有机融合,对CMOS设计过程的独到见解,以及对多年教学经验的深入总结。

CMOS的互补性有两层含义:一是极性互补,电路包含N、P两种极性的MOSFET(这在数字和模拟电路中都有体现);二是结构互补,NMOS、PMOS对应的串联、并联互补(这只是数字电路的属性)。因为互补结构有很好的数字特性,所以CMOS也首先用于数字电路。

在20世纪80年代初期,为了扩大CMOS IC的应用,IC设计师把当时的中、小规模集成电路规整为标准单元,并对CMOS设计过程做了简化。系统设计师使用这些标准单元,通过EDA工具,可以很容易地把门级网表映射到版图,完成芯片设计,不再需要那么多半导体专业知识,于是调动了他们的积极性。系统设计师不再需要买组件、搭电路板,而是直接参与专用集成电路芯片(Application Specific Integrated Circuits, ASIC)的设计。由于他们了解市场需求,懂得系统设计,又有标准单元、EDA工具的支持,因此很快便成了ASIC设计的主力。许多系统设计师还成立了不进行集成电路制造的设计公司,即“Fabless”,独立经营自己的品牌产品;同时,也出现了专营集成电路制造的工艺线——“Foundry”,译作“代工线”,它们不再从事IC设计工作。这就是发生在20世纪80年代的集成电路产业的第一次分工:设计与制造的分工。这次分工极大地推动了CMOS集成电路产业的发展。

在以系统设计师为主力的数字CMOS IC设计中,传统的IC设计师成了配角,只能做单元优化等辅助性的工作。一个单元电路充其量能有多大的优化空间呢?因此,当时确有“数字中没有电路设计”这一情况。与此相反,模拟电路一直都是IC设计师的领地。由于系统设计师与IC设计师的专业背景不同,工作重点各异,因此在标准单元阶段,有关CMOS的书籍多数把数字电路设计与模拟电路设计分开讲述。

时至今日,集成电路已经进入系统集成芯片(System-on-Chip, SoC)阶段。SoC的集成规模如此之大,已经不可能再以标准单元为设计起点,起码要基于模块电路,甚至以子系统电路为起点。SoC的优化设计,势必要求对子系统做更高水平的优化设计,这就给了IC设计师展露才华的机会。对模拟电路模块的优化设计一直是IC设计师的分内工作;对数字子系统的优化设计,IC设计师也开始深入参与。他们不再拘泥于标准单元的限制,而是凭借深厚的电路功底,以子系统的整体功能为优化目标,从晶体管级出发,设计出几近完美的数字电路模块。这样的设计已不再是原来意义的数字设计,而是饱含了IC设计师的睿智与辛劳,其优化程度也是标准单元加EDA自动布局布线所绝对不可比拟的。这样的设计已经可以作为商用的设计产品——IP(Intellectual Property)来流通。这些IP构成了SoC的主要技术支撑,并形成了独立于系统设计之

外的IP设计业。这就是20世纪90年代的集成电路产业的第二次分工。这次分工发生在设计业内：系统设计与IP设计的分工。

Baker的书正是适应了SoC阶段IP设计的需要，把数字CMOS电路设计与模拟CMOS电路设计做了有机融合，加强了CMOS电路的原理分析，为读者从事IP设计和使用IP从事SoC设计做了充足的知识准备。

所谓数字与模拟CMOS电路设计的有机融合，就是：回溯到它们的共同起点——NMOSFET和PMOSFET两种极性的四端器件，分析影响设计过程的因素——器件尺寸、工艺参数、物理参数等。在Baker的书中，无论是讨论数字电路还是模拟电路，都是从晶体管级开始，重视工艺和版图在设计过程中的作用。这一点很重要，IC设计师只有充分挖掘工艺的潜能，深入了解版图的影响，才能把工艺提供的可用资源全部体现到所设计的CMOS IC之中。

除了重视工艺和版图之外，译者还赞赏Baker等对“手算”的独到见解。这里所说的“手算”是指要对提出的设计方案，或者修改方案，先用“手算”预估一下性能走向。这一点也很重要。对于一个IC设计师来说，具有“手算”能力不仅有助于提出创新设计，而且有利于提高使用EDA工具的效率和目的性。在EDA工具如此方便的今天，只有设计师做到“心里有数”，才不致发生“机器很忙却无功而返”的情况。

作为一本教材，译者很赞赏Baker对教学进度做出的建议性安排，特别赞赏书中给出的200多个实例、500多道习题。这是作者多年教学经验的积累。教过书的人都知道，出题比讲课还难。那些切中要点的习题，无论是对理解概念，还是对掌握方法，都是十分有益的。

“CMOS IC设计”是一门工程性很强的课程，除习题外，设计实践是必不可少的，特别是付诸工艺流片的实践更为重要。学生看到探针扎芯片测出波形时的感觉，绝对与看仿真波形不同。Baker的书对工艺流片非常重视。书中给出了工艺厂家的数据，介绍了MPW (Multi-Project Wafer, 多项目晶圆) 的运行过程，提供了IC设计软件的微机版本。这些都是付诸工艺流片所必需的条件。

Baker的书是一本好书，更是一本好教材。从设计理念、教学内容、讲述方式等几个方面看，Baker的书都与SoC阶段对IC设计的要求相合拍，因此很值得译成中文，作为近几年国内CMOS IC设计的教材。这是译者欣然承译的主要原因。还有一个原因就是译者均从事CMOS IC的设计研究，包括模拟的和数字的，也正要认真研读Baker的这本书，而翻译是最好的研读方式。

整个翻译工作由译书小组共同完成，陈中建副教授组织了整个翻译过程。他除承译了第20章、第21章、第26章、第27章等章节外，还完成了全书的统稿和初审校工作。翻译小组成员根据各自的设计经验，分别承担了相应章节的翻译工作，具体如下：高峻翻译了第23章、第24章、第25章，鲁文高翻译了第1章、第2章、第3章、第4章、第22章、附录A、附录B、附录C，王芳翻译了第11章、第12章、第13章、第14章、第17章、第18章，卢振庭翻译了第28章、第29章，刘丹翻译了第5章、第6章、第9章、第10章，刘菁翻译了第7章、第8章、第15章、第16章，葛岩翻译了第19章。最后，由我审校了全部译稿。

译者感谢机械工业出版社华章分社，他们为原著版权和译著出版等项事宜做了大量工作。

翻译是最好的研读，但其工作量要比研读大得多。在完成校阅、译毕交稿的时候，译者很感疲劳，但更担心。疲劳是因为翻译了一本900多页的英文专业书花费了大量精力，担心的是唯恐译稿中仍有不妥，甚至错误存在，一旦付诸印刷，便是永久遗憾。译者全部为青年人，还要做几十年的IC设计，因此，敬祈前辈和同辈读者不吝赐教。

吉利久

2004年10月于北京大学

前 言

在过去十多年中,电子产业发展迅猛。半导体行业协会(Semiconductor Industry Association, SIA)的最新报告[1]指出:仅在1995年,世界集成电路产业的年销售额增加了41.7%,而且,在过去的5年中一直以指数级速度增长。该报告还预测:世界集成电路芯片销售额在1996年为1540亿美元,到1999年会超过2345亿美元。世界集成电路销售中的最大份额来自MOS集成电路的销售。MOS集成电路市场的主要销售额来自存储器、微处理器和其他逻辑电路,其总的年销售额占世界总销售额的75%左右(即1142亿美元),显示出CMOS工艺的强劲活力。该报告预计:MOS集成电路销售额在所有芯片年销售额中的百分比会保持到1999年,那时MOS集成电路的销售额将达到1780亿美元。

CMOS工艺仍在继续发展,最小特征尺寸现在已经小到 $0.1\mu\text{m}$ 。德州仪器公司最近发布了其 $0.18\mu\text{m}$ 的CMOS工艺[2],在这样的工艺中,相当于20个高性能微处理器规模的电路系统可共存于同一个衬底上,晶体管的密度为1.25亿个晶体管。这么高的器件密度使得在一个芯片上实现真正的系统集成成为可能,即能够在一个管芯上集成数字信号处理器、微处理器或微控制器、存储器、模拟或混合信号功能等。

作为教育工作者,学生经常问我们:“模拟电路是否正在退出历史舞台?你看一切都在转向用数字电路来实现!”这是多么错误的观点!早在20世纪70年代中期,就有人预测模拟电子学行将灭亡。实际并非如此。SIA的报告[1]指出:模拟集成电路的年销售额接近MOS数字电路的年销售额,在1995年增长了22.5%;到1996年,预计模拟集成电路市场的销售额将达到182亿美元,会增长9.5%;在未来3年中,模拟集成电路市场将以两位数字的速度增长;在1999年,模拟集成电路的年销售额预计可达266亿美元,占集成电路产品总销售额的11.3%。尽管集成电路产业仍需要大量的模拟电路设计人员,但他们的角色无疑正在发生转变。正如Paul Gray[3]指出的那样:纯模拟电路设计的时代已经结束了,只有极少数的电路系统会是纯模拟的,越来越多的电路系统会是数模混合的系统;用数字电路来完成的功能会越来越多。他进一步指出:模拟电路设计师除了应当具备晶体管级的模拟设计能力这一核心技能外,还应当具备广阔的知识面。这意味着模拟电路设计师应该:对数字VLSI有很好的理解并能熟练使用最新的计算机辅助设计工具;知道如何把数字信号处理(Digital Signal Processing, DSP)、模拟信号处理(Analog Signal Processing, ASP)和滤波器等用于系统级设计;能够洞悉组件对系统性能的影响。例如,过采样电路(如基于 $\Sigma\text{-}\Delta$ 调制的数据转换器、滤波器和一大批相对比较新的电路)的设计需要具备DSP和晶体管级的模拟设计能力。一个优秀的集成电路设计师既应具备模拟电路设计能力,又应具备数字电路设计能力,并能够对数字域和模拟域之间的相互作用关系有很好的理解;无疑,这对集成电路设计师的素质和能力提出了更为苛刻的要求,而且这一要求很难达到。现在,对模拟电路设计师的需求比以往任何时候都要大,其原因非常简单:若要使数字电路达到性能极限,就必须从“模拟”的角度来考察、分析数字电路深层次的工作机理。正是基于上述考虑,本书才把数字和模拟集成电路设计融会在一起讲述。

集成电路的版图设计就是设计集成电路的各个物理层中的图形的过程。通常,版图设计是利用计算机辅助设计(Computer-Aided Design, CAD)软件来完成的。Mentor Graphics、Synopsys、Cadence等CAD公司为集成电路的整个设计流程提供了功能极强大的辅助设计工具,它们在一个框架内集成了设计工具、综合工具、仿真工具和版图设计工具等。这些基于工作站的软件工具虽价值上百万美元,但使用方便,功能强大,是集成电路设计师必不可少的助手。当然,也有一些基于PC机的CAD工具,如Tanner Tools的L-Edit就提供了一套完整的IC设计CAD工具。本书讨论的LAYout System for Individuals (LASI, 发音与英文单词“LAZY”相同)软件也是基于PC机的IC设计工具,学生可以借助它进行版图设计、设计规则检查以及设计验证。它是共享软件,对教育界免费。

特征尺寸的减小使得集成电路设计的复杂度增大,而器件之间的匹配程度和电路中的寄生效应已经成为影响许多高精度或高速电路性能的关键因素,因此,需要给予版图设计以更多关注。集成电路工艺和电路的版图设计、器件建模等密切相关,设计师对工艺了解得越多,设计的电路就越能接近该工艺的性能极限。不过,性能并不是重视版图设计的唯一原因。集成电路的版图设计从经济上来讲会影响到芯片的市场盈利。有时,芯片面积增加20%就会使芯片的利润减少几十万美元,因此,芯片的面积可以看成是一种高级的房地产。正是基于上述考虑,本书前10章的大部分章节主要讨论与版图设计相关的内容(也根据需要讨论了其他一些相关问题)。

器件建模也是一个很重要的问题。仿真结果的精确程度只可能与器件模型的精度一样。尽管Berkeley的短沟道IGFET模型(即BSIM模型)目前已经成为工业标准,但它的模型参数不够直观,不适于手算。对很多学生(和工程师)而言,BSIM参数只是他们SPICE文件中的一组数字而已。但是,设计师可以从BSIM模型中提取出一些很有用的数据,这些数据将有助于使手算结果更接近实际的仿真结果。本书第6章就讲述了BSIM模型参数和一阶手算方程之间的关系。

一个成功的CMOS集成电路设计师应该具备器件物理、电路设计、版图设计、电路仿真等知识。学习CMOS集成电路设计的学生应该从这些基础知识学起。过去的CMOS集成电路课程主要讲授集成电路的设计或分析,很少涉及版图设计。目前,这种状况已经得到了适当纠正。另外,设计好一个芯片的全部版图后,如果能进行流片加工和测试,那将对学生的培养十分有益。借助MOSIS项目,学生们可以提交他们设计的芯片数据,由MOSIS的合同商进行流片加工。约十个星期后,芯片就可以加工好,并交由设计者进行测试评估。MOSIS项目是一种非常好的把学生引入集成电路设计领域的方式。

尽管已有许多书籍讲述了CMOS模拟或数字电路的设计,但目前还没有一本书把数字电路和模拟电路设计(包括版图设计和版图设计软件)融合在一起讲述。本书做到了这一点。本书的重点在于定制CMOS集成电路的设计基础。我们的目标是:通过学习并掌握本书内容,学生能够具备设计高性能模拟和数字电路的基本技能;当需要提高一个集成电路的性能时,或者需要分析一个集成电路为什么不能像仿真的那样正常工作时,学生具备所必需的分析问题、解决问题的能力。

本书的使用

本书可作为两门课程的教材。这些课程设在本科高年级或研究生一年级。第一门课程集中讲授CMOS数字集成电路的物理设计,先修课程是“电子学I”和“数字逻辑设计”。可以参照下

面的进度来安排一个学期的课程:

第1周 第1章和第2章: 概述, 课程要求, 版图, SPICE演示, n阱, 方块电阻。

第2周 第2章和第3章: n阱, PN结, 电容, 电阻, 阱延迟, 金属层简介。

第3周 第3章和第4章: 金属层, 寄生, 电迁移, 压点版图, 有源层和多晶硅层, MOS管版图和标准单元框。

第4周 第5章: MOSFET的工作原理。

第5周 第5章和第6章: 完整的MOSFET的工作原理, 讨论用BSIM模型建模。

第6周 第6章和第7章: 完整的BSIM模型, 电容版图, MOS管的温度效应。

第7周 第10章和第11章: 数字模型, 反相器。

第8周 第11章: 反相器, 转换点电压和开关时间, 版图, 闩锁效应, 设计。

第9周 第12章: 静态逻辑门, 转换点电压, 速度, 版图。

第10周 第13章和第14章: 传输门, 触发器, 动态逻辑门。

第11周 第15章和第16章: VLSI版图, BiCMOS逻辑。

第12周 第17章: 存储器电路, 基本存储器单元, 体系结构。

第13周 第18章: 专用数字电路。

第14周 第19章: 数字锁相环简介, 鉴相器, VCO。

第15周 第19章: 数字PLL设计。

第二门课程集中讲授CMOS模拟电路设计。可参照下面的进度来安排一个学期的课程:

第1~2周 回顾第1~6章。

第3周 第7章: CMOS无源元件, 噪声特性。

第4周 第9章: 模拟MOSFET模型。

第5周 第20章: 电流源和电流沉。

第6周 第21章: 基准源。

第7周 第22章: 放大器。

第8周 第23章: 选讲反馈放大器设计中的部分专题。

第9周 第24章: 差分放大器。

第10~12周 第25章: 运算放大器。

第13周 第26章: 非线性模拟电路。

第14周 第27章: 动态模拟电路。

第15周 第28、29章: 选讲数据转换器设计的部分专题。

本书也可以作为“VLSI系统”课程的参考书(该课程的重点是集成电路的系统级设计而不是电路级设计); 使用LASI版图设计软件也有益于该课程的教学。

参考文献

- [1] *Revised Forecast for World Chip Market Shows Growth of 6.7% in 1996, 19% by 1999, Semiconductor Forecast Summary 1995-1998, Semiconductor Industry Association.*
- [2] "New TI Technology Doubles Transistor Density," *Texas Instruments Integration Newsletter*, Vol. 13, No. 5, July 1995.

- [3] P. Gray, "Possible Analog IC Scenarios for the 90's," <http://kabuki.eecs.berkeley.edu/slides.html>

数字电路与VLSI系统设计方面:

- [4] C. Mead and L. Conway, *Introduction to VLSI Systems*, Addison-Wesley, 1980.
- [5] Glasser and Dopferpuhl, *The Design and Analysis of VLSI Circuits*, Addison Wesley, 1985.
- [6] M. Annaratone, *Digital CMOS Circuit Design*, Kluwer, 1986.
- [7] A. Mukherjee, *Introduction to NMOS and CMOS VLSI Systems Design*, Prentice-Hall Publishers, 1986. ISBN 0-13-490947-X
- [8] D. A. Hodges and H. G. Jackson, *Analysis and Design of Digital Integrated Circuits*, McGraw-Hill, 2nd ed., 1988. ISBN 0 - 07 - 029158 - 6.
- [9] M. Shoji, *CMOS Digital Circuit Technology*, Prentice-Hall, 1988. ISBN 0-13-138850-9.
- [10] J. P. Uyemura, *Fundamentals of MOS Digital Integrated Circuits*, Addison-Wesley, 1988. ISBN 0-201-13318-0.
- [11] N. Wang, *Digital Mos Integrated Circuits : Design and Applications* Prentice-Hall, 1989. ISBN 0-132-13109-9.
- [12] R. L. Geiger, P. E. Allen, and N. R. Strader, *VLSI - Design Techniques for Analog and Digital Circuits*, McGraw-Hill, 1990. ISBN 0-07-023253-9.
- [13] J. Y. Chen, *CMOS Devices and Technology for VLSI*, Prentice-Hall, 1990. ISBN 0-13-138082-6.
- [14] E. Fabricius, *Introduction to VLSI Design*, McGraw-Hill, 1990. ISBN 0-07019-948-5
- [15] M. I. Elmasry, *Digital MOS Integrated Circuits II*, IEEE Press, 1992. ISBN 0-87942-275-0.
- [16] N.H.E. Weste and K. Eshraghian, *Principles of CMOS VLSI Design*, Addison Wesley, 2nd ed., 1993. ISBN 0-201-53376-6.
- [17] J. P. Uyemura, *Circuit Design for Digital CMOS VLSI*, Kluwer, 1992.
- [18] D. A. Pucknell and K. Eshraghian, *Basic VLSI Design*, 3rd ed., Prentice Hall Publishers, 1994. ISBN 0-13-079153-9
- [19] W. Wolf, *Modern VLSI Design: A Systems Approach*, Prentice Hall, 1994. ISBN: 0-13-588377-6
- [20] S. Kang and Y. Leblebici, *CMOS Digital Integrated Circuits - Analysis and Design*, McGraw-Hill, 1996. ISBN 0-07-038046-5.
- [21] K. Gopalan, *Introduction to Digital Microelectronic Circuits*, Irwin, 1996. ISBN 0-256-12089-7.
- [22] J. M. Rabaey, *Digital Integrated Circuits - A Design Perspective*, Prentice Hall, 1996, ISBN 0-13-178609-1.

模拟电路设计方面:

- [23] A. B. Grebene, *Bipolar and MOS Analog Integrated Circuit Design*, John-Wiley, 1984. ISBN 0-471-08529-4
- [24] R. Gregorian and G. C. Temes, *Analog MOS Integrated Circuits for Signal Processing*, John Wiley, 1986. ISBN 0-471-09797-7.
- [25] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*, Holt, Rinehart and Winston, 1987. ISBN 0-03-006587-9.
- [26] P. R. Gray, B. A. Wooley and R. W. Broderson, *Analog MOS Integrated Circuits II*, IEEE Press. ISBN 0-87942-246-7.
- [27] R. L. Geiger, P. E. Allen, and N. R. Strader, *VLSI - Design Techniques for Analog and Digital Circuits*, McGraw-Hill, 1990. ISBN 0-07-023253-9.
- [28] P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 3rd ed., John Wiley, Inc., 1993. ISBN 0-471-57495-3.
- [29] M. Ismail and T. Fiez, *Analog VLSI - Signal and Information Processing*, McGraw-Hill, Inc. 1994. ISBN 0-07-032386-0.
- [30] K. R. Laker and W. Sansen, *Design of Analog Integrated Circuits and Systems*, McGraw-Hill, 1994. ISBN 0-07-036060-X.
- [31] G.A.S. Machado, *Low-Power HF Microelectronics a unified approach*, IEE, 1996. ISBN 0-85296-874-4.
- [32] D. Johns and K. Martin, *Analog Integrated Circuit Design*, John Wiley, 1997. ISBN 0-471-14448-7.

致谢

我们诚挚感谢为本书的出版而付出了辛勤劳动的审阅者、帮助者以及我们的同事。他们分别是: Phil Allen博士、Savoula Amanatidis、Ben Ba、Jan Bissey、William Black博士、Jeff Bruce、Alan Buchholz、Joseph Cavallaro博士、Brian P. Lum Shue Chan、Irfan Chaudhry、Lisa Dayne、Ian Galton博士、Randall Geiger博士、John Griffin、Wes Hansford、Aaron Huntsinger、Bruce Johnson博士、David Kao、Joe Karniewicz博士、Brent Keeth、William Kuhn博士、Wen Li、H. Alan Mantooth博士、Richard Marks博士、Dean Moriarty、Ken Noren博士、Adrian Ong博士、James Rochelle博士、Terry Sculley博士、Joseph P. Skudlarek、Stuart Tewksbury博士、Don Thelen博士、Axel Thomsen博士、Vance Tyree博士、Scott Ward、Veronica Wilson、Jeff Wu博士和 Kwang S. Yoon博士。

同时感谢Orbit Semiconductor、MOSIS和HP公司允许在本书中使用其工艺数据和设计规则。

R. Jacob Baker

Harry W. Li

David E. Boyce

目 录

译者序
前言

第一部分 CMOS基础

第1章 概述	1
1.1 CMOS集成电路的设计流程	1
1.2 在Windows环境下使用LASI软件	3
1.2.1 LASI中的单元	4
1.2.2 浏览LASI的画图窗口	6
1.2.3 添加对象	6
1.2.4 编辑对象	6
1.2.5 放置单元	7
1.2.6 常见问题	9
1.3 MOSIS	10
参考文献	13
习题	13
第2章 阱	16
2.1 衬底	16
2.1.1 图形转移	17
2.1.2 n阱图形的转移	19
2.2 n阱的版图设计	19
2.2.1 n阱的设计规则	20
2.2.2 LasiDrc程序的使用	21
2.3 n阱电阻阻值的计算	21
2.4 n阱/p衬底二极管	23
2.4.1 耗尽层电容	23
2.4.2 存储电容	25
2.4.3 SPICE建模	26
2.5 n阱的RC延迟	28
参考文献	30
习题	30
第3章 金属层	33
3.1 压焊点	33
3.1.1 压点的版图设计	33

3.1.2 压点的设计规则	35
3.2 金属层的版图设计	37
3.2.1 金属层的设计规则	37
3.2.2 与金属层相关的寄生效应	38
3.2.3 电流承载极限	39
3.2.4 与通孔层相关的寄生效应	40
3.3 串扰和地线扰动	41
3.4 层级化的版图设计	43
参考文献	46
习题	46
第4章 有源区层和多晶硅层	48
4.1 设计规则	48
4.1.1 n+/p+有源区的设计规则	49
4.1.2 poly1的设计规则	51
4.2 标准单元框的版图	53
4.3 有源区层的图形转移	54
4.4 MOSFET的版图	57
参考文献	59
习题	59
第5章 MOSFET	61
5.1 MOSFET电容	61
5.1.1 情形一: 积累	62
5.1.2 情形二: 耗尽	63
5.1.3 情形三: 强反型	63
5.1.4 小结	64
5.2 阈值电压	65
5.3 MOSFET的I-V特性	69
5.3.1 工作于线性区的MOSFET	69
5.3.2 工作于饱和区的MOSFET	71
5.4 MOSFET的SPICE模型	73
5.4.1 Level 1模型中与 V_{THN} 相关的参数	73
5.4.2 Level 1模型中与跨导相关的参数	75
5.4.3 与源/漏注入区相关的SPICE模型 参数	75

5.4.4 MOSFET的版图	76
参考文献	77
习题	77
第6章 BSIM SPICE模型	80
6.1 BSIM1模型参数	81
6.2 BSIM1直流公式	83
6.2.1 阈值电压	83
6.2.2 漏电流	85
6.2.3 亚阈值电流	87
6.3 短沟道MOSFET	90
6.3.1 MOSFET的按比例缩小	90
6.3.2 短沟道效应	91
6.4 BSIM3 SPICE模型	93
6.5 收敛性	95
参考文献	96
习题	97
第7章 CMOS无源元件	99
7.1 第二层多晶硅	99
7.1.1 多晶硅电容的设计规则	99
7.1.2 多晶硅电容的寄生效应	99
7.1.3 其他类型的电容	100
7.2 电阻、电容与温度和电压的关系	101
7.2.1 电阻	101
7.2.2 电容	106
7.3 电阻的噪声	107
参考文献	112
习题	112
第8章 用LasiCkt做设计验证	114
8.1 LasiCkt基础	114
8.2 反相器	115
8.3 用LasiCkt做设计验证	120
8.4 更高层级的单元: OR门	123
参考文献	126
第9章 MOSFET的模拟模型	127
9.1 MOSFET的低频模型	127
9.2 MOSFET的高频模型	131
9.3 MOSFET的温度效应	135
9.4 MOSFET的噪声	137
参考文献	140

习题	140
第10章 MOSFET的数字模型	143
10.1 MOSFET的数字模型	143
10.1.1 电容的影响	144
10.1.2 MOS管的时间常数	145
10.1.3 延迟时间和转换时间	146
10.2 串联连接的MOSFET	148
10.2.1 串联MOSFET的直流特性	148
10.2.2 串联MOSFET的延迟	149
参考文献	151
习题	151
课堂训练项目	151

第二部分 CMOS数字电路

第11章 反相器	155
11.1 直流特性	155
11.1.1 噪声容限	157
11.1.2 反相器的转换点	157
11.2 开关特性	159
11.2.1 环路振荡器	161
11.2.2 动态功耗	161
11.3 反相器的版图	163
11.4 驱动大电容负载时反相器的设计	165
11.4.1 分布式驱动器	170
11.4.2 驱动较长的互连线	171
11.5 其他类型的反相器	171
11.5.1 仅由NMOS管构成的输出 驱动器	172
11.5.2 三态输出反相器	173
11.5.3 自举NMOS反相器	173
参考文献	175
习题	175
第12章 静态逻辑门	177
12.1 NAND和NOR逻辑门的直流特性	177
12.1.1 NAND逻辑门的直流特性	177
12.1.2 NOR逻辑门的直流特性	179
12.2 NOR门和NAND门的版图设计	180
12.3 开关特性	181
12.3.1 NAND门	182

12.3.2 输入信号的数目	185	第17章 存储电路	251
12.4 复杂的CMOS逻辑门	186	17.1 RAM存储单元	251
12.4.1 级联电压开关逻辑	189	17.1.1 DRAM存储单元	252
12.4.2 差分分级逻辑	190	17.1.2 SRAM存储单元	255
12.4.3 三态输出	191	17.2 灵敏放大器	256
参考文献	192	17.3 行/列译码器	258
习题	192	17.4 DRAM的工作时序	260
第13章 传输门和触发器	194	17.5 现代DRAM电路	262
13.1 传输管	194	17.5.1 DRAM存储单元的版图设计	262
13.2 CMOS传输门	195	17.5.2 折叠位线结构和开放位线结构	263
13.2.1 CMOS传输门的版图设计	197	17.6 其他类型的存储单元	266
13.2.2 传输门的级联	197	参考文献	268
13.3 传输门的应用	198	习题	268
13.4 触发器	201	第18章 专用数字电路	270
参考文献	206	18.1 施密特触发器	270
习题	206	18.1.1 施密特触发器的设计	271
第14章 动态逻辑电路	208	18.1.2 开关特性	273
14.1 动态电路基础	208	18.1.3 施密特触发器的应用	273
14.1.1 电荷泄漏	208	18.1.4 高速施密特触发器	275
14.1.2 动态电路的仿真	209	18.2 多频振荡器	275
14.1.3 不交迭时钟的产生	211	18.2.1 单稳态多频振荡器	276
14.1.4 动态电路中的CMOS传输门	212	18.2.2 非稳态多频振荡器	276
14.2 时钟控制的CMOS逻辑	212	18.3 电压产生电路	277
参考文献	216	18.3.1 提高效率	279
习题	217	18.3.2 更高电压的产生	279
第15章 VLSI版图设计	219	18.3.3 实例	280
15.1 VLSI版图	219	参考文献	282
15.2 版图设计流程	227	习题	282
参考文献	234	第19章 数字锁相环	284
习题	234	19.1 鉴相器	285
第16章 BiCMOS逻辑门	237	19.1.1 XOR鉴相器	285
16.1 结型隔离的双极晶体管版图	238	19.1.2 鉴频鉴相器	289
16.2 NPN晶体管模型	240	19.2 压控振荡器	292
16.3 BiCMOS反相器	242	19.2.1 电流饥饿型VCO	292
16.4 其他的BiCMOS逻辑门	245	19.2.2 源耦合VCO	295
16.5 BiCMOS电平转换电路	247	19.3 环路滤波器	298
参考文献	249	19.3.1 XOR DPLL	298
习题	250	19.3.2 鉴频鉴相器DPLL	303
		19.4 系统考虑	307

19.5 延迟锁环	318	22.2.2 推挽放大器	391
参考文献	322	22.3 放大器的噪声和失真	392
习题	323	22.4 甲乙类放大器	396
第三部分 CMOS模拟电路			
第20章 电流源和电流沉	325	参考文献	399
20.1 电流镜	325	习题	400
20.1.1 共源共栅接法	330	第23章 反馈放大器	403
20.1.2 敏感度分析	333	23.1 反馈方程	403
20.1.3 温度特性	335	23.2 放大器设计中的负反馈特性	404
20.1.4 瞬态响应	337	23.2.1 增益的倒灵敏度	404
20.1.5 简单电流镜的版图	339	23.2.2 扩展带宽	405
20.1.6 电流镜中的匹配问题	340	23.2.3 减小非线性失真	406
20.2 其他类型的电流源/沉	342	23.2.4 输入和输出电阻的控制	407
参考文献	349	23.3 反馈的类型	407
习题	349	23.3.1 输入混合	408
第21章 基准源	353	23.3.2 输出采样	409
21.1 分压器	353	23.3.3 反馈电路	409
21.1.1 电阻-MOS管型分压器	353	23.3.4 计算开环参数	411
21.1.2 MOS管型分压器	354	23.3.5 计算闭环参数	413
21.2 自偏置电流源	358	23.4 电压放大器(串联-并联反馈)	414
21.2.1 以阈值电压为基准的自偏置 电路	358	23.5 跨阻放大器(并联-并联反馈)	419
21.2.2 以二极管为基准的自偏置电路	359	23.6 跨导放大器(串联-串联反馈)	426
21.2.3 以热电压为基准的自偏置电路	362	23.7 电流放大器(并联-串联反馈)	430
21.3 带隙基准电压源	364	23.8 稳定性	432
21.4 β 倍乘的基准自偏置电路	366	参考文献	437
21.4.1 一个基准电压源	367	习题	437
21.4.2 工作在亚阈区的电流源/沉	369	第24章 差分放大器	443
参考文献	370	24.1 源端耦合对	443
习题	370	24.1.1 电流源负载	445
第22章 放大器	374	24.1.2 共模抑制比	452
22.1 栅漏短接的有源负载	374	24.1.3 噪声	453
22.1.1 共源放大器	374	24.1.4 匹配考虑	454
22.1.2 源跟随器	382	24.2 源端交叉耦合对	456
22.1.3 共栅放大器	383	24.3 共源共栅负载	461
22.2 电流源做负载的放大器	383	24.4 宽摆幅差分放大器	464
22.2.1 共源共栅电流源/沉做负载的 放大器	388	24.4.1 电流差分放大器	465
		24.4.2 恒定跨导的差分放大器	466
		参考文献	468
		习题	469
		第25章 运算放大器	473
		25.1 基本CMOS运算放大器的设计	473

25.1.1 运算放大器的特性	483	28.3 采样-保持电路	582
25.1.2 无缓冲级的运算放大器的补偿	487	28.4 数模转换器的性能指标	584
25.1.3 共源共栅输入级的运算放大器	487	28.5 模数转换器的性能指标	591
25.2 运算跨导放大器	488	28.6 数模混合电路的版图设计	599
25.2.1 宽摆幅OTA	492	参考文献	603
25.2.2 折叠共源共栅OTA	501	习题	603
25.3 差分输出的运算放大器	509	第29章 数据转换器结构	605
25.3.1 全差分折叠共源共栅OTA	511	29.1 DAC的结构	605
25.3.2 增益提升	517	29.1.1 数字输入编码	605
参考文献	521	29.1.2 电阻串DAC	605
习题	522	29.1.3 R-2R梯形网络DAC	609
第四部分 混合信号电路			
第26章 非线性模拟电路	525	29.1.4 电流导引DAC	611
26.1 基本的CMOS比较器的设计	525	29.1.5 电荷比例DAC	615
26.2 偏置自适应	536	29.1.6 循环DAC	619
26.3 模拟乘法器	539	29.1.7 流水线DAC	620
26.3.1 四管乘子	540	29.2 ADC的结构	621
26.3.2 电压平移	543	29.2.1 全并行ADC	621
26.3.3 采用平方电路实现乘法器	548	29.2.2 两步全并行ADC	625
参考文献	549	29.2.3 流水线ADC	628
习题	549	29.2.4 积分ADC	631
第27章 动态模拟电路	551	29.2.5 逐次逼近ADC	635
27.1 MOS开关	551	29.2.6 过采样ADC	638
27.2 开关电容电路	558	参考文献	645
27.3 其他几个动态电路的实例	570	习题	647
参考文献	576	附 录	
习题	577	附录A Orbit CN20工艺	651
第28章 数据转换器基础	579	附录B MOSIS按比例设计规则	665
28.1 模拟信号和数字信号	579	附录C HP CMOS14TB工艺	675
28.2 把模拟信号转换为数字信号	579	索引	681

第一部分 CMOS基础

第1章 概 述

本章将讨论互补型金属-氧化物-半导体 (Complementary Metal Oxide Semiconductor, CMOS) 集成电路 (Integrated Circuit, IC) 的设计流程、LASI (LAYout System for Individuals) 版图设计软件的安装以及通过MOSIS (MOS Implementation Service) 来制作CMOS集成电路芯片的相关知识。

1.1 CMOS集成电路的设计流程

CMOS集成电路的设计流程 (图1-1) 包括: 确定电路的输入输出、手工估算、电路仿真、版图设计、带寄生参数的仿真、再评估电路的输入输出、芯片制作、芯片测试等。在确定电路设计要求时, 一般并不将电路的性能指标定得非常具体, 而是随着项目的进展, 对性能指标进行适当调整。当芯片的市场前景或用户需求发生变化时, 或者在成本和性能之间权衡考虑时, 都可能调整原定的性能指标。而一旦芯片进入量产阶段, 一般就不能再对电路的性能指标进行较大的调整。

本书重点讨论定制集成电路的设计。定制设计的电路通常也被称为专用集成电路 (Application-Specific Integrated Circuit, ASIC)。当电路的需求量较小且允许的设计周期很短时, 一般采用非定制的设计方法进行电路设计, 如采用现场可编程门阵列 (Field-Programmable-Gate-Arrays, FPGA), 或采用标准单元库进行设计。而微处理器、存储器等大多数芯片需要大规模量产, 这些电路都采用定制设计方法进行设计。

集成电路的版图设计通常由版图设计工程师完成。而对电路设计工程师而言, 能够设计芯片版图 (并能够指导版图设计工程师如何做好版图设计)、能够理解与版图相关的寄生效应是非常重要的。而集成电路中的寄生效应主要是由芯片中的寄生电容、寄生电感、寄生PN结、寄生双极晶体管等寄生器件引起, 会引起电路击穿、电荷存储和闩锁效应等问题。在高速、高精度的电路设计中, 对这些由寄生效应引起的问题有一个基本的了解非常重要。

CMOS集成电路的制作

CMOS集成电路制作在一个圆形的硅薄片上 (简称为硅片)。每个硅片上含有多个独立芯片或称为管芯 (图1-2)。量产时, 一个硅片上的管芯通常相同。硅片上除管芯外, 一般还有测试图形和工艺监测图形, 用来监测工艺参数。

使用LASI软件设计的IC可以通过MOSIS进行加工制作。用MOSIS加工硅片时, 一个硅片上通常包括多个不同尺寸、不同来源 (如教育界、私人、政府等) 的管芯, 这种硅片常被称为多项目硅片 (Multi-project Wafer, MPW)。MOSIS首先把多个不同的管芯整合在同一个硅片上, 几个设计分摊制作成本, 从而将成本降低。然后把芯片的制作业务转包给Orbit、HP等芯片加工厂。

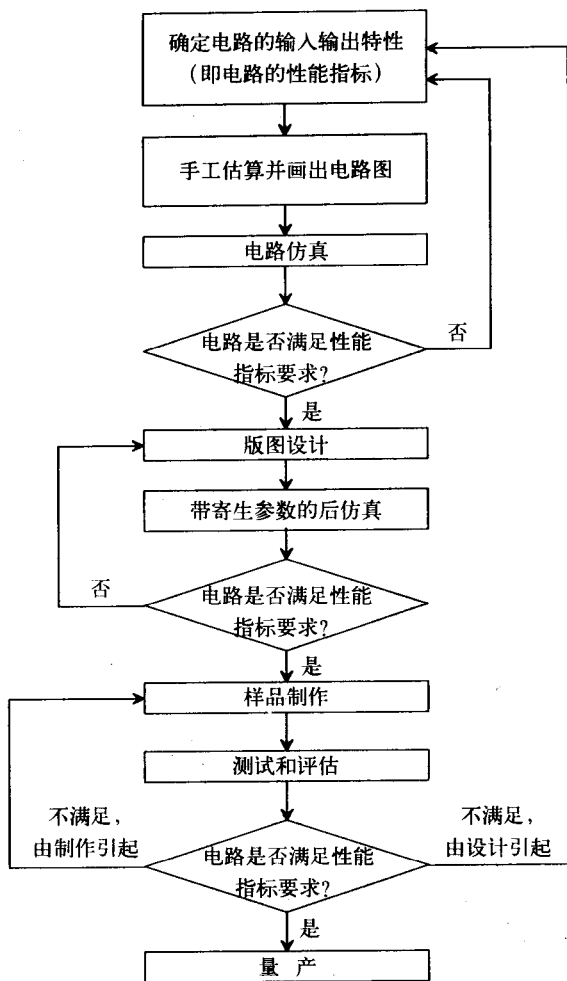


图1-1 CMOS集成电路的设计流程

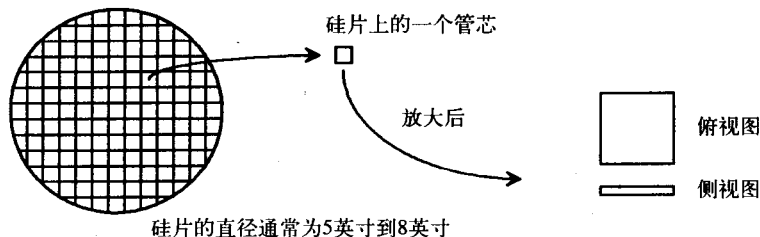


图1-2 在同一个硅片上制作的CMOS集成电路

设计集成电路的版图时，我们看到的视图通常被称为芯片的俯视图。设计芯片版图就是在不同层上画出矩形或多边形，用来表示电路的实现过程。例如，我们可以在layer1层（n-well层）上，从坐标（0, 0）到坐标（10, 10）画一个矩形，该矩形的坐标和其他图形的坐标一起就定义了所设计的电路的版图。一般将这些图形的坐标值按Calma Stream Format格式（Calma Stream Format, CSF）写成一个二进制文件，通常简称该二进制文件为CSF（或GDSII、GDS）文件。