

PC机汇编语言与接口技术

Pentium 系列

李恒文 编著



中国科学技术出版社

PC 机汇编语言与接口技术

Pentium 系列

李恒文 万 鹏 王春玲 李庆毅 编著

中国科学技术出版社

·北京·

内 容 简 介

本书以 Intel 公司微处理器为基础,重点介绍 80X86 以及 Pentium 微处理器的结构、指令、汇编语言编程及其 8259、8237、8253、8255 和 8250 接口芯片及其应用。扩展了与 PC 机有关的内容,包括 Pentium 系列 32 位 CPU 的结构原理及特性、保护方式程序设计基础、系统总线、串行总线等。配有适量的习题与思考以及程序设计指导。

本书适合本科非计算机专业或研究生以及成人教育学生用作微机原理教材,也可供有关技术人员作参考资料使用。

图书在版编目(CIP)数据

PC 机汇编语言与接口技术/李恒文编著. —北京:中国科学技术出版社,2001.1
ISBN 7-5046-2939-1

I .P… II .李… III .①个人计算机-汇编语言②个人计算机-接口-技术
IV .TP368.3

中国版本图书馆 CIP 数据核字(2000)第 69936 号

PC 机汇编语言与接口技术

李恒文 编著

*

中国科学技术出版社出版

(北京海淀区白石桥路 32 号 邮政编码:100081)

新华书店北京发行所发行 各地新华书店经销

山东省新华印刷厂印刷

*

开本:787×1092 毫米 1/16 印张:27.5 字数:620 千字

2001 年 1 月第 1 版 2001 年第 1 次印刷

印数:1—2000 册

*

ISBN 7-5046-2939-1
TP·154 定价:29.80 元

前 言

进入二十一世纪,科学技术将是一个高速发展的时代。科学研究和技术应用,都会对计算机技术提出更高的要求,同时,也需要科技人员的知识水平和创造能力必须同步提高。掌握计算机技术不仅是计算机专业人员所必须的,相当部分的非计算机专业技术人员也应该熟悉计算机的有关技术,才能适应现代科技的发展。本书主要介绍微型计算机(PC机)及其相关技术,向广大读者提供掌握PC机技术所需要的基础知识。

对大多数用户而言,PC机是当前微型计算机的主流,其应用范围十分广泛。Intel公司的CPU仍然是当前微处理器中的主导产品,被许多PC机厂家所采用。本书以Intel微处理器为基础,重点介绍80X86以及Pentium微处理器的结构、汇编语言及其接口技术,内容满足50~100学时左右的教学要求,适合本科非计算机专业或研究生学习的需要。

本教材根据教育部工科计算机基础课程教学指导委员会,制定的非计算机专业《微机原理与应用》课程教学基本要求而编写。从教学内容的可操作性及实际应用的意义出发,内容选择以8086/8088 CPU为主,重点放在是微型计算机的结构、原理、编程和接口技术应用等方面,深入和扩展了现代PC机的有关知识。目标是拓宽学生计算机的知识面,提高实际应用PC机的能力。

基本内容包括以下部分:(1)80X86的寻址方式和指令,重点介绍常用的基本指令;(2)汇编语言结构及伪指令,包括宏指令、结构等内容;(3)程序设计指导,涉及内容广范;(4)中断处理及中断调用,包括DOS和BIOS调用;(5)I/O接口电路与总线周期时序分析;(6)RAM、ROM电路与接口;(7)8259与8237控制器;(8)8253、8255和8250接口电路及应用。

扩展的内容有以下几方面:(1)发展过程中各种微处理器的特点,包括建立在Intel 32位架构基础上的Pentium系列32位CPU的结构特点;(2)8086~Pentium III的微处理器硬件结构原理及特性;(3)32位保护方式程序设计基础,提供了32位机编程的入门知识;(4)总线作为直接应用内容,主要介绍系统总线ISA、EISA、PCI、AGP,串行总线RS232C、422、485,打印机总线Centronic等标准;(5)内存条结构特点及连接方式;(6)并行、串行、计数/定时、中断等综合接口电路设计实例;(7)各类微处理器的PC机主板结构特点,与主板配套的芯片集和接口控制功能;(8)PC机有关的新技术名词。

编者本着基础部分达到细而精的原则,力求编写内容通俗易懂,由浅入深,章节衔接合理。各章配有适量的例题和习题与思考,附录中提供了指令表、中断矢量表、BIOS和DOS调用表及程序设计指导等内容,便于查找和自学。扩展内容为扩充知识面而设置,是课外选学内容。

本书主要内容共十一章。第一、六、七、八、九、十章以及程序设计指导由李恒文编写;第三、四、五章由万鹏编写;第二章由王春玲编写;第十一章及附录由李庆毅编写,全书由李恒文策划、定稿。

由于作者水平有限,书中错误和不足在所难免,敬请读者批评指正。

作 者

2001 年 1 月于山东科技大学

目 录

第一章 微型计算机概述	(1)
1.1 微处理器的发展简史	(1)
1.1.1 概述	(1)
1.1.2 微处理器的发展过程	(1)
1.1.3 微处理器的发展趋势	(4)
1.2 PC 机的新技术名词	(5)
1.2.1 即插即用 PnP(Plug and Play)	(5)
1.2.2 高速缓冲存储器 Cache	(5)
1.2.3 CISC 和 RISC	(6)
1.2.4 主板的速度和 CPU 的速度	(6)
1.3 计算机带符号数的表示方法及编码	(7)
1.3.1 带符号数的表示方法	(7)
1.3.2 计算机中常用编码	(11)
1.4 微型计算机系统的三总线	(12)
习题与思考	(12)
第二章 微处理器	(14)
2.1 8088/8086 微处理器	(14)
2.1.1 8086 的内部结构	(14)
2.1.2 8086 的内部寄存器结构	(17)
2.1.3 8086/8088 CPU 引脚功能	(20)
2.1.4 8088 和 8086 引脚性能的比较	(22)
2.2 8086 的时钟和总线周期的概念	(23)
2.2.1 时钟信号发生器 8284A	(23)
2.2.2 总线周期概念	(24)
2.3 Intel 高档微处理器的结构特点简介	(25)
2.3.1 Intel 80286	(25)
2.3.2 Intel 80386	(30)
2.3.3 Intel 80486	(34)
2.3.4 奔腾系列处理器	(38)
习题与思考	(41)
第三章 8086/8088 指令系统及汇编语言	(42)
3.1 寻址方式	(42)
3.1.1 汇编语言指令语句的一般格式	(42)

3.1.2 8086/8088 的寻址方式	(43)
3.2 传送类指令	(49)
3.2.1 通用数据传送指令	(49)
3.2.2 目标地址传送指令	(52)
3.2.3 标志位传送指令	(53)
3.3 数据操作类指令	(53)
3.3.1 算术运算类指令	(53)
3.3.2 逻辑运算和移位指令	(59)
3.4 串操作指令	(63)
3.4.1 串操作指令的特点	(63)
3.4.2 字符串的传送	(64)
3.4.3 串存入/串取出指令	(65)
3.4.4 字节扫描与比较	(66)
3.5 控制类指令	(67)
3.5.1 无条件转移指令	(68)
3.5.2 条件转移指令	(69)
3.5.3 循环控制指令	(70)
3.5.4 处理器控制指令	(71)
3.6 宏汇编的语句结构	(72)
3.6.1 汇编语言源程序的格式	(73)
3.6.2 符号名	(75)
3.6.3 数据在数据段存放的形式	(76)
3.6.4 操作数中的常数及表达式	(77)
3.7 伪指令	(80)
3.7.1 符号定义伪指令	(81)
3.7.2 段的完整定义伪指令	(82)
3.7.3 过程定义伪指令	(85)
3.7.4 模块定义与连接伪指令	(87)
3.7.5 宏处理伪指令	(89)
3.7.6 条件汇编伪指令	(92)
3.7.7 结构伪指令	(95)
3.8 常用 DOS 系统功能调用	(97)
3.8.1 DOS 与用户的关系	(97)
3.8.2 DOS 软中断及系统功能调用	(98)
习题与思考	(102)
第四章 汇编语言程序设计	(110)
4.1 顺序程序设计	(110)
4.2 分支程序设计	(115)

4.2.1 单重分支结构程序	(115)
4.2.2 多重分支结构程序	(117)
4.3 循环程序设计	(121)
4.3.1 循环程序的结构	(121)
4.3.2 单重循环程序	(121)
4.4 子程序	(124)
4.4.1 子程序与主程序	(124)
4.4.2 子程序段内调用和返回	(124)
4.4.3 子程序段间调用和返回	(126)
4.4.4 调用程序和子程序间的参数传递	(128)
习题与思考	(135)
第五章 中断处理和中断调用	(138)
5.1 中断的概念	(138)
5.1.1 中断源	(138)
5.1.2 中断方式工作的优点	(139)
5.1.3 中断系统的功能	(140)
5.2 8088/8086 的中断系统	(141)
5.2.1 8088/8086 的中断源	(141)
5.2.2 中断矢量表	(143)
5.2.3 中断过程	(145)
5.2.4 中断程序设计	(146)
5.2.5 用户软中断的设置	(148)
5.3 BIOS 中断调用	(150)
5.3.1 BIOS 中断调用格式	(150)
5.3.2 常用 BIOS 功能调用	(151)
5.3.3 图形显示程序设计	(154)
习题与思考	(160)
第六章 32 位机程序设计基础	(162)
6.1 80386 编程用寄存器及寻址方式	(162)
6.1.1 80386 寄存器	(162)
6.1.2 80386 存储器寻址	(164)
6.2 80386 指令集及伪指令	(166)
6.2.1 数据传送指令	(166)
6.2.2 算术运算指令	(168)
6.2.3 逻辑运算和移位指令	(169)
6.2.4 控制转移指令	(171)
6.2.5 串操作指令	(172)
6.2.6 高级语言支持指令	(173)

6.2.7 80386 实方式下的程序设计	(175)
6.3 虚拟保护方式	(177)
6.3.1 存储器管理机制	(178)
6.3.2 描述符表与描述符的分类	(180)
6.3.3 分段管理机制	(181)
6.3.4 系统段描述符与门描述符	(192)
习题与思考	(207)
第七章 微型计算机的输入输出	(208)
7.1 计算机输入输出接口概述	(208)
7.1.1 I/O 接口的作用	(208)
7.1.2 输入/输出的控制方式	(209)
7.1.3 CUP 的 I/O 指令	(209)
7.2 PC/XT 总线驱动电路及总线周期	(210)
7.2.1 8086/8088 的两种工作模式	(210)
7.2.2 PC/XT 总线驱动电路	(212)
7.2.3 8086 的总线操作时序	(212)
7.2.4 PC /XT 系统总线读写周期	(217)
7.3 简单接口电路	(219)
7.3.1 输入接口电路	(219)
7.3.2 输出接口电路	(221)
7.4 PC 机系统总线及接口标准	(225)
7.4.1 总线概述	(225)
7.4.2 ISA 总线	(227)
7.4.3 EISA 总线	(229)
7.4.4 PCI 总线	(230)
7.4.5 AGP 总线	(233)
习题与思考	(234)
第八章 半导体存储器	(236)
8.1 存储器的分类与组成	(236)
8.1.1 半导体存储器的分类	(236)
8.1.2 半导体存储器的组成	(237)
8.2 随机存取存储器(RAM)	(239)
8.2.1 静态随机存取存储器(SRAM)	(239)
8.2.2 动态随机存储器(DRAM)	(243)
8.3 只读存储器(ROM)	(246)
8.3.1 只读存储器存储信息的原理和组成	(246)
8.3.2 只读存储器的分类	(246)
8.3.3 Intel 2764 EPROM 芯片	(248)

8.4 存储器的连接	(249)
8.4.1 存储器芯片的扩充	(249)
8.4.2 存储器与 CPU 的连接	(251)
8.4.3 存储器与 CPU 的连接举例	(251)
8.5 微机内存层次结构	(255)
8.5.1 内存层次结构	(255)
8.5.2 存储器模块简介	(256)
8.5.3 高速缓冲存储器	(258)
8.5.4 虚拟内存	(260)
8.6 微机系统中的其他存储部件	(261)
8.6.1 CMOS RAM	(261)
8.6.2 ROM BIOS	(263)
8.6.3 Shadow RAM	(267)
8.7 微型计算机系统的内存管理	(268)
8.7.1 微机系统中的内存分类	(268)
8.7.2 扩展内存管理	(269)
8.7.3 扩充内存管理	(271)
8.7.4 微机常用操作系统的内存管理	(272)
习题与思考	(273)
第九章 中断控制器及 DMA 控制器	(275)
9.1 可编程中断控制器 Intel 8259A	(275)
9.1.1 8259A 的引脚功能与内部结构	(275)
9.1.2 8259A 中断管理方式	(278)
9.1.3 8259A 初始化编程	(282)
9.1.4 中断举例	(290)
9.1.5 高级中断的概念和高级中断控制器	(292)
9.2 DMA 控制器	(294)
9.2.1 DMA 控制器 8237 结构及引脚	(294)
9.2.2 8237 内部寄存器功能及格式	(297)
9.2.3 DMA 控制器的编程及应用	(303)
9.2.4 8237A 的通道操作过程	(306)
习题与思考	(308)
第十章 定时器、并行及串行接口	(311)
10.1 可编程计数/定时器 Intel 8253	(311)
10.1.1 8253 的内部结构及功能	(311)
10.1.2 8253 的编程	(313)
10.1.3 8253 的工作方式	(316)
10.1.4 应用举例	(320)

10.2 可编程并行接口 Intel 8255A	(321)
10.2.1 8255 的内部功能结构	(321)
10.2.2 8255A 的引脚功能	(322)
10.2.3 PC 机与 8255 的连接	(322)
10.2.4 8255A 的工作方式及初始化编程	(323)
10.2.5 8255 工作方式的功能	(325)
10.3 可编程串行输入/输出接口芯片 8250	(332)
10.3.1 串行通讯概述	(332)
10.3.2 串行通信总线标准	(335)
10.3.3 可编程异步通信接口 8250 的功能	(340)
10.3.4 8250 的基本结构	(340)
10.3.5 引脚功能	(345)
10.3.6 IBM PC/XT 异步通信适配器电路	(347)
10.3.7 8250 的编程	(349)
10.4 接口电路综合设计举例	(352)
习题与思考	(362)
第十一章 微型计算机系统主板	(363)
11.1 PC 机系统板概述	(363)
11.2 PC/XT 系统板	(364)
11.3 PC/AT 系统板	(365)
11.4 386 系统板	(367)
11.5 486 系统板	(370)
11.6 Pentium 和 Pentium II/III 系统板	(372)
11.7 微机硬件的技术特点	(376)
习题与思考	(380)
附录 1 ASCII 码表	(381)
附录 2 8086/8088 指令系统表	(382)
附录 3 DOS 调用	(403)
附录 4 BIOS 调用	(409)
附录 5 中断和异常类型号, 功能及中断向量	(415)
附录 6 程序设计指导	(416)

第一章 微型计算机概述

1.1 微处理器的发展简史

1.1.1 概述

20 世纪计算机的发明,将人类带入了高度文明的信息时代。经过五十多年应用和提高,计算机技术在国民经济和科学技术的发展中,起到巨大的推动作用。

现代大多数计算机的基本结构,是建立在美籍匈牙利数学家冯·诺依曼(J. Von Neumann)计算机模型的基础上,并继续沿用他提出的程序存储和二进制的思想。计算机结构(图 1.1.1)主要由微处理器、存储器、输入/输出设备等组成,其中微处理器是微型机的核心部件,直接影响计算机的技术水平。微处理器简称 MP(Micro Computer)或称 μP ,在一片硅片上集成了早期计算机中央处理单元(Central Processing Unit,简称 CPU)的功能电路,包括运算器(ALU)、控制单元(CU)、寄存器阵列(R)等。由于大规模集成电路制造技术水平的提高,以及许多新技术的应用,微处理器的集成度几经翻番,电路的复杂程度可想而知,同时微处理器的性能价格比也在不断提高。微处理器已经历几代发展过程,美国 Intel 等微处理器生产厂家,为积极推动微型计算机的普及和发展做出了贡献。

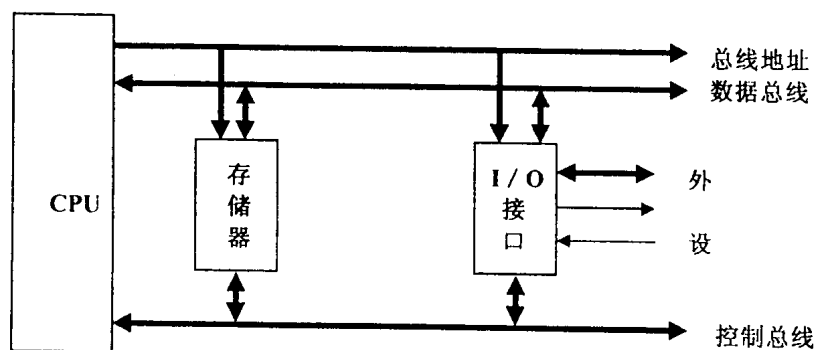


图 1.1.1 计算机基本结构

1.1.2 微处理器的发展过程

微处理器已经历了几代发展过程,以美国 Intel 公司生产的微处理器最为典型,它代表了当今世界微处理器发展的潮流。

一、第一代(1971 ~ 1973 年) 4 位或低档 8 位微处理器

1971 年,美国 Intel 公司生产出了世界上第一片 4 位集成微处理器 4004,它仅有 4 位字长,可寻址 640 字节,由 2250 个 MOS 晶体管构成,每秒约执行 6 万次操作,含有一个累

加器,16个数据寄存器。改进后生产了通用4位微处理器4040。1972年Intel公司又推出低档8位机8008,字长为8位,指令与4004不兼容。上述产品均视为第一代微处理器。

二、第二代(1974~1978年) 中高档8位微处理器

1973~1975年,生产中档8位微处理器的公司和产品,有Intel公司的8080、Motorola公司的MC6800。1976~1978年,各公司又相继推出了高档微处理器,如: Intel 8085、Zilog公司的Z80等。这一时期微处理器特点是8位字长,16位地址总线(可寻址64K存储单元),集成度高达1万个晶体管/片,时钟频率为2~4MHz,平均指令执行时间约为1~2 μ s。

三、第三代(1978~1982年) 16位微处理器

1978年,各公司推出了性能与当时的中档16位小型机相当的微处理器,比较有代表性的产品有Intel 8086、Z8000、MC68000。其特点是,字长为16位(内/外数据总线均为16位,内部寄存器为16位),Intel 8086为20位地址线,可寻址1M存储单元,时钟频率为4~8MHz,平均指令执行时间约为0.5 μ s,集成度高达2~6万个晶体管/片。指令系统较为丰富,在结构上首先采用了存储器分段和指令译码表的概念。Intel的X86家族由此开始。

1979年,为与8位外围芯片兼容,Intel公司在8086的基础上,又推出Intel 8088准16位微处理器,它的外部数据总线是8位,内部数据总线是16位,20条地址线,时钟频率为4.77MHz(8086为5MHz),指令几乎与8086没有差别。该产品广泛应用于IBM公司的PC/XT个人计算机上。

1982年,Intel公司生产了性能更优越的16位微处理器芯片80286,特点为:内、外均是16位数据总线,24条地址总线(可寻址16M存储单元),时钟频率由6MHz提高到20MHz,平均指令执行时间约为0.2 μ s,集成度为14.3万个晶体管/片;第一次采用了虚拟存储器的概念,即用硬盘模拟内存;有两种工作模式,即实地址模式和保护模式,在实地址模式下工作与8086相同,在保护模式下,通过80286内部控制实现多任务的执行。80286典型应用是IBM生产的PC/AT微型计算机,也称286PC机。

四、第四代(1985年后)32位高档微处理器

1985年推出Intel 80386(DX/SX/SL/DL)CPU。其中DX型为标准32位CPU,有32位数据线,32位地址线;SX型为准32位CPU(外数据总线为16位,内为数据总线为32位);SL型为386SX中的低功耗型;DL型为386DX中的低功耗型。由于80386有32条地址总线,直接寻址能力达到4G,时钟频率由12.5MHz发展到40MHz,平均指令执行时间为0.1 μ s,集成度为27.5万晶体管/片;与80286相比,在保护工作模式中增加了第三模式,即虚拟8086模式,它能模拟多个8086处理器,使DOS程序能在保护模式下作为其中一个任务运行;具有片内16位的预取高速缓冲存储器,加快了CPU对存储器的访问速度。Intel 80X86的32位微处理器的架构由此产生。

1989年,推出Intel 80486(SL/SX/DX/DX2/DX4),地址、数据总线仍然均为32位。在结构上看,80486将80386 CPU和协处理器80387及8KB高速缓冲存储器(Cache)集成在一个芯片上。其中SX型没协处理器80387;SL型用于便携机;DX为标准型时钟频率为

33MHz;DX2 型内时钟频率为外部的 2 倍;DX4 内时钟频率为外部的 3 倍,由于采用了内部倍频技术,最高时钟频率达到 100MHz。80486 在技术上与 80386 有较大的差别:采用一种突发的总线方式,加上内部协处理器和一级 Cache,使数据和运算速度都明显高于 80386;80486 可以模拟多个 80286 实现多层次多任务的功能;第一次部分地采用了 RISC (Reduced Instruction Set Computer 精简指令系统计算机),使 80486 能在一个时钟周期内执行一条指令。因此 80486 的综合性能是 80386 的 2~4 倍。

五、第五代(1993 年后,仍为 32 位架构) 64 位高档微处理器

1993 年 3 月,Intel 公司推出 Pentium(Pen 在拉丁语中即数字 5),含义为第五代产品即 586,代号为 P5,中文名译为奔腾,与前四代产品是 100% 二进制兼容。P5 的外部数据总线为 64 位,内部数据总线为 32 位,地址总线为 36 位,直接寻址能力达到 64G。芯片内集成了 310 万个晶体管(高端产品为 330 万个晶体管),引脚个数为 296,高端产品的时钟频率高达 200MHz。在相同频率下,整数运算性能提高了一倍,浮点运算性能提高了 5 倍。突出的技术特点是:采用超标量(Superscalar)双流水线结构,较 486 多了一条指令执行通道,其内含有多个指令执行单元和双流水线,即 U 流水线和 V 流水线,U、V 流水线有各自独立的算术运算单元和地址生成单元以及数据高速缓存接口,可使 P5 在 1 个时钟内执行 2 条 X86 指令;双 8KB Cache,即 8KB 代码和 8KB 数据高速缓存,它们可以同时存取;高性能浮点运算,将运算分为 8 个流水步级,前四步级同整数流水线,后四级的前两步是二级浮点操作,后两步为四舍五入写结果、出错报告等,另外将一些常用指令如 ADD、MUL 等用硬件实现,所以 P5 的浮点运算比同频率的 80486 快 4~9 倍;节能电源管理功能(SMM),使 CPU 根据不同的使用环境能自动减速、暂停,也可以控制外围设备减速或暂停,使耗电量达到最低水平;P5 还扩充了一些其他技术。

六、第六代高能奔腾微处理器

1995 年底,Intel 研制出 Pentium Pro 即 686,代号为 P6,中文译为高能奔腾,设计的目标主要用于服务器和高档桌面台式机,现在已广泛用于 PC 机,服务对象是三维图像系统和语音识别。在 P6 内封装了两个芯片共集成了 2100 万只晶体管,其中 CPU 部分占 550 万只,256KB 的二级高速缓冲存储器(L2 Cache)占 1550 万只,CPU 内的一级 Cache 与 P5 相同。高端产品的时钟频率达到 200MHz 及 512KB 的 Cache,内外数据总线均为 64 位,有 387 个引脚。主要技术特点是:使 CISC(Complex Instruction Set Computer 复杂指令系统计算机)和 RISC 巧妙地结合,采用了三路超标量体系结构(并行执行指令,一个时钟周期执行两条以上的指令)和 14 级超级流水线(Superpipeline,将一条指令的全部执行合成一连串的微操作,这些微操作易于并发执行);动态执行技术,包括数据流分析(选择正确的顺序),增强型的转移预测和推理执行(具有任意顺序执行指令的能力);优化的 32 位代码结构,适应 32 位操作系统及未来软件发展;66MHz 的系统总线设计,使总线拥有 528MB/S 的带宽,最适合做工作站或服务器的微处理器。

七、多能奔腾

1997年1月, Intel P55C上市, 中文译为多能奔腾, 是在 Pentium 的基础上增加了多媒体扩展结构 MMX(Multi Media Xtension)增加了 8 个寄存器及支持专门针对多媒体应用而追加的 57 条指令。使系统减少了 DSP、解压等外围芯片, 改进了对图像、图形、音频数据处理的性能。芯片内集成了 450 万只晶体管。MMX 的主要技术特点: 一是采用 SIMD (Single Introduction Multi Data—单指令流多数据流)型指令, 在 MMX 中可以将 8×8 位, 或 4×16 位, 或 2×32 位数据, 用一条指令来处理; 二是拥有积算功能, 用于向量和矩阵运算; 三是拥有饱和运算功能, 对发生溢出时的值作为一定值处理。

1997 年下半年, Intel 将 P6 中放入 MMX 生产出 Pentium II 芯片, 代号为 P II, 高端产品的时钟频率达到 450MHz。同时, Intel 公司为占领低端产品的市场, 简化 P II 结构, 推出 Celeron(赛扬)产品, 时钟频率也达到 400MHz 以上。

1999 年 2 月 28 日, Intel 发布了 Pentium III, 即代号为 P III, 它在 P II 的基础上, 新增加了 70 条 SSE 型指令集, 包括: 内存连续数据流优化处理指令、单指令多数据浮点运算指令及新的多媒体指令; 具备用于标识处理器和它所代表的处理器序号, 是提高互联网应用安全性的重要措施。所使用的新技术包括: 动态执行, P6 总线技术, 100MHz 前端总线, 32KB L1 Cache(一级高速缓冲存储器), 512KB L2 Cache, MMX 技术。入门级 P III 处理器的时钟频率为 450 及 500MHz。

正在研究中的 P7 是 Intel 和 HP 共同开发的 VLIW(Very Long Instruction Word, 极长指令字)型的 64 位微处理器。

八、其他公司产品

其他生产微处理器与 Intel 公司有较强竞争力的还有 Cyrix、AMD、IDT 等公司, 其优势为功能基本相同的产品价格较 Intel 低 10% ~ 30%, 典型产品:

Cyrix: 5X86、6X86、M2(MMX)等;

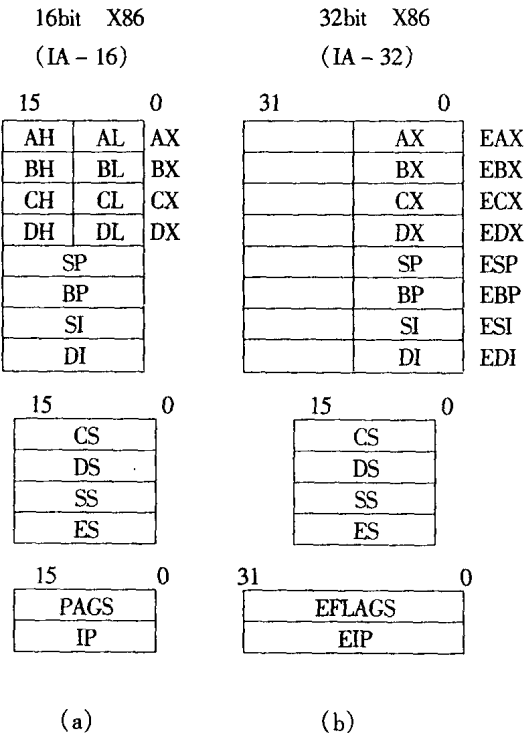
AMD: 5X86、K5(5K86)、K6(N6X86)、K6 III、K7 等;

IDT: C6+、C6+ L2、C7 等。

1.1.3 微处理器的发展趋势

20 世纪末的十几年, 是微处理器高速发展的时期, 各公司相继推出了建立在 Intel 架构(Intel Architecture)IA-32 基础上的各种 32 位微处理器, 即使用与 Intel 公司具有相同数据格式(32 位)、相同指令(X86 指令)、兼容相同软件的微处理器的微机标准。Intel 架构的 CPU 系列也叫 X86 架构, 基于 X86 的 16/32 位架构比较如图 1.2.1 所示。最新微处理器研究已提出了 64 位架构, 如 AMD 正在研究的 K8 是在 IA-32 的基础上, 加以增强、改良成为 X86-64 结构, 是在原来 32 位结构上扩充了 32 位得到的 64 系统。Intel 公司未来要推出桌面系统第一款 64 位 CPU - Itanium(P7 的第一代产品), 它将使用全新的 64 位架构 IA-64, 与 IA-32 完全不兼容。将 CPU 架构升级到 64 位适应 CPU 数据处理量越来越多的要求, 将数据寄存器、运算器及外部接口都提高到 64 位, 指令执行和数据处理的速度提高, 而性能的提高决不只是一倍。与 IA-32 不兼容一个重要考虑是 IA-64 的可适应性和可发展性, 她将会用于从嵌入式系统到超级计算机的全系列 CPU 领域, 并在今后 20 ~

40 年内的 CPU 架构都将由 IA - 64 发展而来。Itanium 为提高指令级并行水平,将使用 EPIC(Explicitly Parallel Instruction Computing ,显性并行指令计算)技术,并采用超长指令字节(VLIW ,Very Long Instruction Word)。



(a)

(b)

图 1.2.1 基于 X86 的 16/32 位架构框图

1.2 PC 机的新技术名词

1.2.1 即插即用 PnP(Plug and Play)

在微机上增加设备或增加插件板卡时,会遇到地址、DMA(Direct Memory Access ,直接存储器存取)及 IRQ(Interrupt Request ,中断请求)选择问题,这对于一般用户来说是一件既麻烦又困难的事,设置不当会使自己设置的地址、DMA、IRQ 与其他硬件设备冲突,PnP 技术解决了这些矛盾。采用即插即用技术的系统,在新增加设备后,系统在运行时扫描计算机各部件,自动为新安装的设备分配地址、DMA 通道和 IRQ 中断申请输入线,省去了拨动 DIP(Dual Iline Pin ,双立直插)开关或连接跳线的复杂操作。PnP 是一项智能化技术,它需要板卡、总线和操作系统的支持,Windows 95 以上版本操作系统和 PCI、AGP 扩展卡都支持 PnP,大部分 Pentium 主板上 BIOS 都支持 PnP,而 ISA 总线上的板卡还不能完全做到 PnP。

1.2.2 高速缓冲存储器 Cache

为了解决处理器速度快、存储器慢的矛盾,在两者之间加一级高速缓冲器 Cache,Cache 制作使用与 CPU 相同的半导体工艺,速度与 CPU 匹配,其容量约占主存的 1%左右。

Cache的作用是在CPU要从主存中读取一个数据时,它先在Cache中查找是否有该数据,若有则立即从Cache中读取到CPU;否则用一个主存操作时间从主存中读取这个数据送CPU,与此同时将包含这个数据的整个数据块送到Cache中,由于存储器访问具有局部性(程序执行局部性原理),在这以后的若干次存储器访问中要读取的数据就位于刚才取到Cache中的数据块中的可能性很大,只要替换算法与写入策略得当,Cache的命中率可达99%以上,它有效地减少CPU访问低速内存的次数,从而提高整机的性能。

80386CPU的高速缓冲存储器在芯片外部,80486CPU在片内集成了一个8KB的程序和数据Cache,并可以外接一个二级高速缓存器。Pentium在芯片内集成了二个8KB的Cache,一个作程序缓存,另一个作数据缓存。P55C的一级Cache达到32KB。Pentium Pro的一级Cache同Pentium,片内增加了256KB或512KB的二级Cache。

1.2.3 CISC和RISC

20世纪70年代末发展起来的计算机,其结构随着VLSI技术的飞速发展而越来越复杂,大多数计算机的指令系统多达几百条,这些计算机被称为复杂指令系统计算机(CISC),其中有许多复杂指令使用频率较低而造成硬件和资源的浪费。CISC结构的处理器都有一个指令集,每执行一条指令,处理器要在几百条指令中分类查找对应指令,需要一定的时间。由于指令的复杂,增加了处理器的结构复杂以及逻辑电路的级数,降低了时钟频率,使指令执行的速度变慢,纯CISC结构的处理器执行一条指令至少需要一个以上的时钟周期。

RISC结构只有少数简单的指令,使计算机硬件简化,将CPU的时钟频率提得很高,采用流水线结构配合可做到一个时钟周期执行一条指令,使整个系统的性能得到提高,性能超过CISC结构的计算机。RISC指令系统的特点是:①选取使用频率最高的一些简单指令;②指令长度固定,指令格式和寻址方式种类少;③只有取数和存数指令访问存储器,其余指令的操作数在寄存器之间进行。

在80486中已含有RISC的设计思想,最快时达到一个时钟周期执行一条指令。P6将CISC和RISC巧妙地进行了结合,为了将CISC中所有指令都能分解为最基本的,并类似于RISC指令的微操作,P6中有三个并行工作的译码器,其中两个专门处理简单指令,另一个则为处理复杂指令的高级译码器,前者每个时钟周期各产生一条微操作,后者每个时钟周期产生四条微操作,即三个译码器共产生6条操作;P6又具有超标量多流水线的特点,使处理器一个周期内可以执行二条以上的指令,性能大幅度提高。

1.2.4 主板的速度和CPU的速度

自80486DX开始,芯片采用时钟倍频技术,即CPU内部以数倍系统时钟的速度运行,而CPU与外界通信时仍采用原系统时钟速度。系统时钟速度就是主板速度,也称系统总线速度。

80486系统时钟的频率(CPU外频)为33MHz,而80486DX2采用二倍频技术,内部时钟频率为66MHz,80486DX4采用三倍频技术,内部频率达99MHz(一般称100MHz)。目前Pentium主板都支持60/66/75/90/100/133MHz等时钟频率及2、2.5、3、3.5、4、4.5、5、5.5等