

高 等 学 校 教 材

计算机硬件技术

(下册)

孙德文 蒋建伟 等 编著



高等教育出版社

高等学校教材

计算机硬件技术

(下册)

孙德文 蒋建伟 等编著

高等教育出版社

内容提要

“计算机硬件技术”是对“数字逻辑”、“计算机组成原理”、“微型计算机技术”和“计算机系统结构”4门硬件课程进行整合后的一门综合性课程。本书是《计算机硬件技术》的下册,共4章。主要内容包括输入/输出技术、可编程I/O接口芯片和芯片组、实用接口技术和计算机系统结构概述。本书结构优化、内容精炼、重点突出,各章配有丰富的例题和习题,适用于计算机学院、软件学院和理工科各专业的“计算机硬件”课程,也可供在计算机领域从事相关工作的工程技术人员参考。

图书在版编目(CIP)数据

计算机硬件技术. 下册 / 孙德文等编著. —北京: 高等教育出版社, 2006. 2

ISBN 7-04-018645-4

I. 计... II. 孙... III. 硬件 - 高等学校 - 教材
IV. TP303

中国版本图书馆CIP数据核字(2005)第159719号

策划编辑	武林晓	责任编辑	萧 潇	封面设计	刘晓翔	责任绘图	朱 静
版式设计	胡志萍	责任校对	杨雪莲	责任印制	陈伟光		

出版发行 高等教育出版社
社 址 北京市西城区德外大街4号
邮政编码 100011
总 机 010-58581000

经 销 蓝色畅想图书发行有限公司
印 刷 北京奥鑫印刷厂

购书热线 010-58581118
免费咨询 800-810-0598
网 址 <http://www.hep.edu.cn>
<http://www.hep.com.cn>
网上订购 <http://www.landracom.com>
<http://www.landracom.cn>
畅想教育 <http://www.widedu.com>

开 本 787×1092 1/16
印 张 17.75
字 数 390 000

版 次 2006年2月第1版
印 次 2006年2月第1次印刷
定 价 27.50元

本书如有缺页、倒页、脱页等质量问题,请到所购图书销售部门联系调换。

版权所有 侵权必究

物料号 18645-00

前 言

人类社会进入 21 世纪以来, 计算机科学与技术的迅速发展和计算机技术对各个领域的不断渗透, 对高等学校的计算机教学提出了更高的要求, 这就需要从总体上优化课程结构, 拓宽专业基础知识, 精炼课程内容和加强教学实践, 以实现“基础课程精炼、专业课程宽新”的课程体系。

本书包括了计算机专业原有的 4 门硬件核心课程(数字逻辑、计算机组成原理、微型计算机技术和计算机系统结构)的内容。根据 21 世纪对计算机专业人才培养的要求, 将上述 4 门课程内容进行分析、提炼, 实现重新组合, 形成一门综合性的硬件教材。

全书分上、下两册, 共有 10 章, 第一章计算机概论、第二章数字逻辑基础、第三章运算器、第四章汇编语言程序设计、第五章存储器系统、第六章控制器、第七章输入/输出技术、第八章可编程 I/O 接口芯片和芯片组、第九章实用接口技术、第十章计算机系统结构概述。其中, 第二章是数字逻辑电路的基础知识, 主要讲解在计算机硬件技术中所用到的电路基础; 第一章、第三章、第五章和第六章为计算机原理的主要内容; 第四章是汇编语言程序设计的主要内容; 第七章、第八章是微型计算机技术课程的主要内容, 讲解计算机输入/输出技术和总线技术以及可程序 I/O 接口芯片(包括芯片组)的原理及其应用; 第九章是实用接口技术介绍, 第十章是计算机体系结构方面的内容, 主要介绍计算机系统结构的知识。本册是下册, 包括第七章至第十章, 主要涵盖了计算机接口技术和计算机系统结构的基本内容。

本课程总学时为 108 学时, 分两个学期组织教学, 另外安排 45 学时的实践环节, 任课教师可根据本校的具体情况安排数字逻辑、汇编语言程序设计和微型计算机接口技术的有关实验。本教材的读者对象是学习计算机硬件课程的高校本科学生, 包括计算机学院学生、软件学院学生和非计算机专业的理工科专业选修计算机硬件课程学生, 不同专业可根据各自特点选用各章内容。

为了便于教学, 本教材配有 PowerPoint 电子教案。此外, 本教材还将配备供教师使用的教师手册, 内容包括各章内容重点辅导和习题解答。

本教材由白英彩教授主审, 白英彩教授在百忙中抽出时间对初稿进行逐字逐句的审阅, 提出了许多宝贵的意见, 对此表示衷心的感谢。

参加本书编著工作的有孙德文、蒋建伟、陈平、汪云章和孙诗豪等同志, 蒋建伟和陈平参加了第七章和第八章的编写, 汪云章和孙诗豪参加了电子教案的编写和制作。全书由孙德文统稿。

由于作者水平有限, 加上时间仓促, 书中若有不妥之处, 恳请广大读者不吝赐正。

编著者

于上海交通大学软件学院

2005 年 10 月

目 录

第七章 输入/输出技术	1	中断结束方式	44
7.1 输入/输出概述	1	7.6.3 8259A 的引脚信号	46
7.1.1 外设接口的功能及组成	1	7.6.4 8259A 的中断顺序	47
7.1.2 I/O 接口与 I/O 端口	2	7.6.5 8259A 的应用举例	47
7.1.3 IN/OUT 指令	3	7.7 总线	49
7.1.4 I/O 端口的编址方式	4	7.7.1 总线和总线标准	49
7.1.5 I/O 接口电路的发展与分类	5	7.7.2 总线的通信方式	52
7.2 简单的 I/O 接口芯片	7	7.7.3 总线仲裁	55
7.2.1 简单的 I/O 接口芯片的特点及组成	7	7.7.4 总线的负载能力	57
7.2.2 三种简单的 I/O 接口芯片	7	7.7.5 PCI 总线	58
7.2.3 简单的 I/O 接口芯片应用举例	10	习题七	69
7.3 数据传输的控制方式	17	第八章 可编程 I/O 接口芯片和芯片组	72
7.3.1 主机对外围设备的管理方式	17	8.1 可编程接口芯片概述	72
7.3.2 程序控制传输方式	17	8.1.1 片选	72
7.3.3 DMA 传输方式	23	8.1.2 读/写	72
7.3.4 通道方式	26	8.1.3 可编程接口	73
7.4 中断	29	8.1.4 握手	73
7.4.1 中断的基本概念	29	8.1.5 接口芯片的引脚概述	74
7.4.2 中断处理过程	29	8.2 可编程并行接口芯片 8255A	75
7.4.3 中断优先级	32	8.2.1 8255A 的结构和引脚功能	75
7.4.4 中断的嵌套	35	8.2.2 8255A 的工作方式	77
7.5 8086/8088 的中断系统	35	8.2.3 8255A 的初始化	81
7.5.1 外部中断	36	8.2.4 8255A 的应用举例	83
7.5.2 内部中断	37	8.2.5 16 位系统中的并行接口	98
7.5.3 中断向量表	38	8.3 可编程定时器/计数器 8253-5	99
7.5.4 中断过程	39	8.3.1 8253-5 的结构及功能	100
7.6 可编程中断控制器 8259A	41	8.3.2 8253-5 的工作方式	103
7.6.1 8259A 的内部结构与功能	41	8.3.3 8253-5 的初始化	107
7.6.2 8259A 的中断优先权管理方式及		8.3.4 8253-5 的应用举例	108
		8.4 串行接口芯片	114

8.4.1 串行通信概述	114	9.4.1 USB	198
8.4.2 串行接口原理	119	9.4.2 IEEE 1394	205
8.4.3 可编程通信接口 8251A	121	9.5 AGP	207
8.4.4 RS-232C 串行通信总线	129	9.5.1 AGP 的特点	207
8.5 模拟接口	131	9.5.2 应用 AGP 应注意的问题	209
8.5.1 概述	131	9.6 显示设备	210
8.5.2 D/A 转换器 DAC0832 及其 接口	136	9.6.1 显示器	210
8.5.3 A/D 转换器 ADC0809 及其 接口	139	9.6.2 显卡	211
8.6 芯片组	145	9.7 多媒体计算机	212
8.6.1 芯片组的功能	145	9.7.1 多媒体技术	212
8.6.2 芯片组的组成	146	9.7.2 多媒体计算机	216
习题八	159	9.8 即插即用	223
第九章 实用接口技术	168	9.8.1 问题的提出	223
9.1 主板	168	9.8.2 即插即用功能简述	225
9.1.1 概述	168	习题九	226
9.1.2 芯片及其插座/插槽	169	第十章 计算机系统结构概述	227
9.1.3 内存条插槽	170	10.1 计算机系统结构的基本概念	227
9.1.4 扩展插槽	171	10.1.1 计算机系统的层次结构	227
9.1.5 配套芯片和部件	172	10.1.2 计算机系统结构、计算机组成与 计算机实现	229
9.1.6 外围设备连接器	173	10.1.3 计算机系统结构的分类	230
9.1.7 ATX 规范	173	10.1.4 计算机系统结构的发展	233
9.1.8 新型主板结构 BTX	176	10.2 流水线技术	237
9.1.9 主板上采用的新技术	177	10.2.1 指令的三种解释方式	237
9.1.10 其他特性	179	10.2.2 流水线技术的特点与流水线 结构的分类	240
9.2 光盘存储器	179	10.2.3 实例简介——MIPS R4000	245
9.2.1 光盘的种类和标准	180	10.3 并行计算机系统结构	246
9.2.2 光盘读/写原理	184	10.3.1 计算机系统结构中的并行性 概念	246
9.2.3 光盘存储器的组成	184	10.3.2 阵列处理机	255
9.2.4 光盘驱动器的实用知识	186	10.3.3 大规模并行处理机	258
9.3 硬盘接口	187	10.4 现代高档处理机中所采用的提高 性能的技术	260
9.3.1 IDE 接口	187	10.4.1 CISC 和 RISC 的融合	260
9.3.2 SCSI 接口	192		
9.4 USB 与 IEEE 1394	198		

10.4.2 超流水线技术	263	10.4.5 显式并行指令计算	268
10.4.3 超标量技术和超长指令字	264	习题十	271
10.4.4 超线程技术	267	参考文献	273

第七章 输入/输出技术

7.1 输入/输出概述

计算机通过外围设备同外部世界通信或交换数据称为输入/输出。在计算机系统中,常用的外围设备有:键盘、鼠标器、数字化仪、触摸屏、磁卡阅读机、条形码阅读机、卡片阅读机、硬磁盘机、软磁盘机、光盘机、打印机、显示器、调制解调器、数模转换器、模数转换器、扫描仪、数码相机、摄像头以及一些专用设备。将外围设备同计算机连接起来实现数据传输的控制电路称为外围设备接口电路(或 I/O 接口电路),简称外设接口(或 I/O 接口)。外围设备和外设接口组成输入/输出系统,实现输入/输出功能。本章主要介绍外设接口技术。

7.1.1 外设接口的功能及组成

外围设备的种类繁多,包括机械式、电子式、机电式、磁电式、光电式等。外围设备所处理的信息包括数字信号、模拟信号、开关信号、电压信号、电流信号等。不同的外围设备处理信息的速度相差悬殊,有的速度很慢,有的速度很快。另外,计算机与不同的外围设备之间所传输信息的格式和电平高低等也是多种多样的。这些方面构成外设接口电路的多样性,决定了外设接口要比存储器接口复杂。

根据外围设备的多样性和复杂性,外设接口电路应具有如下功能。

- ① 转换信息格式:例如串/并转换、并/串转换、配备校验位等。
- ② 提供联络信号:协调数据传输的状态信息,如设备“就绪”、“忙”、“选通”、“应答”,数据缓冲器“满”、“空”等。
- ③ 协调定时差异:为协调计算机与外围设备在定时或数据处理速度上的差异,使两者之间的数据交换取得同步,有必要对传输的数据或地址加以缓冲或锁存。
- ④ 进行译码选址:在具有多台外围设备的系统中,外设接口必须提供地址译码以及确定设备码的功能。
- ⑤ 实现电平转换:为使计算机同外围设备相匹配,接口电路必须提供电平转换和驱动功能。
- ⑥ 具备时序控制:有的接口电路具有自己的时钟发生器,以满足计算机和各种外设 in 时序方面的要求。

由上述外设接口的功能可见,一般在接口电路中应具有如下电路单元。

- ① 输入/输出数据锁存器和缓冲器:用以解决 CPU 与外设之间速度不匹配的矛盾,以及起隔离和缓冲的作用。



- ② 控制命令和状态寄存器:用以存放 CPU 对外设的控制命令以及外设的状态信息。
- ③ 地址译码器:用来选择接口电路中的不同端口(寄存器)。
- ④ 读/写控制逻辑。
- ⑤ 中断控制逻辑。

7.1.2 I/O 接口与 I/O 端口

一个基本的 I/O 接口框图如图 7.1 所示。

从图 7.1 可见,I/O 接口是 CPU 与外围设备之间传输信息的一个界面和连接部件,是 CPU 与外围设备之间传输信息的控制电路。I/O 接口一边通过 CPU 的三总线(或系统总线)同 CPU 连接,一边通过三种信息(数据信息、控制信息和状态信息)同外围设备连接,CPU 通过 I/O 接口同外围设备之间交换的信息就是这三种信息。

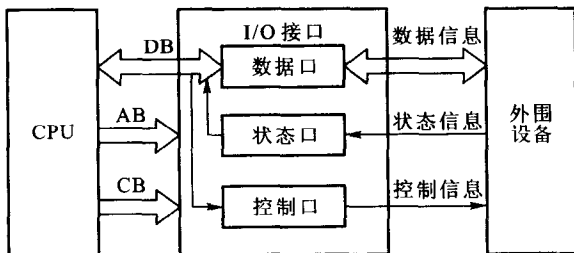


图 7.1 简单的 I/O 接口

其中:数据信息可以有数字量、模拟量和开关量三种类型。数字量是以二进制码形式提供的信息,通常是 8 位、16 位和 32 位数据;开关量是用 2 个状态表示的信息,只用 1 位二进制码表示;而模拟量是指由传感器等提供的物理量转换为相应的连续变化的电信号,模拟量必须先经模数转换器转换为数字量后,再输入 CPU 进行处理。

状态信息表示外围设备当前所处的工作状态,例如,READY(就绪信号)表示输入设备已准备好信息,BUSY(忙信号)表示输出设备是否能接收信息。

控制信息是由 CPU 发出的、用于控制 I/O 接口工作方式以及外围设备的启动和停止的信息。

数据信息、状态信息和控制信息通常都以数据形式通过 CPU(或系统总线)的数据总线进行传输。这些信息分别存放在 I/O 接口的不同类型的寄存器中。CPU 同外围设备之间的信息传输实质上是对这些寄存器进行“读”或“写”操作。“接口”中这些可以由 CPU 进行读/写的寄存器称为 I/O 端口(Port)。按存放信息的类型,这些端口可分为数据口、状态口与控制口,分别存放数据信息、状态信息和控制信息。在一个 I/O 接口中往往需要有几个端口才能满足和协调外围设备工作的要求,CPU 通过访问这些端口来了解外围设备的状态、控制外围设备的工作以及同外围设备之间进行数据传输。



7.1.3 IN/OUT 指令

在 80X86 系统中,CPU 访问 I/O 端口的基本指令是 IN 和 OUT 指令,以 8086 系统为例。

一、输入指令 IN

指令格式为

IN A,PORT (B/W)

式中:A 为累加器,可以是 AL 或 AX,PORT 为输入端口地址。

若为 8 位操作,功能为 $AL \leftarrow (PORT)$;若为 16 位操作,功能为 $AX \leftarrow (PORT + 1)_{-}(PORT)$ 。其中 (PORT) 和 (PORT + 1) 都是 8 位端口的内容;(PORT + 1)_(PORT) 为二个 8 位端口内容组成的 16 位内容。

当端口地址为 8 位时,指令中的 PORT 可以是 8 位立即数表示的直接地址,也可以是已定义的数值为 8 位二进制数的符号常量。

当端口地址大于 8 位时,指令中的 PORT 必须是以 DX 表示的寄存器,DX 的内容为大于 8 位的端口地址。

例如:端口地址为 180H,则输入指令必须表示为

```
MOV  DX,180H
IN    AL,DX 或
IN    AX,DX
```

若定义 PORTA EQU 180H,则输入指令可表示为

```
MOV  DX,PORTA
IN    AL,DX 或
IN    AX,DX
```

注意:不论端口地址 PORT 是 8 位或 16 位,端口内容都是 8 位。

二、输出指令 OUT

指令格式为

OUT PORT,A (B/W)

这里 PORT 为输出端口的地址,对 PORT,A 的要求同 IN 指令。

当 PORT 为 8 位地址时,指令可写为

OUT PORTA/data 8,AL/AX

data 8 为用 8 位二进制数表示的直接地址,PORTA 为已用 EQU 命令定义过的符号常量,功能为

```
(PORT) ← AL
(PORT + 1)_(PORT) ← AX
```

当 PORT 为大于 8 位地址时,指令可写为

MOV DX,PORTA/data 16



OUT DX, AL/AX

7.1.4 I/O 端口的编址方式

CPU 对外设的访问实质上是对外设接口电路中相应的端口进行访问。I/O 端口的编址方式有两种:独立编址与存储器映像编址。

一、独立编址(专用的 I/O 端口编址)

独立编址方式的硬件结构及地址空间分配如图 7.2 所示。这种编址方式的特点是:存储器和 I/O 端口在两个独立的地址空间中, I/O 端口的读/写操作由硬件信号 $\overline{\text{IOR}}$ 和 $\overline{\text{IOW}}$ 来实现, 访问 I/O 端口用专用的 IN 指令和 OUT 指令。

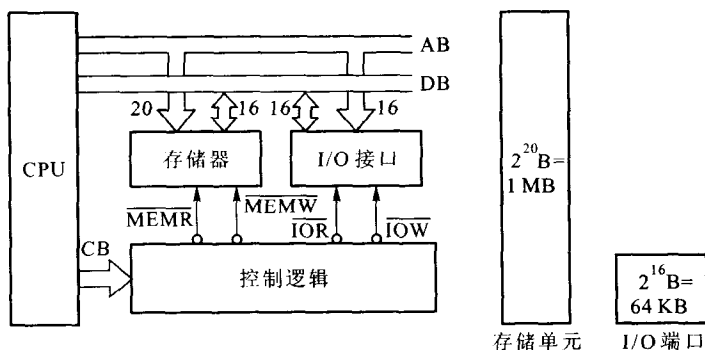


图 7.2 独立编址方式

独立编址方式的优点是: I/O 端口的地址码较短(一般比同系统中存储单元的地址码短), 译码电路比较简单, 存储器同 I/O 端口的操作指令不同, 程序比较清晰; 存储器和 I/O 接口的控制结构相互独立, 可以分别设计。它的缺点是: 需要有专用的 I/O 指令, 而这些 I/O 指令的功能一般不如存储器访问指令丰富, 所以程序设计的灵活性较差。

二、存储器映像编址(统一编址)

存储器映像编址方式的硬件结构及地址空间分配如图 7.3 所示。这种编址方式的特点是: 存储器和 I/O 端口共用统一的地址空间; 一旦地址空间分配给 I/O 端口后, 存储器就不能再占有这一部分的地址空间。例如, 整个地址空间为 1 MB, 地址范围为 00000H~FFFFFH; 如果 I/O 端口占有 00000H~0FFFFFH 这段 64 KB 的地址, 那么存储器的地址空间只有从 10000H~FFFFFH 的 960 KB 的地址。在这种编址方式下, I/O 端口的读/写操作同样由硬件信号 $\overline{\text{MEMR}}$ 和 $\overline{\text{MEMW}}$ 来实现, 访问 I/O 端口同样用 MOV 指令。同时, 所有访问存储器的指令(包括存储器的算术、逻辑运算指令)都可用于 I/O 端口。

存储器映像编址方式的优点是: 任何对存储器数据进行操作的指令都可用于 I/O 端口的数据操作, 不需要专用的 I/O 指令, 从而使系统编程比较灵活; I/O 端口的地址空间是内存空间的一部分, 这样, I/O 端口的地址空间可大可小, 从而使外围设备的数目几乎可以不受限制。它的



缺点是:I/O 端口占用了内存空间的一部分,内存空间必然减少,影响了系统内存的容量;同时访问 I/O 端口同访问内存一样,由于访问内存时的地址长,指令的机器码也长,执行时间必然增加。

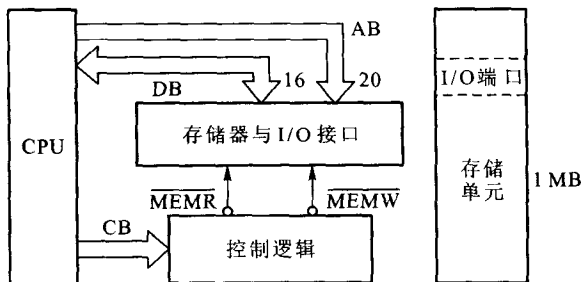


图 7.3 存储器映像编址方式

Intel MCS-51 等系列单片微型计算机就采用存储器映像 I/O 编址方式,这些微型计算机中无专门的 IN/OUT 指令。

7.1.5 I/O 接口电路的发展与分类

一、I/O 接口电路的发展

I/O 接口电路是以 I/O 接口芯片(集成电路芯片)形式问世的,与 CPU 芯片同步发展。以微型计算机系统为例,每种系列的 CPU 芯片都有对应的 I/O 接口芯片与之配套,以构成高性能的微型计算机系统。例如,Intel 8080/8086 微处理器的配套 I/O 接口芯片 8251、8253、8255、8237 和 8259 等;Zilog 的 Z80 微处理器的配套 I/O 接口芯片 Z80PIO(并行输入/输出接口)、Z80CTC(定时器/计数器电路)、Z80SIO(串行输入/输出接口)和 Z80DMAC(DMA 控制器)等。

I/O 接口电路早期出现的是简单接口芯片,采用中规模集成电路(Middle Scale Integrated, MSI)。这种接口芯片的工作方式基本固定,接口功能简单,适合于系统结构和指令系统都比较简单的早期的微处理器。但是,这种接口芯片所涉及的接口技术的基本原理及方法具有普遍意义。

自第二代微处理器问世后,处理器的指令系统比较完善,功能强大,而且系统结构较完善,具有中断和直接存储器存取(Direct Memory Access, DMA)等功能。与此类处理器相配套的 I/O 接口芯片也发展为接口功能强大、工作方式多样的可编程 I/O 接口芯片,这类 I/O 接口芯片可通过软件设置 I/O 接口芯片的工作方式和接口功能。

此后,I/O 接口电路又朝着两个方向发展:一个方向是针对各种不同的应用领域,将相关的 I/O 接口芯片组构成不同功能的功能接口板,最终用户可以选用适当的功能接口板,方便地构建自己所需要的计算机应用系统;另一个方向在构成计算机系统(特别是构成微型计算机系统)时,为使主板结构缩小,可靠性提高,采用超大规模集成(Very Large Scale Integrated, VLSI)



技术,将主板上众多的接口芯片和支持芯片按不同功能分别集成到一块集成芯片中,这样用少量几片 VLSI 芯片组合构成控制芯片组,简称芯片组(Chip Set)。目前在个人计算机(PC机)中大都采用由 2 片(或 3 片)VLSI 芯片组成的芯片组,即通常的南北桥结构或 Hub 结构(详见第八章)。

二、I/O 接口电路的分类

随着大规模集成电路技术的迅速发展,计算机系统中 CPU 与外围设备之间的接口电路已由早期的逻辑电路板(由中、小规模集成电路芯片组成)发展为以大规模集成电路芯片为主的接口芯片,用于计算机输入/输出的接口芯片种类极多,功能各异,按功能选择的灵活性来分,可分为可编程接口芯片和不可编程的接口芯片;按接口的通用性来分,可分为通用接口芯片和专用接口芯片。

1. 按功能选择的灵活性分类

(1) 不可编程接口芯片

这种接口芯片内部接口电路比较简单、接口功能单一、工作方式基本固定、使用方便。如数据缓冲器 74LS244/245、数据锁存器 74LS373 等(详见 7.2 节)。

(2) 可编程接口芯片

这种接口芯片内部的接口电路较为复杂,接口功能强,具有多种工作方式,可以在不改变硬件连接的情况下,通过软件编程来改变芯片的工作,选择芯片的工作方式,具有很好的灵活性和通用性。在不同的应用中,可以通过软件编程来选择芯片的工作方式及接口功能,这就是可编程接口芯片的初始化。这类芯片包括 Intel 公司的 8251、8253、8255、8237 和 8259;Motorola 公司的 6820 和 6821 以及 Zilog 公司的 Z80-PIO、Z80-SIO、Z80-CTC 等。此外还有为一些复杂外围设备配备的可编程专用控制芯片,如点阵式打印机控制器 8295、键盘/显示器控制器 8279、CRT 显示器控制器 8275 和 6847 等。

2. 按接口的通用性分类

(1) 通用接口芯片

Intel 8251、8253、8255、8237、8259 和 Motorola 6820、6821 以及 Z80-PIO、CTC、SIO 等可编程接口芯片具有接口功能强、通用性好的特点,适应各种不同外围设备的需要,是通用接口芯片。可应用于不同的并行外围设备、串行外围设备的接口以及作为定时和计数之用。

(2) 专用接口芯片

在构成计算机系统和计算机应用系统中,配置键盘、显示器、打印机和磁盘驱动器等复杂外围设备常常是必不可缺的,如果采用通用接口芯片实现对这些复杂外围设备的正确控制往往要增加其他芯片,并会带来连接的复杂性,加重 CPU 的负担。为此,Intel 等公司为这些常用的复杂外围设备开发生产了大量可编程的专用接口芯片,如 8295、8279、8275 和 6847 等,这些专用接口芯片的使用,为计算机系统和计算机应用系统中 CPU 与外围设备的接口提供了极大的方便。



7.2 简单的 I/O 接口芯片

7.2.1 简单的 I/O 接口芯片的特点及组成

简单的 I/O 接口芯片是一种不可编程的接口芯片,这类接口芯片的特点是电路结构简单,功能单一,在硬件连接好以后,电路的接口功能固定,无法改变。

对简单的并行 I/O 接口芯片而言,其基本部件为 I/O 三态缓冲器和数据锁存器。通常包含上述两种部件之一或两者兼具的芯片都可作为简单的并行接口芯片应用于不同场合。

1. 仅含三态缓冲器的并行接口电路

这类接口电路主要在各种接口中用作单向或双向的总线缓冲器/驱动器,使用最多也最典型的是 Intel 8216(同相)/8226(反相)4 位并行双向总线驱动器、SN74/54 240(反相)/241(同相)/244(同相)8 位总线缓冲器/驱动器和 SN74/54 245 8 位双向总线驱动器等几种。

2. 仅含数据锁存器的并行接口电路

这类接口电路主要是指带有一定控制端的触发器和数据锁存器芯片,如 74/54 系列的 D 触发器 377(8 位)、378(6 位)、379(4 位)、273(8 位)、174(6 位)、176(4 位);JK 触发器 276(4 位单独时钟)和 376(4 位共时钟);D 锁存器 363/373(8 位)、110/116(双 4 位)、75/77/375(双 2 位);RS 锁存器 279(4 位)等。

3. 兼具数据锁存器和三态 I/O 缓冲器的并行接口电路

这类接口电路中,最典型的是 Intel 公司的 i8212 8 位 I/O 接口芯片,它具有完全并行的 8 位数据锁存器和三态输出缓冲器。与 i8212 完全相同的芯片还有 i3212 和 74/54 S412 等,这三种芯片可直接互换。此外,74/54 374 和 74/54 364 等带允许端的 8D 正沿触发器芯片也有类似的功能。

7.2.2 三种简单的 I/O 接口芯片

在外设接口电路中,经常需要对传输过程中的信息进行放大、隔离以及锁存,能实现上述功能的接口芯片最简单的就是缓冲器、数据收发器和锁存器。

一、74 系列器件

74 系列器件是德州仪器(Texas Instrument, TI)公司生产的中小规模 TTL 集成电路芯片。这是一种低成本、工业与民用产品,工作温度为 $0^{\circ}\text{C} \sim 70^{\circ}\text{C}$,根据功能和速度可分为如下几类。

- ① 74xxx:标准 TTL。
- ② 74Lxxx:低功耗 TTL。
- ③ 74Sxxx:肖特基型 TTL。
- ④ 74LSxxx:低功耗肖特基型 TTL。
- ⑤ 74ALSxxx:高性能型 TTL。
- ⑥ 74Fxxx:高速型 TTL。



相同编号(xxx)、不同类型的芯片逻辑功能完全一样。

二、锁存器 74LS373

74LS373 是一种 8D 锁存器,具有三态驱动输出,其逻辑电路及引脚图分别如图 7.4(a)、(b)所示。由图可见,该锁存器由 8 个 D 门组成,有 8 个输入端 1D~8D,8 个输出端 1Q~8Q,2 个控制端 G 和 $\overline{OE}$,使能端 G 有效时,将 D 端数据打入锁存器中 D 门,当输出允许端 $\overline{OE}$ 有效时,将锁存器中锁存的数据送到输出端 Q。

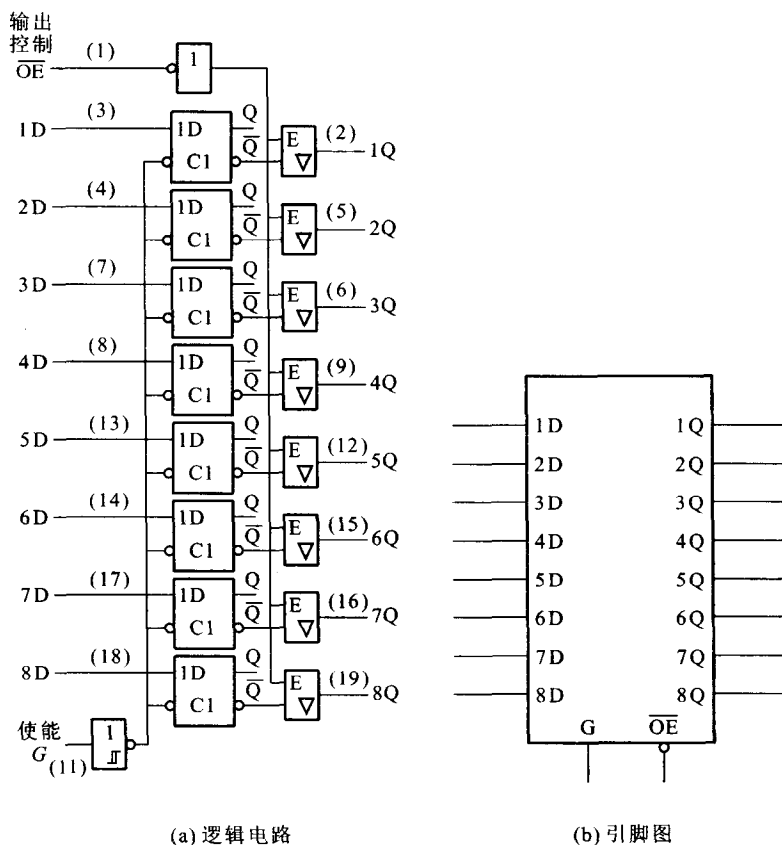


图 7.4 74LS373 锁存器

74LS373 的锁存功能如表 7.1 所示。表中,H 为高电平,L 为低电平, Q_0 为原状态,Z 为高阻抗, $\times$ 为任意值(即不论为“H”还是为“L”都一样)。

从表中可见 74LS373 的功能为:

- ① 当使能端 G 为高电平时,同时输出允许端 $\overline{OE}$ 为低电平,则输出 $Q = \text{输入 } D$ 。



表 7.1 74LS373 的真值表

使能 G	输出允许 $\overline{OE}$	输 入	输出 Q
H	L	L	L
H	L	H	H
从 H→L 后	L	×	Q_0
×	H	×	Z

② 当使能端 G 为从高电平跳变到低电平后,而输出允许端 $\overline{OE}$ 也为低电平时,则输出 $Q = Q_0$ (Q_0 为原状态,即使能端 G 由高电平变为低电平前输出端 Q 的状态,这就是“锁存”的意义)。

③ 当输出允许端 $\overline{OE}$ 为高电平时,不论使能端 G 为何值,输出端 Q 总为高阻态。

74LS373 锁存器主要用于锁存地址信息、数据信息以及 DMA 页面地址信息等。

常用的锁存器还有 74LS273/573、Intel 8282/8283 等。

三、缓冲器 74LS244

74LS244 是一种三态输出的八缓冲器和线驱动器,该芯片的逻辑电路图和引脚图分别如图 7.5(a)、(b)所示。

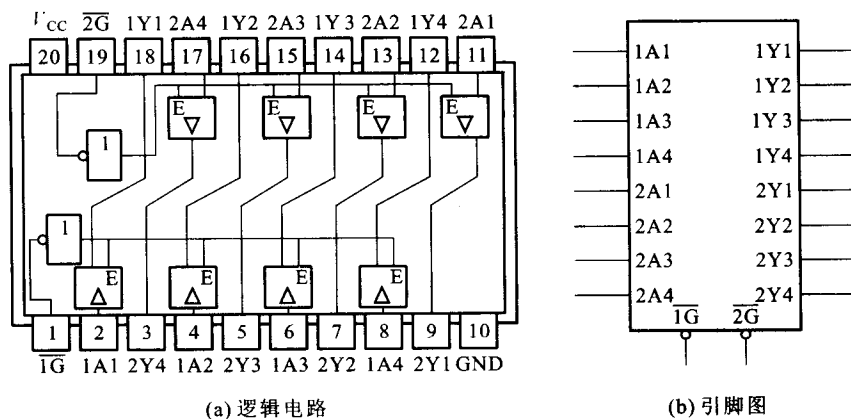


图 7.5 74LS244 缓冲器

由图可见,该缓冲器有 8 个输入端,分为 2 路——1A1~1A4,2A1~2A4;8 个输出端也分为 2 路——1Y1~1Y4,2Y1~2Y4,分别由 2 个门控信号 $\overline{1G}$ 和 $\overline{2G}$ 控制。当 $\overline{1G}$ 为低电平时,1Y1~1Y4 的电平与 1A1~1A4 的电平相同,即输出反映输入电平的高低;同样,当 $\overline{2G}$ 为低电平时,2Y1~2Y4 的电平与 2A1~2A4 的电平相同。而当 $\overline{1G}$ (或 $\overline{2G}$) 为高电平时,输出 1Y1~1Y4 (或 2Y1~2Y4) 为高阻态。经 74LS244 缓冲后,输入信号被驱动,输出信号的驱动能力加大了。



74LS244 缓冲器主要用于三态输出的存储地址驱动器、时钟驱动器和总线定向接收器和定向发送器等。

常用的缓冲器还有 74LS240/241 等。

四、数据收发器 74LS245

74LS245 是一种三态输出的八总线收发器,其逻辑电路图和引脚图分别如图 7.6(a)、(b)所示。

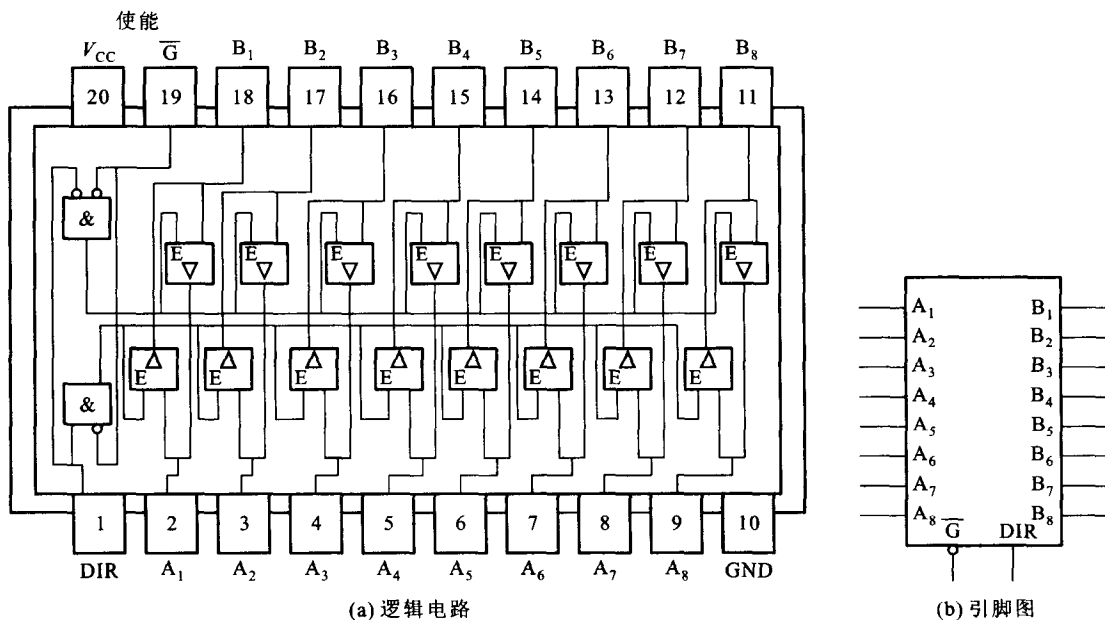


图 7.6 4LS245 八总线收发器

从图可见,该收发器有 16 个双向传输的数据端,即 $A_1 \sim A_8$ 、 $B_1 \sim B_8$,另有两个控制端——使能端 $\overline{G}$ 和方向控制端 DIR,该芯片的功能见表 7.2。

74LS245 通常用于数据的双向传输、缓冲和驱动。

常用的数据收发器还有 74LS243、Intel 8286/8287 等。

表 7.2 74LS245 的真值表

使能 $\overline{G}$	方向控制 DIR	传输方向
L	L	$B \rightarrow A$
L	H	$A \rightarrow B$
H	$\times$	隔开

7.2.3 简单的 I/O 接口芯片应用举例

一、发光二极管(Light Emitter Diode, LED)接口

图 7.7 所示为采用锁存器 74LS373 的 LED 接口电路。