

欢迎订阅《计算机硬件文摘》

本刊，承蒙广大读者的极大关心与热情支持，圆满地完成了试刊任务。经全国编委会正式批准，1986年转为月刊通过新华书店发行。为能最大限度地从事计算机研究、设计、教学、生产与应用的单位与个人提供最新、最准、最全的信息，本刊计划在今年试刊的基础上，对报道内容与报道形式等作必要的调整、充实与改进：

• 报道内容

电路与器件

存储设备与技术

外围设备

逻辑设计与数字技术

模拟与数字计算机及系统

数据通信设备与技术（含网络）

• 收录文献

收录了世界各国用各主要文种出版的期刊（包括国内某些主要期刊）、大量会议论文、科技报告、学位论文与专著等。

• 报道形式

采用文摘、简介与题录相结合而以文摘为主的报道形式，大部分文摘本身就具有较大的文献参考价值。

• 使用方法

本刊每期均附有“主题指南”，使用极为方便。

• 订购办法

本刊1986年由全国各地新华书店发行，请注意《科技新书目》上的征订通知，得时去当地新华书店预订。如因故漏订，可直接与“重庆市市中区胜利路91号中国科技情报研究所重庆分所”联系订购。

计算机硬件文摘

第四辑

中国科学技术情报研究所重庆分所

编辑

科学技术文献出版社重庆分社

出版

（重庆市市中区胜利路91号）

新华书店重庆发行所

发行

重庆市印制一厂

印刷

37×1092毫米 1/16

印张：8.5 字数：31万

1985年11月第一版

1986年3月第一次印刷

科技新书目 107-260

印数：3130

书号：15176·637

定价：3.10元

目 录

电路与器件.....	(1)
逻辑元件	(2)
半导体逻辑元件.....	(2)
其它逻辑元件	(2)
逻辑与开关电路	(2)
微处理机芯片	(4)
数字计算机的其它电路	(6)
模拟电路	(8)
辑/数与数/模转换器	(9)
逻辑设计与数字技术	(12)
逻辑设计方法	(12)
计算机辅助逻辑设计	(20)
计算机体系结构	(29)
数字运算方法	(39)
数字滤波器	(41)
微计算机技术	(42)
数字信号处理	(43)
其它数字技术	(46)
存储设备与技术	(47)
存储系统设计	(47)
数字存储器	(47)
动磁介质存储储.....	(48)
静磁介质存信器.....	(51)
半导体存储器	(52)
其它数字存储器.....	(59)
模拟存结器	(—)
其 它	(61)
模拟与数字计算机及系技	(61)
数字计算机与系统	(61)
模拟与混合计算机及系统	(79)
模拟与混合计算统术	(80)
计算机外围设备	(80)

数据通信设备与技术	(81)
计算机网络	(87)
数据采集设备与技术	(114)
模式识别设备	(115)
图形显示器与交互终端	(116)
打印机与绘图机	(122)
穿孔卡、带设备	(—)
磁存储设备	(127)
计算机缩微输出设备	(129)
语音识别与合成	(130)
其它外围设备	(132)

电 路 与 器 件

040001 渐露头角的 μC 支持芯片正向CMOS, VLSI发展[μC 支持芯片手册][英]/Cushman, R. H. // EDN, -1984, 29(3), -138~179

文章由一系列各种支持芯片的表格组成, 越来越强调CMOS和VLSI, 实际上CMOS所未深入渗透的唯一领域是外围控制器, 预料VLSI CMOS将成为支持芯片的主要半导体技术。参3

040002 CMOS/SOS EPIC 芯片组的瞬态和总剂量辐射性质[英]/Berger, R. ... // IEEE Trans. Nucl. Sci., -1983, NS-30(6), -4256~4263

描写EPIC(仿真和可编程序集成电路)芯片组中器件的翻转剂量速率和总剂量性质的测量, 这些器件包括门通用阵列(GUA, TA11093), 一般处理器单元(GPU, GP001), 4K存储器(TSC146), 8K ROM(TA11256), 乘法器(GP503)和电平移动器(GP511)。用在硬总剂量硬度再现性的21组研究中采用的辐射硬化工艺制造了所有这类器件, 使用能量为15或40兆电子伏特的20毫微秒电子脉冲在Linac(线性电子加速器)上作了解态测量, 还使用2.1微秒脉冲宽度作了翻转速率测量和引起GPU器件暂时功能失效所要求的剂量/脉冲测量。研究了翻转速率的偏压相关性和所用总剂量辐射部分对剂量速率的影响, 对有电源偏压和总剂量减少的部分翻转速率都下降。对先前未辐射的部分来说, 贮存数据的翻转速率从 4.5×10^{10} 变化到 4.1×10^{17} 拉德(Si)/秒, 举例说明了硬度的再现性。参4

040003 ESSCIRC83. 第九次欧洲固体电路会议, 1983. 9. 21~23; Lausanne, Switzerland[会, 英]. - Lausanne, Switzerland: Presses Polytechniques Romandes, 1983. X+195页

会议于1983年9月21日至23日在瑞士洛桑举行, 论及下列课题: MOS存储器; 数字MOS电路; 信号处理和快速电路; 数字双极电路; 模拟MOS电路; 模拟双极电路; CAD和设计方法学; 电信电路。提出51篇论文并在本论文集集中全部发表, 在本论文集或其他各期的有关分类编码下能找到各篇文章的摘要。

040004 IEEE计算机设计路际会议论文集: 计算机方面的VLSI, (ICCD'83), 1983. 10. 31~11. 3, Port Chester, NY, USA[会, 英]. - Silver Spring, MD, USA: IEEE Comput. Soc. Press, 1983. -xix+

764页

会议于1983年10月31日至11月3日在美国纽约州切斯特港举行, 由IEEE主办, 论及下列课题: 美国的计算机和软件法; 大脑模型和VLSI; VLSI工艺、试验和布局; 常规体系结构; 自动化技术; VLSI规则阵列的影响; 设计原理; 工作站; 封装; 实时系统; VLSI验证; 芯片结构; 大容量存储器; VLSI评价; 物理设计; 逻辑设计; CMOS; VLSI模拟; 数字系统; 人工智能; 约瑟夫逊器件; CAD; IBM逻辑模拟机; 高级辅助程序; 交互设计; 计算机运算和信号处理。提出了178篇论文, 在本论文集集中全文发表172篇, 有6篇仅发表摘要, 在本期或其他各期的有关分类编码项下能找到各篇论文的摘要。

040005 砷化镓技术在高速计算方面的意义和估测[会, 英]/Eden, R. C. ... // Proceedings IEEE International Conference on Computer Design: VLSI in Computers (ICCD'83): 1983. 10. 31~11. 3: Port Chester, NY, USA. - Silver Spring, MD, USA: IEEE Comput. Soc. Press, 1983. -36~33

半绝缘GaAs的高电子迁移率和可用性使应用于非常高速电路的GaAs IC技术有可能得到发展, 在MSI GaAs分频器电路中已演示了优良的开关速度, 还成功地制造了1K静态RAM、 16×16 位并行乘法器、32位ALU等这样的LSI级非常高速GaAs IC。文中考虑了在高速计算机系统运行情况下的结论。参12

040006 HMOS III工艺及其应用[会, 英]/Liu, S. S. ... // Proceedings IEEE International Conference on Computer Design: VLSI in Computers (ICCD'83): 1983. 10. 31~11. 3: Port Chester, NY, USA. - Silver Spring, MD, USA: IEEE Comput. Soc. Press, 1983. -34~37

发展了一种以250埃栅和0.2微微焦耳速度-功率乘积为定标MOS器件特征的第三代单层-多晶高性能NMOS(HMOS)工艺, 该工艺汇集了光刻和于腐蚀加工能力方面的进步, 以便达到0.98密耳²的耗尽负载静态存储器单元尺寸, 主要应用将在缩小根据以前的HMOS工艺设计的现有微计算机的规模方面。参4

040007 作为VLSI电路串行测试的扩展的自动测试方法[会, 英]/Osman, F. // Proceedings IEEE In-

ternational Conference on Computer Design: VLSI in Computers (ICCD'83):1983. 10.31~11.3:Port Chester, NY, USA.-Silver Spring, MD, USA:IEEE Comput. Soc. Press, 1983.-117~120

提出一种扩展 VLSI 电路串行测试的自动测试方法, 根据现今具有可接受的面积开销的 VLSI 工艺, 这种技术是可实现的。利用这种方法, 应有可能设计自动测试系统和减少 VLSI 系统测试和制造的费用。

参2

040008 计算机系统元件的有效应力屏蔽(stress screening)[会, 英]/O'Neal, Q. // Proceedings IEEE International Conference on Computer Design: VLSI in Computers:1983. 10.31~11.3:Port Chester, NY, USA.-Silver Spring, MD, USA: IEEE Comput. Soc. Press, 1983.-185~186

本文对制造应力屏蔽的利用作了描述。制造应力屏蔽是一种作为达到高产品可靠性级的产品和工艺设计改进的工具, 适合于初始生产的制造应力试验, 提供了必要的早期可靠性性能和失效机理数据。在广泛失效分析程序中使用的这个数据能暴露装配或测试中相应产品设计的不足和潜在的问题, 在可得到现场数据之前, 早期数据经常提供数月的校正执行过程。完成这方面工作的关键环节是: 透彻的应力屏蔽过程, 精确的失效数据收集和严密的分析/校正技术。参3

040009 互连技术对 VLSI 和可调整 VLSI 设计的影响和限制[会, 英]/Mangir, T. E. // Proceedings IEEE International Conference on Computer Design: VLSI in Computers (ICCD'83):1983. 10.31~11.3:Port Chester, NY, USA.-Silver Spring, MD, USA:IEEE Comput. Soc. Press, 1983.-735~739

本文评论了适用于 VLSI 的互连技术, 提出了适用于可调整和可编程序 VLSI 的互连技术。互连 RC 时间延迟不随定标技术按比例减少, 成了 VLSI 计算速度的限制因素。提出的信号处理体系结构(例如收缩阵列, 波前处理器, 阵列处理器)使人们认为: 操作数将从不同的处理单元到达, 并在特定的处理位置上被运算。这意味着级间互连引起的延迟将建立对处理器之间联络和 VLSI 总性能的物理限制。参26

逻辑元件

半导体逻辑元件

040010 CMOS 门阵列——半定制逻辑的快速工艺方

法[英] // Electron. Components & Appl.-1983, 5(2).-124

掩模可编程硅栅 CMOS 门阵列的 PCF/PCC 系列包括 5 种预加工的硅芯片, 这些芯片由一个 165, 224, 352, 558 或 864 单元的中央矩阵(两个 2 单元 NAND/NOR 门等效电路)和一个具有 40, 28, 40, 68 或 86 个连接端片的 38, 26, 38, 66 至 84 I/O 器件的外设所组成, 用广泛的计算机辅助设计(CAD)封装固定这些芯片。从描写代表用户所要求的总逻辑电路的逻辑网络开始, 计算机模拟程序 SIMON 自动计算门延迟和精确地预示电路的逻辑特性, 它还产生与针孔赋值表(pin assignment list)一起被用来产生自动测试程序的测试图形。自动元件布局程序 PLACE 和自动互连程序 INGATE 完全消除了冗长的人工设计和使系统设计者也能设计他自己的 IC。INGATE 程序的输出可直接产生设计阵列用的掩模图形磁带。

040011 预扩散电路: 今天的革命[法]/Vissiere, C. // Toute Electron.-1984, (491).-49~53

解释和描写门阵列生产方面的目前形势, 在与传统集成电路相比的时候, 特别强调了成本和速度方面的发展, 概括地讨论了逻辑设计、单元库和设计工作台。

其它逻辑元件

040012 QUITERON: 新型超导开关元件[会, 英]/Faris, S. M. // Proceedings IEEE International Conference on Computer Design: VLSI in Computers:1983.10.31~11.3:Port Chester, NY, USA.-Silver Spring, MD, USA:IEEE Comput. Soc. Press, 1983.-38

仅给出摘要。准粒子注入隧道效应器件(QUITERON)是第一种既具有类似晶体管的特性又具有超低开关能量的三端超导器件。QUITERON 作用是以大量外来方式的非平衡超导态和导致隧道电导间隙阻塞和急剧调整的准粒子自注入为基础的, 实验证实了包括显示大信号功率增益、数字转换、非微分、高开关速度和低功耗等晶体管之类特性的工作原理, 还提供了对新的和有意思的物理现象观察的结果。参2

逻辑与开关电路

(含触发器与移位寄存器)

040013 数字设计: 如何连接 IC[英]/Carr, J. J. // 72 Amat. Radio's Tech. J.-1984, (283).-30~36
作者描述了如何相互连接各种数字 IC 逻辑系列

和如何将它们与“外部世界”连接,讨论了接口技术和怎样将接口技术应用于实际情况。

040014 双极和CMOS器件中的可编程逻辑[英]/Jones, G. ... // Electron. Eng., -1984, 56(687), -126~142

所有三种可编程逻辑(PAL, IFL和PROM)的制造厂商讨论了各种结构的相对优点,公司利用双极和CMOS这两种技术通过自己专有的HPL器件、软件支持、可试验性和可靠性正在对可编程逻辑作出贡献。参1

040015 可编程逻辑的发展[英]/Gabris, J. // Electron. Eng., -1984, 56(687), -147~153

可编程阵列逻辑(PAL)使在集成电路片上编制逻辑功能程序成为可能。随着更多的设计者认识到PAL代替高性能TTL的优点, PAL系列正日益流行。与此同时PAL系列也正在改进,特别是速度和功率两方面。参3

040016 使用PAL的超小型计算机设计[英]/Kitson, B. S. ... // Electron. Eng., -1984, 56(687), -157~165

在最近一代的32位超小型计算机设计后面的推动力一直是可编程阵列逻辑(PAL)器件。大多数设计出于各种成本/性能因素已使用了PAL,以PAL为基础的超小型计算机设计包括了从对现有结构的再设计到要求迅速周转的设计和新的性能体系结构;现有结构的再设计是为了降低成本或由于封装限制,考虑到一开始就利用PAL器件的全部优点而确定了新的高性能体系结构。

040017 实现VLSI的全CMOS三态全同单元[英]/Heung, A. ... // Electron. Lett., -1984, 20(5), -221~222

提出一种仅由CMOS晶体管组成的三态全同单元,与以前报道的设计相比,该电路的晶体管较少而性能较好,这种电路具有的重要优点是毫微瓦功耗和开关时间快,用途包括缓冲器、衰减驱动器(pad driver)和三态触发器。参6

040018 国家半导体公司制造的CMOS门阵列集成电路[德]//Elektroniker, -1984, (3), -77

描写了定制的SCX6312型和SCX6221型门阵列集成电路的性质,这些电路以3微米和2微米工艺为基础并可提供低功耗的CMOS电路,涉及到金属化层的软件设计设备,表明芯片底座中高达124根引线的装配是可达到的。

040019 移位寄存器在MOS LSI计数器中的应用[英]/Pawlowska, H. ... // Electron Technol., -1981, 14(1/2), -59~65

描写移位寄存器在实现取决于反馈电路逻辑功能的各种计数器方面的应用,还提出了计数系统中数据处理的新方法,计数系统是根据反馈环路中的串行加法器电路设计的。参5

040020 一种逻辑电路简化PWM逻辑[德]//Elektrotechnik, -1984, 60(2), -55

描写一种能任意调整脉冲宽度调制器振幅和脉冲占空因数从而克服可比较模拟编排严重缺点的逻辑电路。该电路在两个级联的4位振幅比较器和一个自由运转同步计数器周围建立,由此数字化的调制值可与计数器的值连续比较。只要前者大于后者,比较器输出保持逻辑1,反之则输出为低电平。最后,输出通过一个施密特触发电路和形成方波信号,结果成为具有恒定频率和振幅的脉冲系列。

040021 一种面积-时间有效的NMOS加法器[英]/Bayoumi, M. A. ... // Integration VLSI J., -1983, 1(4), -317~334

提出一种以Mead和Conway方法为基础的VLSI系统计算模型,这个模型适应NMOS工艺中的扇出相关性。根据这个模型,发展了一种在NMOS中产生面积-时间有效的先行进位加法器的方法,这种方法在结构级(元件和互连)和物理配置级(单个晶体管尺寸)之间协调。提出的方法显示出调制性和规律性,最后给出设计4位加法器的例子。参14

040022 SQUID型约瑟夫逊逻辑门的参数测量[英]/Ohori, T. ... // Fujitsu Sci. & Tech. J., -1983, 19(4), -365~381

测量了对设计SQUID型约瑟夫逊逻辑门来说必需的两种参数:材料参数和取决于器件结构的器件参数。用一种新测量法测量了器件参数之一——超导线中的电感分布。这些参数取决于制造过程,因此使用片载测试技术对它们作系统测量。为了证实这些参数能有效地适用于SQUID设计,设计了两种SQUID,取得的阈值特性与设计值十分相符。参8

040023 对新公司的希望[德]//EEE, -1984, (2), -49

评论了与门阵列大制造厂竞争的专门研究特定IC设计和制造的公司的的工作,该公司提供包括测试的完整的制造设备,元件是以库存数据和使用CAD为基础的。

040024 结电荷耦合逻辑(ICCL)[英]/May, E. P. ... // IEEE J. Solid-State Circuits, -1983, SC-18(6), -767~772

结电荷耦合器件(JCCD)在逻辑应用方面提供了超过传统电荷耦合器件的优点,这些优点是能以通过JCCD导引栅注入和检测电荷,从而提供三维电荷输

运这一事实为基础的。这种独特的电荷注入和检测结构已用于设计象“与”、“或”、“倒置”、“复原”之类的基本逻辑功能。已采用一种仅用5个掩模工序和7.5微米设计标准的非常简单的双极工艺来证明逻辑元件的可行性。仅打算用来说明原理的这种JCCL器件已在高达5兆赫的时钟脉冲频率下工作。诸如Si使用面积和多值逻辑电路应用的可能性等其他性质使JCCL器件看上去非常有前途。计算结果和实验结果说明了该器件将允许高达50兆赫的时钟脉冲频率。参10

040026 逻辑电路的最坏情况静噪界限标准及其数学等值性[英]/Lohstroh, J. ... // IEEE J. Solid-State Circuits, -1983, SC-18(6), -803~807

为了分析计算逻辑电路最坏情况静噪界限,过去已用公式表示各种标准,某些标准以无限长门链为基础,另一些以触发电路为基础,说明就最坏情况静噪界限而论触发电路法相当于无限长链法,而且论证了关于这个最坏情况静噪界限的四种标准在形式上的等值性,此外还讨论了适用于计算机模拟的方法。参11

040028 高速GaAs源耦合FET逻辑电路的分析[英]/Idda, M. ... // IEEE Trans. Microwave Theory & Tech., -1984, MTT-32(1), -5~10

提出了一种适用于千兆位速率数字信号加工的原耦合FET(SCFL)电路。提供了SCFL电路中的FET阈值电压容差和SCFL电路性能。SCFL门电路的速度取决于FET的工作区,对于高速运转必须提供高于夹断电压的漏-源电压。预计由1.5微米栅长FET组成的SCFL门电路的最小传播时间为25微微秒/门,最小上升时间和最小下降时间可望分别为54微微秒和51微微秒,最大RZ数据速率可望达到5.6Gb/秒,SCFL能适用于高速数字信号处理。参13

040027 对于临界触发的实测触发器响应[英]/Chaney, T. J. // IEEE Trans. Comput., -1983, C-32(12), -1207~1209

提出了表示几种触发器临界触发响应特征的测试数据,这种(极少测量或规定的)特征化对于预测同步装置设计的可靠性是需要的。参11

040028 一种较快速的8位进位电路[英]/Kallman, R. // IEEE Trans. Comput., -1983, C-32(12), -1209~1211

介绍了一种门延迟较小的改进的Chen-Kuck 8位进位电路(见同刊1977年C-26卷712~726页),证明了这是最合理的时间,总结了时间较长的电路的相应结果。参1

040029 最优化分级乘法器的VLSI实现。I. [英]/Yung, H. C. ... // IEE Proc. G., -1984, 131(2), -

56~60

提出了规则、递归、高速N位乘法器设计的实现过程和最优化方法,该设计包括两个简单单元:一个2×2位乘法器PLA和一个全加器PLA,大多数互连是局部和规则的。只要遵循同一算法组合较小的单元块(cell block),就可把设计推广到任何乘法器字长。在面积时间复杂性方面使乘法器最优化,相对于以前报道的设计来说,乘法器的性能是好的,详细讨论了4位乘法器的实现过程。参12

(以上胡维明译 海明校)

微处理机芯片

040030 Motorola 6800 系列微处理机及其外部设备[意大利]/Caloi, C. // Inf. Eletttron., -1983, 11(9), -118~126

描述了MC6800系列微处理机,重点突出了MC6802和MC6809器件。对系统体系结构作了评价,其中强调了总线体系结构、存储器控制和中断顺序。详述了RAM选通存储器和运算器结构,同时展示了数据流和一个指令系统。以程序实例说明了外部接口适配器(PIA)的体系结构及其功能。

040031 电话用微处理器[德]/Muller, P. ... // Bull. Assoc. Suisse Electr., -1984, 75(7), -351~354

预告了瑞士FASELEC公司的使用8048兼容指令系统的3340型单片微处理器,该器件采用了CMOS工艺,并包括一个L₂C串行接口。该器件具有2K字节的掩模可编程ROM存贮。

040032 R65F11 FORTH 芯片[英]/Dumsey, R. // Forth Dimensions., -1983, 5(2), -25

基于FORTH语言的R65F11微处理机的出现标志着有助于专门应用的低成本硬件设计新时代的到来。这种微型计算机不仅拥有一些给人以深刻印象的硬件特性,而且有为专门应用而设计的FORTH语言运行时区段和操作系统。

040033 NS32032 型数处理机: 32位机的研究成果[德] // Chip., -1984, (3), -64~66

第一合可作为商品买到的32位微机NS32032最近由国家半导体公司推出。文章参照这一新型微处理机和市场上的一些与之竞争的电路器件的一些可能的技术开发,讨论了这种先进集成电路系列中功能最强的这一新器件的重要意义。

040034 新型16位超级微计算机[英]/Wong, W. G. // Microsystems., -1983, 4(11), -38~61

文中介绍了三种新型超级微计算机芯片的结构,其中包括: Intel公司的iAPX80286, Motorola公司的68000系列和国家半导体公司的16032。这些新结

构的主要特点是: 1. 更快的执行速度; 2. 强化的指令系统; 3. 硬件的多任务支持; 4. 改良的调试性能; 5. 较大的地址空间 (通常为 16MB); 6. 虚拟存储器支持 (大于 16MB/任务); 7. 指令及数据的超高速缓存; 8. 浮点硬件。

040035 QL 机器代码程序设计[英]/Graham, M. // *Electron. & Comput. Mon.* -1984, 4(5).-64~65

描述了 Sinclair 公司 QL 计算机核心部分的 MPU 68008 芯片的一些特点。讨论了其结构、寄存器、寻址范围、指令系统、中断结构和数据总线。

040036 辐射防护微处理器有了完整的外设芯片系列[英]/Snyder, D. // *Def. Electron.* -1984, 16(1).-72, 75~86

文中介绍了用于 80C85RH 8 位 MPU 的 Harris 系列辐射防护外设芯片。

040037 用 32 位微处理器获得更高的性能[英]/Wray, G. ... // *Electron. Eng.* -1984, 56(688).-39~42, 47~51

描述了 NS32032, 首次作为商品提供的真正的 32 位微处理器之一。32 位微处理器使系统设计者在占有微处理器所具有的设计灵活性和成本方面的利益的同时, 还享受了超级小型计算机和主计算机在性能和支持上具有的好处。制造厂家现在能提供广泛的系统性能, 并取得了前所未有的性能/价格比。在硅片中实现完整的 32 位结构是工程界为实现这些高性能系统所需的面向系统的元件链索中的最后一个环节。所有必要的设计工具和部件为: 半导体存储器、磁盘工艺、外部设备、操作系统和编译程序。国家半导体公司的 NS32032 (一种具有 32 位外部总线以及 32 位内部结构的真正 32 位微处理器) 已经凭借其全套支持工具挤入了市场, 这套工具已经跟一个 100% 软件兼容 CPU 系列、从处理机和外部设备一起“平起平坐了”。

040038 80C86 微处理器[英]/Sutton, J. A. // *Electron. Eng.* -1984, 56(689).-51~54, 58

该项计划的主要任务是一种工业标准 HMOS8086 微处理器芯片的 CMOS 改型的开发。该改型增加了静态设计 (与 HMOS8086 动态设计相反) 限制, 具有输入与输出的全 TTL 与 CMOS 兼容性和几个其他的需对 NMOS 用户透明的为 CMOS 系统所要求的增强。在整个商业、工业和军事所要求的温度范围内, 兼容性目标和 6MHz 性能可以得到满足。人们指望不久将有一种 8MHz 改型。

040039 8 位和 16 位处理器转向高级 C-MOS 结构[英]/Niewierski, W. J. // *Electronics* -1984, 57(7).-116~120

由于越来越多的晶体管被集成在一起, 与 n-MOS

相联系的功率耗散问题在以指数关系递增。这促使工业界转向 C-MOS, 因为虽然其 (按速度、容量衡量的) 性能较 n-MOS 差, 但所需功率小得多, 这意味着增加芯片密度不致因散热造成不良后果。虽然 C-MOS 的速度较低, 但所需功率也小, 因而不存在 n-MOS 随带的散热问题。芯片封装可以因此设计得更小, 系统也可随之变得更轻、更紧凑。

040040 来自 8085 的 Z80[德]/Braunschmid, F. // *Elektronik* -1984, 33(7).-91~92

8085 微处理器的指令代码几乎是 Z80 微处理器的指令代码的一个真子集。这篇短文介绍了一种电路, 通过它可使基于 8085 的系统改而运行 Z80 程序; 它采用 NSC808 微处理器, 其外观与 8085 非常相似。

040041 CMOS 微处理器超过了 NMOS8086/8088[英]/Bursky, D. // *Electron. Des.* -1984, 32(8).-41~46

本文描述的微处理器系列将可执行 8086 和 8088 处理器的大部分指令系统, 其执行速度大约比它的 NMOS 原型快 50%, 同时还具有 CMOS 的低功耗优点。从 8/16 位至全 32 位的 V 系列器件也能轻松地执行 8080 的指令系统。这将使它们成为第一种运行 CP/M 及 MS-DOS 操作系统 (以及其它相关的操作系统, 如 IBM 的 PC-DOS 等) 而不引致以图表形式出现的大开销的芯片。最初由 NEC 公司用 2μm 工艺制造的这一系列中将首先推出的两种器件是: 一种具有 8 位外部总线与 16 位内部总线的处理器和一种全 16 位芯片。

040042 CDP1804A 型单芯片 CMOS 微型计算机[德]/Sferrazza, P. K. // *Elektron. J.* -1983, 18(22).-14~16

RCA 芯片是 CMOS CDP1800 系列的最新成员, 它正稳步向微处理器、微计算机、存储器和外设器件的领域扩展。该芯片属于第三代微型计算机, 除了其前辈机型的全部特性外它还具有一个更好的指令系统, 并且在一个芯片内集成了 ROM、RAM 和一个通用计数/定时器。文章评述了该芯片系列的各种功能, 其中包括 CDP1804A 和 CDP1800 的方框图。文中还概述了其体系结构 (寄存器、程序计数器/栈指示器、存储器编址、指令系统) 和硬件 (存储器接口、控制与状态、I/O)。利用 CDP1853 译码器, 如文内方框图所示, 通过三根 N 线 (N-Lines) 可访问 7 个 I/O 设备。

040043 电子系统测试方法与微处理器的测试[意大利]/Olla, F. ... // *Elettron. Oggi* -1984, (3).-131~132, 134, 136, 138, 141

由于微处理器能够执行一组相当复杂的指令, 仅

测试一组逻辑门或者一个存储器的方法是不适用的。测试一个微处理器(无论在其制造还是使用过程中)的要素不再是一个单一的二进制矢量,而是一个机器指令(虽然其中可能包含着一组二进制矢量)。因此,测试微处理器的新方法提供了一套汇编指令,测试程序的编写必须考虑待测项目和测试所花时间。事实上,这些新测试方法对自动测试设备的开发有着重大的影响。文章讲述了测试程序为何必须涉及到微处理器中的各种功能块,并讨论了达到这一点的方法。

参8

040044 开发32位微处理器: Z80000[法]/Georges, A. // Electron. Ind., 1984, (67), -47~53

介绍了设计 Zilog 32 位微处理器所面临的技术问题,及其内部结构和综合存储器管理的主要特点。文中将它与对等机种 NS32032 和 MC68020 作了比较。讲述了超高速缓存管理、六级流水线操作以及“字符组”与“半字节”方式。以图解的方法说明了逻辑-物理地址转换的算法,转换由一个堆栈组织的辅助超高速缓存存储器管理。

040045 一种专用的数字控制处理机的设计[英]/Lang, J. H. // IEEE Trans. Autom. Control., 1984, AC-29(3), -195~201

研究了一种专用的数字处理机的设计,该处理机旨在实现线性调节器控制系统和单片微电子制造技术。为改善这种数控处理机(DCP)的计算动态范围、精度和速率,选用了一种对数运算方法。这一选择的根据来自 DCP 数据字长要求上的考虑,而字长本身的估计则又取决于计算的动态范围与精度。文中还探讨了 DCP 运算的实现方案与结构,以这两点观之选用对数运算是有利的。最后,运用现行的微型计算机技术测定了 DCP 的运算速度。与一般微型计算机相比,作者提出的这种 DCP 看来可使运算速度增加300多倍,同时保持相同的计算精度与动态范围。参27

040046 处理机的中断处理[英]/Taylor, M. B. // Mach. Des., 1984, 58(6), -84~85

外部设备可产生让处理机立即注意的中断信号。最近开发的如 68000 等处理机采纳了中断等级方式,使来自一些设备的中断信号较来自另一些设备的更快地得到处理。但是,为成功地使用中断等级,程序设计员必须知道在处理机确认与处理中断时通过处理机的事件的顺序。特别地,程序设计员必须注意这些操作的时序,否则处理机可能会依照某一次序顾及一个不为程序设计员所希望的中断。文中讲解了 68000 的中断处理。

040047 一种用于个人计算机的处理机系列[英]/Childs, R. E. Jr. // Proc. IEEE, 1984, 72(3), -

363~376

在个人计算机上执行的多窗口用户接口要求有高性能的硬件支持。Intel 80286 可向设计师们提供多任务以及存储器管理和保护的直接硬件支持。存储器的一致分段模型为与 8086/8088 CPU 芯片的结果代码的兼容性开辟了一条直接途径,并方便了在 80286 的保护虚拟地址环境下的程序开发。在此保护方式中,完善的保护策略(包括那些用于安全操作系统的)是有效的。该处理机采用一种四级流水线结构,包括:独立预取、指令译码、执行和地址转换。文中描述了 80286 芯片在结构上的要点。参46

040048 超级计算机芯片(transputer),第五代计算机的一个部件[英]/Coles, R. W. // Pract. Electron., 1984, 20(4), -26~31

描述了具有六个分离的接口通道的 T424 (Inmos Transputer 芯片)。存储器接口为32位、多路转接地址/数据通道,其带宽为每秒25兆字节,能够以很高的速度存取达4千兆字节的静态或动态的外部存储器。该32位地址范围(address range)包括4K字节的50ns片载RAM。外设接口可以与存储器接口并行地起作用对标准外部设备进行访问,与此同时执行正常的外部存储操作。最后,还有四条双向串行通信通道,它们互相之间可并行操作,也可与存储器或外设接口并行操作。

040049 对一种微处理机的自适应概率测试[会,英]/Timoc, C. // IEEE International Conference on Computer-Aided Design, ICCAD-83, Digest of Technical Papers: 1983, 9, 12~15: Santa Clara, CA, USA, -New York, USA: IEEE, 1983, -71~72

作者希望通过实验确定对一种市售的微处理机所作的随机测试的有效性。结果表明,一组概率刺激生成的自适应测试在一选定的微处理机上检测出了大部分故障,证明作者提议的这种方法可以用于任何微处理机的测试。实验采用一种故障模拟器进行,该模拟器比在通用计算机上运行的故障模拟程序快几个数量级。参7

数字计算机的其它电路

(含电源部件)

040050 改进计算机电源的可靠性[英]/Chorley, B. // Aust. Electr. World, 1984, 49(1), -23~25

不间断电源(UPS)系统的主要任务是保护主机设备不受电力网不可靠因素的影响,为有效地起到保护作用,该电源自身必须是可靠的。文章研究了几种测

试类型, 它们以人们可能接受的成本保证最后结果的可靠性——特别强调了热加速老化的重要性。

040051 附加于计算机的日期钟(date-clock)[德]/Foltyn, E. // Chip, -1984, (3), -248~250

文中描述了对硬件和软件所作的一项修改, 借助这项修改可将一个时钟电路附加到 Sinclair ZX81 微型计算机上, 在 ZX81 和 16K 字节的扩展 RAM 之间连接一个集成电路型 MSM 5832RS, 文中附有该时钟接口的电路图和必要的软件修正一览表。

040052 Spectrum 实时时钟(二)[英] // Electron. & Comput. Mon., -1984, 4(5), -56~57

第一部分见同刊第 4 卷第 4 期 38~40 页。文中描述了一个关于建立具有实时时钟与日记功能的 Sinclair ZX Spectrum 机的附加装置的计划。这一部分给出了一份 BASIC 程序清单, 印刷电路板箔层图案和元件一览表。

040053 处理计算机的单一输出[德]/Dickers, P. ... // Elektronik, -1984, 33(6), -102~103

在许多应用中, 人们希望得到单一位而不是更普通的单字节输出。以整整一页的篇幅刊出了一种专用的十分复杂的译码器电路图, 该译码器从西门子 R330 计算机的一个 16 位输出字中选出 8 位展开成对 256 个单一位的访问; 这当中前 32 个单一位是有效的, 其余的则用以提供可能的扩展。对电路图作了简单描述并给出 4 个实例。

040054 产生并行/串行转换的电路[英]/Reynolds, R.J. // EDN, -1984, 29(7), -258

为适应大部分应用的串/并行和并/串行转换的集成电路器件有着足够多的形式。但是, 在一些场合人们可能希望获得一个其脉冲数与一给定的 8 位字的值相等的串行输出脉冲列。例如借助文中示出的串行脉冲列转换器, 只具有加法功能的各种监视器和记录器可用来获得来自 8 位 A/D 转换器的模拟数据。脉冲列可以相加, 或者可被求和并记录下来。其中最简单的一种电路可以用脉冲列给一种廉价的 LCD 计数器组件加一, 以监控模拟数据。在较复杂的应用中, 脉冲列可由过后记录数据的外部仪器来控制。该电路采用一个简单的晶体振荡器, 与一个 4020 CMOS 分频器结合, 提供对脉冲列速率的选择。

040055 断电保护器[英] / Walker, P. // Electron. Today Int., -1983, 12(10), -39~40

文中描述的项目主要是为 ZX81 家用计算机设计的, 旨在保护程序免受短期停电或意外断电的破坏。该电路的主要元件包括: 一个二极管、一个集成电路和一个容量为 110mAh (电压为 8.4V 左右) 的镍-镉可充电电池。该电路: 二极管实现自正常供电向 Zippy

公司的内部电池的转换, 而用集成电路实现电网正常时的电池充电。电路的其余部分采用了一个逻辑集成电路, 并在电压下降过低时提供来自压电发声器的报警信号。

040056 消除电压跌落时的不稳定微处理机操作[英] / Kitchen, J. // Electron. Test, -1984, 7(2), -144

描述了一种电路, 它能够摆脱令人讨厌的常见难题——当 60 周交流电网的电压跌落或暂时断电时基于微处理机的系统的不稳定运行。此外, 该电路技术不要求电源检测器, 也不需作软件方面的变更。文中展示了该电路在三种不同线压下的性能, 并详细说明了这三种状态。

040057 有效的和有用的 RFI 滤波器[英] / Naylor, C. // Pract. Comput., -1984, 7(5), -116~120

考察了保持微机电源供给的问题。一个可能影响电源供给的问题是射频干扰 (RFI)。这是一种作用在电力线上的高频干扰, 可由许多原因引致, 如: 电动机和开关电弧。你的计算机几乎肯定会带有 RFI 滤波器 (所以问题只是 RFI 的严重程度), 不必再另外置备滤波器。滤波可使频带的某些部分产生衰减。

040058 采用 GaAs/GaAlAs 高电子迁移率晶体管的特高速数字集成电路[会, 英] / Lee, C.P. ... // GaAs IC Symposium, IEEE Gallium Arsenide Integrated Circuit Symposium, Technical Digest 1983, 1983, 10, 25~27, Phoenix, AZ, USA, -New York, USA, IEEE, 1983, -162~165

采用平面处理的高电子迁移率晶体管 (HEMT) 的特高速集成电路业已制成。在室温下从 25 级环形振荡器测得的最小传播延迟为 12.2 微微秒。带有两个 T 连接 D 触发器的四分频电路可在室温下以 3.48GHz 每门 0.4mW 的状态工作。据称, 其所达到的速度功率积是见诸文献报道以来最低的。参 7

(以上光明译 泽 文校)

040059 微型计算机系统 Robotron K 1520 的电源[英] / Streese, P. // Neue Tech. Buero, -1983, 27(4), -104~105

在其初始设备制造厂家 (OEM) 的微型计算机 Robotron K 1520 的范围内, 民主德国国营联合企业 Robotron 提供了构成其标准电源系列一部分的相应的电源模块。安装这样一个电源系统, 必须考虑某些条件和特性。为此, 柏林国营 Robotron 经销部应用中心, 拟定出了一个由这种电源模块组成的组合电路。凭借这种标准系列各种型号的齐全, 能产生特别适合一些特殊应用的电源部件专用组合电路。参 2

040060 Spectrum 实时时钟, I.[英] / Sargent, R. // Electron. & Comput. Mon., -1984, 4(4), -38

介绍了一种有电池备份、以软件中电子日记加以完善的实时时钟，讨论了这个电路。本文的第Ⅱ部分涉及PB箱模式和软件。

040061 8位微处理机的扩充存储器[德]/Krinin, H. ... // Elektron. -1984, 33(4) .-73~77

特别参照将存储空间划分成单个“页”或单个任务，详细介绍了Motorola公司的MC6829存储器管理装置的用途。介绍了使用这种存储器管理芯片与6809型微处理机构成一强功效系统的微型计算机。参5
040062 能产生定序时间窗口的RC电路[英]/Rogers, D.H. // Electron. Des. -1984, 32(6) .-242~244

在精密定时关系不大的场合，可用一个简单的网络，在另一事件始点和终点形成的窗口周期内产生一个时间控制的间隔。例如，在单频率数据调制解调系统中，通常发送器必须在接收器断开以后才接通。由于同样原因，发送器必须在接收器重新接通以前断开。同样，在一个存储器系统中，必须在Chip Select(芯片选择)信号之后，发出Write Enable(写启动)命令，而在其以前，Write Enable命令必须终止。这个网络只由5个无源元件组成。

040063 虚拟机环境(VME)应用的自动击穿(autore)电源保安模块[德]/Sonnenbend, W. // Elektron. J. -1984, 19(5) .-16~17

VDM系统，要求在电源出现故障或电压降落时，通过请求可安全地再启动这个系统的ACFAIL和SYSRESET信号，确保数据不出现瞬时存贮。因为商品化装置充其量也不过提供了一个电源保安信号，所以特别研制了所提出的这种电源保安模块，以克服众所周知的在操作上和实际上存在的各种问题。文中就设计、能力、性能和安全性等方面详细介绍了这个部件。

040064 计算机系统清除脉冲发生器[英]/Postraneky, M. // Electron. Today Int. -1983, 12(2) .-83~86

指出了在定制的计算机系统与外设中，产生一个不丢失或扰乱已存入或已处于传送中的数据的SYSTEM RESET(系统清除)脉冲是有利的。所介绍的这个电路可接收各种清除输入(从简单的按钮启动接地开关，其中任意数目的开关可用1N4148二极管连接)，并能产生其本身的“上电”清除脉冲。

040065 软件周试用的Microtan时钟转换[英]/Knibbs, K.E. // Electron. Today Int. -1983, 12(3) .-68

作者介绍了一个将时钟转换到正常速度为750千

赫~1兆赫的Microtan系统以实时地测试软件的电路。这一受测软件是为独立的6502控制器编写的。这个电路保证时钟脉冲既不太短，也不太长，并且没有低频干扰。该电路已使用了三个多月，没有引起什么系统事故。电路中采用了单稳器件、触发器和逻辑集成电路。

040066 实时时钟/日程表[英]/Bedford, M.D. // Electron. Today Int. -1983, 12(4) .-31~34

可以构造文中所介绍的在Tangerine Microtan输入/输出区里占有16字节的字组的实时时钟，否则可将它与任何其它基于6502的计算机一起使用。它有16只寄存器，其中12只用来存放时间与日期，2只用来存放(以二十进制格式)取值可大于9的任何数。例如，可以(10*寄存器5)+寄存器4的形式推算分的值。这12只寄存器中，寄存器1~3为只读型，这些“秒”寄存器一经启动时钟就自动置零。

040067 用于RAM的电池备份电源[英]/Metcalfe, R. // Electron. Today Int. -1983, 12(7) .-45

利用可反复充电的6伏铅酸电池和文中介绍的电压控制电路，数据可在存储器里存贮很长时间(时间长短仅由电池的蓄电容量决定)。在该电路中，741运算放大器在其反相输入上接有一固定的2V7，并从其输出中减去该反相输入和非反相输入间的差，该比值一旦通过预置给定后，就保持不变。

040068 稳压电源：规范问题[法]//Mesures. -1984, 49(3) .-49, 51, 53

本文涉及计算机等用的稳定直流电源，这是一个主要由模块化设备专业厂家日益为之服务的销售项目。有两类稳定直流电源：串联型电源由变压器、整流器、输出滤波器和直流输出稳压器组成；第二类电源重量轻、体积较小，而效率较高(为75~90%，而不是40~50%)，因而比较优越，它由整流器(有或无变压器)、直流滤波器和直流/直流转换器组成，后者对输出直流以20~40千赫的频率进行斩波，并将最后得到的交流进行变换、整流与滤波。讨论了这些稳压电源的特性和如象VDE0875这样的规范以及用户所采用的规范的影响。

040069 斜移时钟环境中的程序时钟同步[英]/Stranko, T.A. ... // IBM Tech. Disclosure Bull. -1984, 26(8) .-4161~4162

用服务硬件实现系统停机。该硬件一收到来自功能部件的特殊信号便立即使同步寄存器/触发器组合接通。

模 拟 电 路

040070 脉冲频率积分器的误差表征和数字模拟[英]

/Martinez, E. ... // Int. J. Electron. , -1984, 56 (4) .-521~531

分析了成为用脉冲频率表示模拟信号的特征的误差,建立了这些器件获得优良性能的必要条件,特别研究了脉冲频率积分器(PRI)的误差,并完成了数字模拟。参5

040071 低功率N路模拟多路转换器[英]/Pantani, J. P. ... // IBM Tech. Disclosure Bull. , -1984, 26 (8) .-4067~4068

介绍了一个电路。该电路能在n个控制位的控制下实现N个模拟数据输入(第1路, ... 第N路)到一个模拟输出的多路转换功能($N=2^n$)。

040072 数字控制的模拟斜坡信号发生器[英]/Marsh, R. W., Jr. // IBM Tech. Disclosure Bull. , -1984, 26(9) .-4490~4491

提出了一个斜坡信号发生器,它能实际上消除台阶数/模转换器产生的微分线性误差噪声的同时,保持台阶波形发生程序设计的准确度和简易性。

(上海克 雄译 光明校)

040073 用于基本运算方式的电路(五)[德]/Engel, H. ... // Funkschau. , -1984, (7) .-65, 99~100

第四部分见本刊1984年第6期第57页。这一部分结束了全文,先后涉及了以下内容:对反对数放大器的分析,该种放大器是对指数函数作电模拟所需要的;用电阻-二极管链设计对数放大器的另一种方法,该法的温度相关性更低,灵活性也更大;由带定值限幅器的线性放大链制成的对数放大器。文中详细介绍了一种典型的这类放大器,Norlin Communication公司的LA-2100R,给出了其全部电路图和70db以上的响应曲线。参28

模/数与数/模转换器

040074 集成光学快速电光数-模转换器的设计[英]/Hassoun, M. H. ... // Appl. Opt. , -1984, 23(9) .-1425~1427

介绍了一种集成光学快速数-模转换器的设计细节。在设计一种8位二进制补码、双极型系统中使用了电极长度相同的九个方向耦合器。就尺寸、灵活性和双极性能而言,这种数-模转换器较Mach-Zehnder系统优越。对于光学互连和计算网络,快速数-模转换和模拟开关也许是特别合适的。参15

040075 Tecmar公司的数据转换产品[英]/Newrock, R. ... // Microsystems. , -1983, 4(7) .-94~109

评述了Tecmar公司的几种数据转换产品:TM-DA-106数/模转换器, TM-AD-212模/数转换器和

计数器/定时器,以及TM-G2-SSP软件包。

040076 使Commodore 64更强有力的模/数转换器[英]/Penfold, R. // Electron. & Comput. Mon. , -1984, 4(5) .-38~41

介绍了用于Commodore 64的电压灵敏模/数转换器附加电路,它比控制杆端口处的电阻灵敏输入用得更广泛,控制杆端口只用作游戏开关。讲述了该电路的操作与构造。

040077 16位CMOS模/数转换器避开了传统的性能折衷[英]/Freeman, W. // Digital Des. , -1984, 14 (1) .-105~109

一种CMOS 15位正号模/数转换器(ADC)提供了先前单片ADC所不具备的性能、价格、封装和功能性方面的好处。Teledyne半导体公司的TSC800转换器将一些合乎需要的特性结合在一起。其最大线性误差为2LSB,最大差分线性误差为 $\pm 1/2$ LSB, 100 μ V输入灵敏度(由典型值为15 μ Vp-p的器件输入噪声保证)实现了较高的分辨率。模拟输入是全差分的。输入共模范围可扩展到任一输入源的1伏以内。典型的共模抑制为86dB,高阻抗($10^{12}\Omega$)CMOS输入使其最大输入漏电流低达15微微安。在3.5mA的最大电流条件下电源要求为 ± 5 V,负压源有可能在一个带有廉价的TSC7660直流-直流转换器的只+5V的系统中产生。由于不需要15个信号源,从而降低了系统费用。TSC800采用了一种修正的双斜率转换技术。

040078 采用光学技术提高视频带宽模/数转换器的精度[英]/Taylor, H. F. // Electron. Lett. , -1984, 20(8) .-352~353

文中提出了一种模/数转换器(ADC)的新设计,它采用了电光调制器和连同常规电子ADC的光学采样,利用光学调制器的周期响应特征,可望使其精度较全电子转换器有一个显著的提高。参8

040079 软件辅助模/数转换器接口[英]/Grandbois, G. ... // Electron. Prod. Des. , -1984, 5(3) .-81~83

以用于显示接口的BCD输出为特色的A/D转换器往往可能有用,但由于其输出的多路BCD格式,其中许多是难以接口的。这篇有关应用的短评描述了一种简化接口的软件技术。

040080 高速数-模转换的工艺技术[英]/Saul, P. H. ... // IEEE J. Solid-State Circuits. , -1984, SC -19(1) .-62~68

8、10、12位单片数/模转换器系列已经研制成功,该系列代表了高速数据转换技术的当前水平。通过延迟加稳定时间的总耗时已经测得:8位器件为

5ns, 10位器件为12ns, 12位器件为45ns。12位器件还处在实验阶段。所有器件都采用标准高速数字双极工艺制造, 不需要后部工艺整理。参9

040081 借助微处理机的廉价模/数转换器[西班牙]/Marques, C.A. // Rev. Electr. Electron. -1983, 72(846) -1278~1281

描述了借助于微处理机的8位A/D转换。这种方法的速度相当低。使用了一种Motorola 6802D5-E套件。文中介绍了硬件布局、软件流程图和一些程序。参8

040082 一种12位单片模/数转换器[德]/Steinheuer, F. H. K. ... // Und-oder-Nor+Steuerungstechnik -1984, (3) -33~35

连同微处理机AM8085一起详细描述了接口AM6112的工作方式。一种方式要求附加的对输入/输出设备(由微处理机的I/O指令控制)的存储命令; 另一种方式(存储转换)把A/D转换器输出电路作为存储空间处理, 并把微处理机控制输入用作“读+写”指令。门电路采用线性差分逻辑(DDL), 其速度是发射极耦合逻辑(ECL)的两倍, 并可少占四分之一的芯片面积。

040083 一种采用激光圆片微调的动态精确的50兆赫12位数/模转换器[会, 英]/Taylor, S.S. ... // Proceedings of the 26th Midwest Symposium on Circuits and Systems: 1983, 8, 15~16: Puebla, Mexico -North Hollywood, CA, USA: Western Periodicals, 1983 -218~222

精密激光圆片微调(LWT)和一种新颖电路设计在6.5千兆赫双极工艺上结合起来, 制造了一种可在20毫微秒内稳定到0.01%的低误差操作12位数/模转换器。对于一个40IRE(无线电工程师学会)标准调制的斜升输入, 差分增益和相位误差分别为0.01%和0.05度。每方5Ω的镍铬电阻激光圆片微调导致了0.001%的差分非线性。允许最多作两次激光切除的完全电阻调整的预测模型增强了微调的速度和分辨率。以每圆片为基准的自动激光功率调整保证了微调的电质量, 并消除了钝化孔。参6

(以上光明译 克雄校)

040084 Oric模/数转换器. II.[英]/Chanerley, A. D. // Electron. & Comput. Mon. -1984, 4(4) -24~25

第I部分见同刊1984年4卷3期14~16页。说明了用于Oric微型计算机的模/数转换器的结构。包括了电路图和测试程序的四行BASIC清单。

040085 与客观世界一致(模/数与微/模转换)[英]/Pritchard, J. // Electron. & Comput. Mon

-1984, 4(4) -68~70

作者说明了怎样使一台计算机与数/模与模/数转换的全部实际相一致。

040086 强调速度的转换器系列[英]/Waller, L. // Electronics -1984, 57(5) -159~160

Hughes Aircraft公司对现代转换器(主要是模/数转换器, 数/模转换器较少)长达12年以上的研究已在能证实很高转换速度和相关性能的一些元件上收效。例如, 某一6位模-数混合电路运行速度高达每秒2亿5千万个抽样数; 一个16位数-模元件线性为20位, 稳定时间为22毫微秒。某一4位芯片每秒可采样5亿2千5百万次; 混合电路、模块和插件板分辨率范围高达18位。

040087 采用Uf-转换器的10位AD-传感器[德]/Elektron. Ind. -1984, 15(2) -26

Thomson-CSF公司使用集成Uf-转换器为研制通用AD-传感器提出了一个解决办法。详细地示出了怎样把Uf-转换器经由定时器EF6840接到处理机EF6809的总线上。介绍了该系统的主要设计、操作特性与工作范围。

040088 用肖特基集成电路构成快速视频DAC[英]/Fivian, D. J. // EDN -1984, 29(5) -248

介绍了一个复合视频信号发生器电路。它能根据一个4位14兆赫的TTL视频信号和一个TTL复合同步信号提供一个复合视频信号。74S163用作同步锁存器, 可恢复对输入象素数据的同步。高速热载流子二极管使电流从顶排电阻通过锁存器的输出级或负载转换到零伏。为了确保二极管转换可靠, 5伏干线电压使输出直流电平正向偏置。

040089 ZX模/数转换器[英]/Holmes, R. // Electron. Today Int. -1983, 12(1) -61~65

所介绍的这个模/数转换器以7581集成电路为基础。此集成电路是一个芯片上的完善的数据采集系统。它具有某些非常便于使用的特性。通过使用‘双口RAM’与内部扫描逻辑, 使主机可以利用数据, 并使转换过程对用户完全透明。最新的模拟数据一直可以获得, 并可从计算机地址空间的小存储映射区中读出。这一芯片将在50微秒内转换各个通道, 并在400微秒内完成所有8个通道的全部转换。模拟输入电压范围为0~10伏, 这两个极值将分别对应于十六进制的00和FF。

040090 高速8位模/数转换器[英]/Jones, M. // Electron. Today Int. -1983, 12(7) -544

所介绍的这个模/数转换器以高达每秒10万次转换速度工作。这一速度使之供全部音频范围使用都很理想。所讨论的这一电路将影响没有自动输入/输出

周期等待状态插入 4 兆赫的速度运行的年 - Z80 A 系统。它将使用较低的时钟频率, 并且转换时间也相应增加。

040091 廉价的快速模/数转换器 [英]/Genett, F. J. // Micro .-1984, (69) .-30~32

最近, 有一种芯片推向了市场。这一芯片可为大多数应用减少模/数选择的可怕程度。这一芯片就是国家半导体公司的 ADC0820, 其最大转换时间为 1.2 微秒, 总的未调整误差为 ± 1 最低有效位, 典型功耗为 35 毫瓦, 并且有 8 位总线兼容的并行输出。

040092 高速数/模转换技术与工艺 [英]/Sault, D. ... // IEEE Trans. Electron Devices .-1984, ED-31(2) .-196~202

研制了代表高速数据转换现代工艺水平的 8 位、10 位与 12 位单片数/模转换器系列, 并对之作讨论了。分别测得它们的总的通过延迟和稳定时间为 5 毫微秒、12 毫微秒和 45 毫微秒, 12 位器件还处于试验阶段。所有器件都用标准高速数字双极工艺生产, 无需后部工艺修整。参 9

040093 Brookhaven FASTBUS 模/数转换器 [英]/Schmidt, M. P. ... // IEEE Trans. Nucl. Sci .-1984, NS-31(1) .-203~204

在布鲁克黑文国家实验室, 采用大型 (300 单元以上) 铅玻璃阵列作电磁热量计, 根据 $K_L^0 \rightarrow 2\pi^0$ 衰变进行了高能物理实验。为了从探测器获得脉冲幅度信息, 构造了用在 Brookhaven 快总线数据采集系统中的模/数转换器模块。在 6 微秒内, 为各个 16 通道模块实现了数字化 (8 位) 和编码, 包括基座 (pedestal) 减法与数据分析。参 1

040094 索尼公司的 CX 20052 快速模/数转换器的高抽样速度性能 [英]/Dhawan, S. K. ... // IEEE Trans. Nucl. Sci .-1984, NS-31(1) .-818~820

测试了快速模/数转换器 CX 20052。该公司声称其最高工作频率为 30 兆赫兹。测试表明该器件可可靠地工作到 50 兆赫兹, 甚至可工作到 80 兆赫兹以上。现在测速的限制来自该测试仪中所用的 RAM 和地址计数器电路的定时要求。参 2

040095 快速模/数转换器的新发展 [英]/Dhawan, S. K. ... // IEEE Trans. Nucl. Sci .-1984, NS-31(1) .-821~825

作者介绍了一种新一代快速模/数转换器 (FADC)。它是由欧洲、日本和美国公司为满足数字视频需要而设计的。这种视频 FADC 大部分都是 8 位, 速度超过 20 兆赫兹。视频图象的数字处理/重构需要 10 位器件。研究了把这些器件用于高能物理检测器的问题。给出的表中列出了若干厂家产品的特性与

价格。参 5

040096 使用 CMOS 集成电路的 6-三进制位逐次近似模拟/三进制转换器 [英]/Adhem, S.M.I. ... // Int. J. Electron .-1984, 56(4) .-475~480

论及了一个低功率 6-三进制位模拟/三进制转换器。这一转换器采用了六只可逆计数三态触发器 (triflop)。所用的电路为 CMOS 型。参 4

040097 模/数转换器 [英]/Faris, S.M. // IBM Tech. Disclosue Bull .-1983, 26(7B) .-3865~3868

本文一般性地涉及模/数转换器, 并且比较详细地论及了利用约瑟夫逊结的动态特性根据所加的模拟信号提供数字输出的模/数转换器电路。参 1

040098 用于接到 K1620 或 MC80 微型计算机的二通道数/模转换器模块 [德]/Bogatz, A. // Radio Fernsehen Elektron .-1984, 33(3) .-192~193

该系统的时钟为 5 兆赫兹。它能把来自计算机的 12 位数字数据转换成模拟电压。规定了一个为 $10^{-3}/^\circ\text{C}$ 的基准电压发生器 SZY23, 它与温度控制器配合使用。文中谈到 10 伏满刻度误差小于 2 毫伏。参 5

040099 单片 12 位模/数转换器: 速度达 3 微秒并可与微处理机兼容 [德]/Steinheuer, K. ... // Und-oder -Nor + Steuerungstech .-1984, (1/2) .-35~37

AMD 公司的 Am6112 是一个单片 12 位模/数转换器。为了把 0~10 伏、0~5 伏和 0~-5 伏电压范围内的输入信号数字化, 它不需另外的模块。4 兆赫兹的外部信号可使该转换器能用逐次近似原理实现 3.3 微秒的转换时间。该芯片是独特的, 因它采用线性微分逻辑。介绍了运算方式。它有 4 种命令: 芯片选择、写、读和命令/数据。4 个最高值位由 15 个相同的电流源构成, 从而为解决 Am112 单调二进制编码创造了条件。

040100 模/数转换器用的高性能 1.8 千兆选通比较器 [会, 英]/Meignant, D. ... // GaAs IC Symposium, IEEE Gallium Arsenide Integrated Circuit Symposium, Technical Digest 1983: 1983, 10, 25~27; Phoenix, AX, USA .-New York, USA: IEEE, 1983 .-66~69

已经设计、制造并测试了一个新的超高速 GaAs 选通比较器集成电路。其设计目的是使这个比较器成为以 1.4 千兆赫时钟频率运行的 4 位快速模/数转换器 (FADC) 的构件。用实验方法成功地论证了这种比较器集成电路可工作到 1.8 千兆赫的时钟频率, 并且性能适合于 4 位模/数转换器。参 4

040101 千兆赫的 GaAs 数/模转换器 [会, 英]/La-Rue, G.S. // GaAs IC Symposium, IEEE Gallium

Arsenide Integrated Circuit Symposium, Technical Digest 1983: 1983, 10, 25~27; Phoenix, AZ, USA, New York, USA: IEEE, 1983, -70~73

使用耗尽型 GaAs 金属-半导体场效应晶体管制作了一个上升和下降时间为 100 微微秒的单片 4 位数/模转换器,其输出以高达每秒 100 兆抽样的速度在 1 毫微秒内稳定在满刻度(输至 20 欧姆的电压为 800 毫伏)

的 1% 以内,以高达每秒 660 兆抽样的速度在 1.3 毫微秒内稳定在满刻度的 0.75% 以内,实现了片载二进制加权电流源的有效匹配和定标。在直流情况下进行测量的 196 个数/模转换器中的 11 个(5%),其最大误差为满刻度的 0.2%,相当于精度为最低有效位的 8 位 $\pm 1/2$ 。48% 的这种数/模转换器都行得通;其中大多数的精度在 6~8 位范围内。参 4

逻辑设计与数字技术

逻辑设计方法

(含逻辑测试)

040102 剩余数系全息摄影真值表查找处理:检波器阈的设置及由于幅度和相位变化而产生的错误概率 [英]/Mirsaichi, M. M. ... // Appl. Opt., 1983, 22 (22), -3583~3592

本文对用于平行真值表查找数字信号处理的全息摄影内容定址存储系统进行了分析。文中探讨了对二进制编码的剩余数的 4 位、8 位和 16 位的加法和乘法运算,确定了在所有情况下所能获得的最小错误概率及相应的检波器的阈值设置。这时考虑到了记录光束幅度和相位的高斯分布所具有的效应。用此方法在实际环境下所得到的错误概率和用现今先进水平的非平行技术所得到的错误概率不差上下。

040103 集成电路设计 II: 合适工艺的选择与设计方法 [荷兰]/Schreurs, J. ... // Elektronika, 1983, 31 (20), -25~31

第一部份请见同刊 1983 年 31 卷 19 期 15 页。作者描述了一个包含待开发产品全部所要求的功能和特性的功能描述是如何被用来产生一个该产品的设计的,其目的就是为了能在数字、模拟或者混合方法之间作出选择。这样,产品的功能、速度、电源、电压及电源等等指标皆可被确定下来。作者讨论了制造集成电路的各种不同的半导体技术,因此读者可以从中找到最经济的方法。一个电路的设计是否理想,必须经过验证,因此作者讨论了在计算机上运行模拟程序来确定所选用的晶体管是否能达到所要求的功能。因设计方法依赖于片子的数目及电路的用途(例如航天),作者讨论了三种设计方法:阵列集成电路设计方法,带有选定标准组件的集成电路设计方法以及常规的全定制电路设计方法。

040104 集小型计算机设计中的逻辑抉择 [英]/

Rosen, B. J. // Comput. Des., 1983, 22(13), -259~268

可编程阵列逻辑 (PAL) 设备已成为进行最新一代的 32 位超小型计算机设计的一种推动力。这些超小型计算机有的对目前所采用的机器机构进行了重新设计,减低了价格,克服了封装上的限制,有的具有超高速的周转,有的则充分运用了 PAL 这类设备的特点从而获得了高性能的机器结构。本文讨论如何使 PAL 和其他一些逻辑设备满足小型机设计约束条件。

040105 用测试条检验 STL 半定制逻辑阵列的可靠性 [英]/LeBlanc, J. P., Jr. ... // Electronics, 1983, 56(24), -155~158

集成电路逻辑阵列厂商都面临若干独特的可靠性问题,当把一个半定制芯片做到一个逻辑阵列或门阵列中去时,这个阵列的复杂性使得我们不能判定出该阵列内的这种门的特殊组合是否工作在半导体工艺规程的所有参数范围之内;例如,功耗、电平、路径或扇入、扇出等。为了避免在这种情况下对每一个指标的冗长而乏味的鉴定工作,逻辑阵列厂商可以使用一种芯片,这是一种以最坏情况的电路构造成的,并且在任何用户布线布置而言最坏的加工环境(这种情况对用户设计来说一般不可能达到)下制成的特殊芯片。被称为可靠性测试条的该芯片不仅为半导体工艺提供了它所生产出来的器件的最大的工作范围,而且提供了大量用来鉴定器件长期可靠性的统计数据。得克萨斯仪器公司正是设计了这样一个肖特基晶体管逻辑测试条为它的 TAT008 门阵列——一个有 1008 个门,延迟时间为 2.5 毫微秒的 STL 芯片建立了可靠性资料。虽然 STL 是一种已被公认的技术,但在大面积结构上尚有一些问题还未解决,这些问题已由本文所描述的测试条给出了解答。

040106 使用多路转换检术的 16 通道逻辑分析仪的拆卸器 [英]/Wilding, C. // Electron. Ind., 1983, 9

(10), -12~13

用存储足够信息来定义一个8位微处理器周期的方法显然要求有27~30位的有效存储宽度,这依处理器的不同而不同。借助一个16通道逻辑分析仪,可通过多路传输将信息送入一个相连的存储单元。每个16位字的一位用作一个标志,指示这个字所包含的周期信息的哪半个周期。每个用于Thandar公司的TA2160逻辑分析仪的微处理器个性槽口(personality pod)都有与它们所支持的处理器相适应的多路传输硬件。每个槽口能支持微处理器的最高档速度,具有高阻抗输入使目标系统的负载减至最小,且允许与CMOS器件一起使用。例如,TAZ80P槽口支持具有8MHz时钟的Z80H,槽口的硬件设计成这样,若槽口或分析器本身的供电被中断,目标系统也不崩溃。作为一个例子,作者分析了Z80的时序图。

040107 用定时验证证实集成电路设计技术Ⅲ [英]/Rappaport, A. // EDN, -1983, 28(24), -147~162

第二部分请见同刊1983年10月号第231页。作者用定时验证方法对所设计的芯片实行了分析,它证明了有创见的逻辑设计和模拟达到了稳定的、可预见的电路特性。为了验证电路的定时特性,作者使用了交互式定时验证仪,这个仪器是Mentor图像公司的Idea Series工作站的一个部件。程序用包含最小和最大传输-延迟赋值的定时模型计算了最佳情况和最坏情况下的通路延迟。

040108 今日逻辑分析:光点屏,功能键与项目单技术 [瑞典]/Persson, M. // Eltek, Aktuell Elektronik, -1983, 26(17), -88~90

今天的逻辑分析仪非常复杂,仅有控制仪器的键已显得不够。新的改进包括:项目单技术、求助消息(help messages)、光点屏(optical point screens)与功能键。

040109 低温逻辑测试 [英]/Herrcil, D. J. // IBM Tech. Disclosure Bull., -1983, 26(5), -2581~2582

设计约瑟夫逊逻辑芯片是为了不用反相器,只需通过使用完备逻辑即可进行数字设计。该芯片不管交流信号是否存在都允许测试,因此消除了与长线接收机芯片电路上交流信号电平识别有关的测试问题。作者讨论了该测试技术及其应用。

040110 冗余测定 [英]/Roth, J. P. // IBM Tech. Disclosure Bull., -1983, 26(5), -2622

本文描述了一个用于程序控制逻辑阵列最小化和近似最小化过程的方法(更一般地,即2级逻辑实际构造),它期望能确定对于一个立方集合(其总体定义了某个立方函数),一个给定的立方,不论它是单输出还是多输出,是否冗余。参2

040111 基于符号差测试的诊断 [英]/Barzilai, Z. ... // IBM Tech. Disclosure Bull., -1983, 26(5), -2637~2644

诊断性能已被加到测试VLSI(超大规模集成电路)的符号差方法中去。大量的随机测试模式被运行通过被测的电路,所得到的输出位信息经压缩后形成一个相对来说较短的称为符号差的位串。

040112 异步电路的协调(coherent)设计 [英]/Vingron, P. // IEE Proc. E., -1983, 130(6), -190~202

本文给出了一个异步时序电路设计方法。该方法基于待设计电路特性的无歧义树表示,这种表示法取消了合并流程表及内状态编码这两个需要。但该方法仍有一个缺点,它并非总是得到内状态的最小数。参14

040113 一个逻辑测试仪的实际结构 [西班牙]/Rey, J. M. // Rev. Esp. Electron., -1983, 30(347), -34~35, 38

本文描述一个用于检测超短脉冲信号的新测量设备。这个设备已被研制成功,结果使发光二极管比原来要亮得多。该设备使用了半个4098集成电路,检测出了比0.3μs还要短的脉冲信号。本文还描述了一些小改进,略述了该设备的装配过程。

040114 数字设计技术Ⅷ [西班牙]/Posiello, J. // Rev. Esp. Electron., -1983, 30(347), -91~93

第七部分请见同刊1983年30卷345/6期48页。本文讨论逻辑电路的测试,描述了逻辑监视器和逻辑开关,略述了简单的逻辑测试仪的使用。

040115 数字设计技术Ⅸ [西班牙]/Posiello, J. // Rev. Esp. Electron., -1983, 30(348), -87~89

第八部分请见同刊1983年30卷347期91页。逻辑脉动器是数字设备的一个基本部件,因此作者描述了一个低价高质量的RE脉动器。该脉动器适用于测试用户一般必然会涉及到的所有逻辑电路以及用于各种目的的TTL和CMOS逻辑电路,具有从1.5到3μs的可变脉冲宽度,电流消耗极小。按一下按钮发一串连续脉冲,若连续按钮则以每秒100个脉冲的速率发一串连续脉冲。本文描述了除在输出端消除电压瞬变方法之外的此电路所用到的所有技术。

040116 逻辑状态分析仪 [西班牙]/Schuchner, J. ... // Rev. Telegr. Electron., -1983, 71(842), -632~637, 641

本文描述一逻辑状态分析仪的工作原理。藉此可对数字电路进行动态分析。分析的结果显示在CRT屏幕上,显示的内容为在实时运行环境下的逻辑电路的特性真值表。逻辑电路各部位的数据被顺序地取样、存储,然后在CRT上显示。时钟脉冲对取样过

程进行初始化,所要取样的数据的数量由操作者进行选择,同时在屏幕上显示以利分析。数据的选择与显示受计算机控制。分析的重要问题之一是研究在时钟脉冲的电位发生变化时的逻辑电路的特性。对这架逻辑分析仪工作原理的描述包括如下几个方面:对存储器的控制,系统所用方法的详细说明,数据的取样和存贮以及将数据读进存储器过程。本文附有电路图。参6

040117 BM 583逻辑分析仪[捷克]/Bartak, S. ... // Sdelovaci Tech.,-1983, 31(11).-423~427

本文首先说明了逻辑分析的基本作用是在于对同步系统和异步系统的研究,以及指出第一代和第二代逻辑分析仪在所提供的不同设备方面的差异,然后讨论了BM 583逻辑分析仪的机器性能,包括各种监视方式和时间图的使用,也给出了使用BM 583对微计算机系统进行诊断的例子,同时对使用第一代逻辑分析仪所进行的分析作了比较。逻辑分析仪是数字系统开发和维护的极宝贵的辅助工具,它为系统诊断提供了一个快速和系统的方法。参5

040118 可编程逻辑阵列的并发位可测试设计[日]/Yamada, T. // 电子通信学会论文誌(D),-1983, J66D(8),-932~938

基于作用于所有输入组合然后在输出端计算逻辑1的个数的并发位测试方法已被应用于可编程逻辑阵列(PLA)的故障检测。本文首先研究具有单固定故障、单桥接故障或单交叉点故障的PLA的并发位性质,然后给出一个扩充的PLA设计,对这个扩充PLA,上述所有故障变为并发位可测的。本文还给出了更进一步的扩充PLA设计,在那可对每一个具有适当输入数目的电路进行并发位测试以减少必要的测试长度。参19

040119 实际的逻辑分析Ⅲ:数据记录[德]/Müller, M. // Und-oder-Nor+Steuerungstech.,-1983, (10) ...-17~19

040120 确定和推导自动同步电路设计协议的代数基础[会,英]/Purushothaman, S. ... // VLSI '83, Proceedings of the IFIP TC WG 10.5 International Conference on Very Large Scale Integration: 1983, 8, 16~19: Trondheim, Norway.-Amsterdam, Netherlands: North-Holland, 1983.-133~144

本文给出适用于代数表征自动同步电路的Seitz“弱条件”的二个相当直观的条件。已证明这二个条件包含了由Owicki和Malachi提出的12个暂存逻辑条件,这12个条件试图表示弱条件以及自动同步电路必须满足的某些性质。本文所提出的这个包含上述二个

条件的设计协议,已通过对一个用于自动同步状态机器设计协议的正确性证明,说明了它在形式上是可用的,即证明了此协议的确满足弱条件。此设计协议已被用于设计一个完整的自动同步数据驱动器(DDM2)和CMOS及NMOS中的小型自动同步部件。参7

040121 任意结构的VLSI超前进位加法器的内部测试[会,英]/Montoye, R. K. ... // VLSI '83, Proceedings of the IFIP TC WG 10.5 International Conference on Very Large Scale Integration: 1983, 8, 16~19: Trondheim, Norway.-Amsterdam, Netherlands: North-Holland, 1983.-361~371

本文描述超前进位加法器的一组典型的测试码模式及其常规片上生成。测试任何一个N位超前进位加法器的所有物理故障,包括单固定故障,多固定故障和输出端之间的桥接故障,大约需要 $2N^2$ 个测试码模式,对特殊单元的测试还需包括附加的故障模型。若超前进位加法器的单元电路是用“与-或-非”结构实现,则任何其输入变量或为全正或为全负的函数故障皆可被检测。若单元电路用PLA实现,则该测试将检测任何故障而不增加器件的乘积线数目。测试序列和结果向量可在芯片上生成,也可用二个N-位移位寄存器,二个N-位锁存器和一些O(N)门实现硬件生成,或者用软件方法生成;利用ALU的加法器的逐位运算功能,将额外的硬件减少为ROM中的一段小的测试模型/结果向量发生器程序。参10

040122 采用PLA宏功能的可测试设计[会,英]/Somenzi, F. ... // VLSI '83, Proceedings of the IFIP TC WG 10.5 International Conference on Very Large Scale Integration: 1983, 8, 16~19: Trondheim, Norway.-Amsterdam, Netherlands: North-Holland, 1983.-373~382

VLSI系统的复杂性迫使趋向采用结构化方法以减少设计时间和测试生成时间,而PLA和扫描通路已被广泛地报道为是一条可取得成效的进攻途径。作者给出了一个易于实现的可测试结构和有关的测试策略。电路被假定为采用组合宏功能内联,这些宏功能绝大部分由PLA实现;测试是局部生成的,然后通过初级输入和输出来表示,这里使用拓扑方法作为总策略,使用代数技术通过宏功能传输信号,传播过程由一些新算法处理。由于测试生成问题的NP难解,因此本文介绍了一组测试法以使计算量保持在合理的范围内。参10

040123 使用线性码的VLSI电路测试[会,英]/Tang, D. T. ... // TENCON 82, VLSI and Microcomputers: Today and Tomorrow, Proceedings of the First IEEE Trends in Electronics Conference: