

EDA技术与 PLD设计

◎ 徐志军 王金明 尹廷辉 苏 勇 编著



人民邮电出版社
POSTS & TELECOM PRESS

EDA 技术与 PLD 设计

徐志军 王金明 尹廷辉 苏勇 编著

人民邮电出版社

图书在版编目 (CIP) 数据

EDA 技术与 PLD 设计 / 徐志军等编著. —北京: 人民邮电出版社, 2006.2

ISBN 7-115-13796-X

I. E... II. 徐... III. ①电子电路—电路设计: 计算机辅助设计②可编程序逻辑器件—系统设计 IV. ①TN702②TP332.1

中国版本图书馆 CIP 数据核字 (2006) 第 011307 号

内 容 提 要

本书根据电子类课程课堂教学和实验要求,以提高学生的实践动手能力和工程设计能力为目的,对 EDA 技术和 PLD 设计的相关知识进行了系统和全面的介绍。本书内容新颖,技术先进,由浅入深,既有关于 EDA 技术、大规模可编程逻辑器件和 VHDL 硬件描述语言的系统介绍,又有丰富的设计应用实例。

本书可作为高等院校电子、通信、雷达、计算机应用、工业自动化、仪器仪表、信号与信息处理等学科本科生或研究生的 EDA 技术或数字系统设计课程的教材和实验指导书,也可作为相关科研人员的技术参考书。

EDA 技术与 PLD 设计

◆ 编 著 徐志军 王金明 尹廷辉 苏 勇

责任编辑 杨 凌

◆ 人民邮电出版社出版发行 北京市崇文区夕照寺街 14 号

邮编 100061 电子函件 315@ptpress.com.cn

网址 <http://www.ptpress.com.cn>

北京隆昌伟业印刷有限公司印刷

新华书店总店北京发行所经销

◆ 开本: 787×1092 1/16

印张: 20

字数: 480 千字

2006 年 2 月第 1 版

印数: 1—4 500 册

2006 年 2 月北京第 1 次印刷

ISBN 7-115-13796-X/TN · 2553

定价: 30.00 元

读者服务热线: (010) 67129258 印装质量热线: (010) 67129223

前 言

目前 EDA 技术和 PLD 设计在大多数高校已经成为一门重要的专业基础课。EDA 技术的发展,使得现代数字系统设计从设计思想、设计工具一直到实现方式都发生了诸多变化,因此在开展这门课程时,怎样体现出这种变化,怎样在有限的学时内,突出重点,使学生掌握数字系统设计和 EDA 技术的精髓,是从事 EDA 教学的老师所面临和思考的问题。

我们认为在 EDA 教学中应注意如下几点。

首先是要明确最基本的教学内容,并突出重点。EDA 技术教学的目的是使学生掌握一种通过软件的方法来高效地完成硬件设计的设计技术,应以培养学生的创新思维和设计思想为主,同时使学生掌握基本的设计工具和设计方法。

其次是要改善教学方法。EDA 教学应主要以引导性教学为主,合理安排理论教学和实验教学的学时比例,使学生能够理论联系实际,以提高实际动手能力和工程设计能力。

再次就是要注重教学实效。EDA 课程具有很强的实践性,针对性强的实验应该是教学的重要环节,应格外重视 EDA 实验的质量。

基于以上的认识,我们安排了本书的章节,本书是以 PLD 器件、EDA 设计工具、VHDL 硬件描述语言三方面内容为主线展开的,贯穿其中的则是现代数字设计的新思想、新方法。

全书共 8 章。

第 1 章对 EDA 技术作了综述,解释了有关的概念。第 2 章介绍 PLD 器件的发展、分类,CPLD/FPGA 器件的结构与特点,以及设计流程等。第 3 章具体介绍了 Altera 的 CPLD/FPGA 器件的结构与功能。

第 4 章以具体的实例,介绍用 Quartus II、MAX+plus II 软件进行原理图设计开发的过程。第 5 章介绍基于 VHDL 语言的设计过程以及典型 EDA 软件工具的使用方法。

第 6 章介绍 VHDL 语言的语法、语句,以及常用组合电路和时序电路的 VHDL 设计。第 7 章结合具体实例阐述数字系统设计的方法。第 8 章进一步介绍 VHDL 在通信系统中的应用。

本书由徐志军教授主编,按章节顺序,第 1、2 章由徐志军执笔,第 3、4、5 章由王金明执笔,第 6、7 章由尹廷辉执笔,第 8 章由苏勇执笔,全书由王金明统稿。此外,徐光辉、李建中老师对本书的编写提出了具体意见和建议,杭州电子科技大学的潘松老师也给予了支持和帮助,在此表示衷心的感谢。

本书是几位老师在多年 EDA 教学经验的基础上精心编写而成的,虽经很大努力,但由于作者水平所限,加之时间仓促,书中错误与疏漏之处在所难免,真诚希望同行和广大读者批评指正。

作 者

2005 年 11 月于南京

目 录

第 1 章 EDA 技术概述	1
1.1 EDA 技术及其发展概况	1
1.2 EDA 技术的基本特征和设计工具	3
1.2.1 EDA 技术的基本特征	3
1.2.2 EDA 设计工具	5
1.2.3 EDA 技术的优势	8
1.3 EDA 技术的实现目标 and 设计流程	9
1.3.1 EDA 技术的实现目标	10
1.3.2 EDA 设计主要流程	11
1.3.3 数字集成电路的设计流程	12
1.3.4 模拟集成电路的设计流程	13
1.4 硬件描述语言	14
1.4.1 VHDL	15
1.4.2 Verilog HDL	15
1.4.3 ABEL-HDL	16
1.4.4 Verilog HDL 和 VHDL 的比较	17
1.5 EDA 技术与 ASIC 设计	18
1.5.1 ASIC 的特点与分类	18
1.5.2 ASIC 的设计方法	19
1.5.3 IP 核复用技术与 SOC 设计	21
1.6 EDA 技术的发展趋势	24
习题	26
第 2 章 可编程逻辑器件基础	27
2.1 概述	27
2.1.1 可编程逻辑器件发展历程	27
2.1.2 可编程逻辑器件分类	28
2.1.3 可编程逻辑器件的优势	31
2.2 PLD 器件的基本结构	31
2.2.1 基本结构	32
2.2.2 电路符号	33
2.2.3 PROM	34

2.2.4	PLA	35
2.2.5	PAL	37
2.2.6	GAL	38
2.3	CPLD/FPGA 的结构特点	39
2.3.1	Lattice 公司的 CPLD/FPGA	40
2.3.2	Xilinx 公司的 CPLD/FPGA	42
2.3.3	Altera 和 Actel 公司的 CPLD/FPGA	45
2.4	可编程逻辑器件的基本资源	45
2.4.1	功能单元	46
2.4.2	输入—输出焊盘	47
2.4.3	布线资源	47
2.4.4	片内 RAM	50
2.5	可编程逻辑器件的编程元件	50
2.5.1	熔丝型开关	51
2.5.2	反熔丝型开关	51
2.5.3	浮栅编程元件	52
2.5.4	基于 SRAM 的编程元件	55
2.6	可编程逻辑器件的设计与开发	55
2.6.1	CPLD/FPGA 设计流程	56
2.6.2	CPLD/FPGA 开发工具	58
2.7	可编程逻辑器件的测试技术	61
2.7.1	边界扫描测试法概述	61
2.7.2	JTAG 边界扫描寄存器	62
2.7.3	JTAG BST 的操作控制	64
	习题	66
第 3 章	Altera 的 CPLD/FPGA	68
3.1	概述	68
3.2	Altera 的 CPLD 结构特点	72
3.3	Altera 的 FPGA 结构特点	76
3.3.1	ACEX 1K 器件的结构	76
3.3.2	APEX 20K/20KE 器件的结构	83
3.4	Altera 的 CPLD/FPGA 的配置	94
3.4.1	ByteBlaster 及其使用	94
3.4.2	CPLD 器件的配置	96
3.4.3	FPGA 器件的配置	97
	习题	102
第 4 章	原理图输入设计方式	103
4.1	原理图设计的流程	103

4.2 Quartus II 原理图设计	106
4.2.1 半加器原理图输入	106
4.2.2 半加器编译	111
4.2.3 半加器仿真	113
4.2.4 全加器设计与仿真	116
4.3 MAX+plus II 原理图设计	118
4.3.1 原理图设计输入	118
4.3.2 编译与手动调整	123
4.3.3 仿真与时间特性分析	127
4.3.4 编程下载	131
4.4 基于 LPM 宏单元库的设计	134
4.4.1 LPM 宏单元库	134
4.4.2 LPM 设计举例	136
习题	138
第 5 章 HDL 输入设计方式	141
5.1 HDL 输入设计的流程	141
5.2 MAX+plus II 的 VHDL 输入设计	142
5.2.1 源文件编辑输入	142
5.2.2 编译、仿真与测试	145
5.2.3 MAX+plus II 在 Windows 2000 上的安装设置	151
5.3 Quartus II 的 VHDL 输入设计	151
5.3.1 创建工程文件	151
5.3.2 编译	153
5.3.3 仿真	155
5.4 Quartus II 设计正弦信号发生器	157
5.4.1 顶层 VHDL 文件设计	157
5.4.2 正弦信号数据 ROM 定制	161
5.4.3 仿真与测试	164
5.4.4 使用嵌入式逻辑分析仪进行实时测试	167
5.5 Synplify Pro 的 VHDL 输入设计	170
5.5.1 用 Synplify Pro 综合的过程	172
5.5.2 Synplify Pro 与 MAX+plus II 的接口	176
5.5.3 Synplify Pro 与 Quartus II 的接口	177
5.6 Synplify 的 VHDL 输入设计	178
习题	182
第 6 章 VHDL 语言初步	183
6.1 VHDL 的程序结构	183

6.1.1 半加器的 VHDL 描述	183
6.1.2 实体	184
6.1.3 结构体	185
6.2 VHDL 的基本语法	187
6.2.1 数据对象	187
6.2.2 数据类型	189
6.2.3 VHDL 的运算操作符	190
6.3 并行赋值语句	191
6.3.1 简单信号赋值语句	191
6.3.2 条件信号赋值语句 (when-else 语句)	192
6.3.3 选择信号赋值语句 (with-select 语句)	193
6.4 进程 (process) 语句	193
6.5 顺序赋值语句	195
6.5.1 if 语句	195
6.5.2 case 语句	196
6.6 VHDL 描述组合逻辑电路	197
6.6.1 七段显示译码器	197
6.6.2 双向总线	198
6.6.3 优先编码器	199
6.6.4 8 位加法器	200
6.7 VHDL 描述时序逻辑电路	201
6.7.1 触发器	201
6.7.2 寄存器	203
6.7.3 计数器	204
6.7.4 状态图描述	206
习题	207
第 7 章 VHDL 数字系统设计方法及举例	210
7.1 结构化设计与举例	210
7.1.1 结构化设计方法	210
7.1.2 结构化设计举例——数字跑表	213
7.1.3 结构化设计举例——数字频率计	220
7.1.4 结构化设计举例——音乐演奏电路	223
7.2 寄存器传输级设计及举例	227
7.2.1 算术状态机	227
7.2.2 寄存器传输级定义	229
7.2.3 寄存器传输级设计方法	230
7.2.4 寄存器传输级设计举例——二进制乘法器	234
7.2.5 寄存器传输级设计举例——正负脉宽数控信号发生器	237

7.2.6 寄存器传输级设计举例——十字路口交通信号控制系统	240
习题	243
第 8 章 VHDL 在通信系统中的应用实例	246
8.1 时钟匹配队列	246
8.1.1 时钟匹配队列原理	246
8.1.2 从算法模型到 VHDL 描述的转换	247
8.2 BCH 编码和译码	250
8.2.1 BCH 编码原理	250
8.2.2 BCH 的译码	254
8.2.3 BCH 译码的校正子计算实例代码	258
8.3 块交织和反交织	267
8.3.1 交织器基本原理	267
8.3.2 块交织实现原理	268
8.3.3 交织/解交织实现代码	270
8.4 卷积编码和 Viterbi 译码	277
8.4.1 卷积编码原理	277
8.4.2 卷积编码的实现代码	278
8.4.3 Viterbi 译码的基本原理	281
8.4.4 Viterbi 译码的实现	282
8.4.5 Viterbi 译码实例代码	285
习题	299
附录 EDA 实验系统简介	300
参考文献	307

第 1 章 EDA 技术概述

人类社会已进入到高度发达的 21 世纪信息化时代, 信息社会的发展离不开电子产品的进步。现代电子产品在性能提高、复杂度增大的同时, 价格却一直呈下降趋势, 而且产品更新换代的步伐也越来越快, 实现这种进步的主要原因就是生产制造技术和电子设计技术的发展。前者以微细加工技术为代表, 目前已进展到深亚微米阶段, 可以在几平方厘米的芯片上集成数千万个晶体管; 后者的核心就是 EDA 技术。没有 EDA 技术的支持, 想要完成上述超大规模集成电路的设计制造是不可想象的, 反过来, 生产制造技术的不断进步又必将对 EDA 技术提出新的要求。

1.1 EDA 技术及其发展概况

集成电路与计算机技术的迅速发展, 以计算机辅助设计 (CAD, Computer Aided Design) 为基础的电子设计自动化 (EDA, Electronic Design Automation) 技术已经渗透到电子系统和专用集成电路设计的各个环节, 成为电子学领域的重要学科, 并已经形成了一个独立的产业。EDA 是指以计算机为工作平台, 融合了应用电子技术、计算机技术、智能化技术最新成果而研制成的电子 CAD 通用软件包, 主要能辅助进行三方面的设计工作: 集成电路 (IC) 设计、电子电路设计以及 PCB 设计。采用 EDA 技术, 用计算机进行模拟、检验、布图, 不但能大大减轻人工劳动, 缩短设计周期, 提高设计的可靠性, 而且可以在产品生产之前进行各种设计方案的比较、参数的优选, 从而提高了设计的质量。

EDA 技术的发展历程同微电子技术、计算机技术以及设计工艺的发展是同步的。回顾 30 多年来电子设计技术的发展历程, 可将电子设计自动化技术大致分为三个发展阶段。

20 世纪 70 年代到 80 年代初为 CAD 阶段, 也是 EDA 技术发展的初级阶段。这一阶段由于受到计算机的运行速度、存储量和图形功能等方面的限制, 电子 CAD 和 EDA 技术没有形成系统, 仅是一些孤立的软件程序。这些软件程序在逻辑仿真、印制电路板 (PCB) 布局布线和 IC 版图编辑等方面取代了设计人员烦琐的手工计算和操作, 大大提高了电子系统和集成电路设计的效率和可靠性, 从而产生了计算机辅助设计的概念。但这些软件一般只有简单的人机交互能力, 能处理的电路规模不是很大, 计算和绘图的速度都受到限制, 而且由于没有采用统一的数据库管理技术, 程序之间的数据传输和交换也不方便。

20 世纪 80 年代中后期为 CAE 阶段, 也是 EDA 技术发展的中级阶段。这一阶段计算机与集成电路技术得到了高速发展, CAD 软件主要用来实现模拟与数字电路仿真、集成电路的布局布线、IC 版图参数提取与验证、印制电路板的布图与检验以及设计文档制作等各设计阶段的自动设计。将这些工具软件集成为一个有机的 EDA 系统, 在工作站或超级微机上运行,

它具有直观、友好的图形界面，可以用电原理图的形式输入，以图形菜单的方式选择各种仿真工具和不同的模拟功能。每个工具软件都有自己的元件库，工具之间有统一的数据库进行数据存放、传输和管理。与初期的 CAD 相比，这一阶段的软件除了能进行纯粹的图形绘制功能外，又增加了电路功能设计和结构设计，并且通过电气连接网络表将两者结合在一起，以实现工程设计，这就是计算机辅助工程（CAE，Computer Aided Engineering）的概念。

20 世纪 90 年代以后是设计自动化阶段，也是 EDA 技术发展的高级阶段。这个时期微电子技术以惊人的速度发展，一个芯片上可以集成几千万只晶体管，超高速数字集成电路的工作速率已经达到 10Gbit/s 以上，射频集成电路的最高工作频率已超过 6GHz。电子系统朝着多功能、高速度、智能化的趋势发展，如数字音频广播（DAB）与音响系统、高清晰度电视（HDTV）、多媒体信息处理与传播、光通信等电子系统，它们对集成电路和专用集成电路（ASIC）的容量、速度、频带等都提出了更高的要求，这种高难度的 IC 要在短时间内正确地设计成功，必须将 EDA 技术提高到一个更高的水平。另一方面，随着集成度的提高，一个复杂的电子系统可以在一个集成电路芯片上实现，这就要求 EDA 系统能够从电子系统的功能和行为描述开始，综合设计出逻辑电路，并自动地映射到可供生产的 IC 版图，我们称之为集成电路的高级设计。因此，90 年代后的 EDA 系统真正具有了自动化设计能力，EDA 技术推向成熟和实用。用户只要给出电路的性能指标要求，EDA 系统就能对电路结构和参数进行自动化处理和综合，寻找最佳设计方案，通过自动布局布线功能将电路直接形成集成电路的版图，并对版图的面积及电路延时特性作优化处理。

进入到 21 世纪以后，EDA 技术得到了更大的发展，开始步入了一个崭新的时期，突出地表现在以下几个方面：

（1）电子技术各个领域全方位融入 EDA 技术，除了日益成熟的数字技术外，传统的电路系统设计建模理念发生了重大的变化：软件无线电技术的崛起，模拟电路硬件描述语言的表达和设计标准化，系统可编程模拟器件的出现，数字信号处理和图像处理的全硬件实现方案的推出，软硬件技术的进一步融合等。

（2）IP（Intellectual Property，知识产权）核在电子行业的产业领域、技术领域和设计领域得到了广泛的应用，基于 IP 核的 SOC（System On a Chip，片上系统）高效低成本设计技术趋向成熟，电子设计成果以自主知识产权的方式得以明确表达和确认成为可能。

（3）在 FPGA（Field Programmable Gate Array，现场可编程门阵列）实现 DSP（数字信号处理）应用成为可能，用纯数字逻辑进行 DSP 模块的设计，使得高速 DSP 实现成为现实，并有力地推动了软件无线电技术的实用化。基于 FPGA 的 DSP 技术为高速数字信号处理算法提供了实现途径。

（4）嵌入式微处理器软核的出现，更大规模的 FPGA/CPLD 器件的不断推出，使得 SOPC（System On a Programmable Chip，可编程片上系统）步入了大规模应用阶段，在一片 FPGA 芯片中实现一个完备的数字信号处理系统成为可能。

（5）在仿真和设计两方面支持标准硬件描述语言的 EDA 软件不断推出，系统级、行为验证级硬件描述语言的出现（如 System C）使得复杂电子系统的设计和验证趋于简单。

（6）EDA 技术使得电子领域各学科的界限更加模糊，更加相互包容和渗透，如模拟与数字、软件与硬件、系统与器件、ASIC 与 FPGA、行为与结构等，基于 EDA 工具的 ASIC 设计标准单元已涵盖大规模电子系统及 IP 核模块。

综上所述, EDA 技术在硬件实现方面融合了大规模集成电路制造技术、IC 版图设计技术、ASIC 测试和封装技术、FPGA/CPLD 编程下载技术、自动测试技术等;在工程实现方面融合了计算机辅助设计 (CAD)、计算机辅助制造 (CAM)、计算机辅助测试 (CAT)、计算机辅助工程 (CAE) 技术以及多种计算机语言的设计概念;而在现代电子学方面则容纳了更多的内容, 如电路基础理论、数字信号处理技术、数字系统建模后优化设计技术等。因此, 现代 EDA 技术已经不是某一学科的分支或某种新的技能技术, 而应该是一门综合性学科。它融合多学科于一体, 又渗透于各学科之中, 打破了软件与硬件间的壁垒, 使计算机的软件技术与硬件实现、设计效率和产品性能合二为一, 它代表了现代电子设计技术和应用技术的发展方向。

1.2 EDA 技术的基本特征和设计工具

在现代电子系统设计领域, EDA 技术已经成为电子系统设计的重要手段。无论是设计数字系统还是集成电路芯片, 其设计作业的复杂程度都在不断增加, 仅仅依靠手工进行设计已经不能满足要求, 所有的设计工作都需要在计算机上借助于 EDA 软件工具进行。在 EDA 软件的支持下, 设计者只需完成对系统功能的描述, 就可以由计算机软件进行处理, 得到设计结果, 修改设计如同修改软件一样方便。利用 EDA 设计工具, 设计者可以预知设计结果, 减少设计的盲目性, 极大地提高设计的效率。

1.2.1 EDA 技术的基本特征

现代 EDA 技术的基本特征是采用高级语言描述, 具有系统级仿真和综合能力, 具有开放式的设计环境, 具有丰富的元件模型库等。下面介绍与这些基本特征有关的几个概念。

1. 硬件描述语言设计输入

用硬件描述语言进行电路与系统的设计是当前 EDA 技术的一个重要特征, 硬件描述语言输入是现代 EDA 系统的主要输入方式。统计资料表明, 在硬件描述语言和原理图两种输入方式中, 前者约占 70% 以上, 并且这个趋势还在继续增长。与传统的原理图输入设计方法相比较, 硬件描述语言更适合于规模日益增大的电子系统, 它还是进行逻辑综合优化的重要工具。硬件描述语言使得设计者在比较抽象的层次上描述设计的结构和内部特征, 其突出优点是: 语言的公开可利用性, 设计与工艺的无关性, 宽范围的描述能力, 便于组织大规模系统的设计, 便于设计的复用和继承等。

2. “自顶向下”设计方法

近 10 年来, 电子系统的设计方法发生了很大的变化。过去, 电子产品设计的基本思路一直是先选用标准通用集成电路芯片, 再由这些芯片和其他元件自下而上地构成电路、子系统和系统。这样设计出的电子系统所用元件的种类和数量均较多、体积功耗大、可靠性差。随着集成电路技术的不断进步, 半导体集成电路也由早期的单元集成、部件电路集成发展到整机电路集成和系统电路集成。电子系统的设计方法也由过去的那种集成电路厂家提供通用

芯片，整机系统用户采用这些芯片组成电子系统的“Bottom-up”（自底向上）设计方法改变为一种新的“Top-down”（自顶向下）设计方法。在这种新的设计方法中，由整机系统用户对整个系统进行方案设计和功能划分，系统的关键电路用一片或几片专用集成电路（ASIC）来实现，且这些专用集成电路是由系统和电路设计师亲自参与设计的，直至完成电路到芯片版图的设计，再交由 IC 工厂投片加工，或者是用可编程 ASIC（CPLD 和 FPGA）现场编程实现。图 1.1 所示为电子系统的两种不同的设计步骤。

“自顶向下”法是一种概念驱动的设计方法。该方法要求在整个设计过程中尽量运用概念（即抽象）去描述和分析设计对象，而不要过早地考虑实现该设计的电路、元器件和工艺，以便抓住主要矛盾，避免纠缠在具体细节上，这样才能控制住设计的复杂性。整个设计在概念上的演化从顶层到底层应当逐步由概括到展开，由粗略到精细。只有当整个设计在概念上得到验证与优化后，才能考虑“采用什么电路、元器件和工艺去实现该设计”这类具体问题。

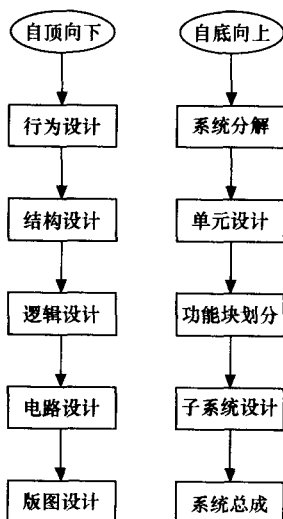


图 1.1 “自顶向下”与“自底向上”设计

在进行“自顶向下”的设计时，首先从系统级设计入手，在顶层进行功能方框图的划分和结构设计；在方框图一级进行仿真、纠错，并用硬件描述语言对高层次的系统行为进行描述；在功能一级进行验证，然后用逻辑综合优化工具生成具体的门级逻辑电路的网表，其对应的物理实现级可以是印刷电路板或专用集成电路。而“自底向上”的设计方法一般是在系统划分和分解的基础上先进行单元设计，在单元的精心设计后逐步向上进行功能块设计，然后再进行子系统的设计，最后完成系统的总成设计。“自顶向下”设计方法有利于在早期发现结构设计中的错误，提高设计的一次成功率，因而在现代 EDA 系统中被广泛采用。

3. 逻辑综合与优化

逻辑综合是 20 世纪 90 年代电子学领域兴起的一种新的设计方法，是以系统级设计为核心的高层次设计。逻辑综合是将最新的算法与工程界多年积累的设计经验结合起来，自动地将用真值表、状态图或 VHDL 硬件描述语言等所描述的数字系统转化为满足设计性能指标要求的逻辑电路，并对电路进行速度、面积等方面的优化。

逻辑综合的特点是将高层次的系统行为设计自动翻译成门级逻辑的电路描述,做到了设计与工艺的相互独立。逻辑综合的作用是根据一个系统的逻辑功能与性能的要求,在一个包含众多结构、功能和性能均已知的逻辑元件的逻辑单元库的支持下,寻找出一个逻辑网络结构的最佳的(至少是较佳的)实现方案。逻辑综合的过程主要包含以下两个方面:

(1) 逻辑结构的生成与优化。主要是进行逻辑化简与优化,达到尽可能地用较少的元件和连线形成一个逻辑网络结构(逻辑图)、满足系统逻辑功能的要求。

(2) 逻辑网络的性能优化。利用给定的逻辑单元库,对已生成的逻辑网络进行元件配置,进而估算实现该逻辑网络的芯片的性能与成本。性能主要指芯片的速度,成本主要指芯片的面积与功耗。速度与面积或速度与功耗是矛盾的,这一步允许使用者对速度与面积或速度与功耗相矛盾的指标进行性能与成本的折衷,以确定合适的元件配置,完成最终的、符合要求的逻辑网络结构。

4. 开放性和标准化

开放式的设计环境也称之为框架结构(Framework)。框架是一种软件平台结构,它在 EDA 系统中负责协调设计过程和管理设计数据,实现数据与工具的双向流动,为 EDA 工具提供合适的操作环境。框架结构的核心是可以提供与硬件平台无关的图形用户界面以及工具之间的通信、设计数据和设计流程的管理等,还包括各种与数据库相关的服务项目。

任何一个 EDA 系统只要建立了一个符合标准的开放式框架结构,就可以接纳其他厂商的 EDA 工具一起进行设计工作。框架结构的出现,使国际上许多优秀的 EDA 工具可以合并到一个统一的计算机平台上,成为一个完整的 EDA 系统,充分发挥每个设计工具的技术优势,实现资源共享。在这种环境下,设计者可以更有效地运用各种工具,提高设计质量和效率。

近年来,随着硬件描述语言等设计数据格式的逐步标准化,不同设计风格和应用的要求导致各具特色的 EDA 工具被集成在同一个工作站上,从而使 EDA 框架标准化。新的 EDA 系统不仅能够实现高层次的自动逻辑综合、版图综合和测试码生成,而且可以使各个仿真器对同一个设计进行协同仿真,从而进一步提高了 EDA 系统的工作效率和设计的正确性。

5. 库(Library)

EDA 工具必须配有丰富的库(元器件图形符号库、元器件模型库、工艺参数库、标准单元库、可复用的电路模块库、IP 库等)才能够具有强大的设计能力和较高的设计效率。

在电路设计的每个阶段,EDA 系统需要各种不同层次、不同种类的元器件模型库的支持。例如,原理图输入时需要元器件外形库,逻辑仿真时需要逻辑单元的功能模型库,电路仿真时需要模拟单元和器件的模型库,版图生成时需要适应不同层次和不同工艺的底层版图库,测试综合时需要各种测试向量库等等。每一种库又按其层次分为不同层次的单元或元素库,例如逻辑仿真的库又按照行为级、寄存器级和门级分别设库。而 VHDL 语言输入所需的库则更为庞大和齐全,几乎包括了上述所有库的内容。各种模型库的规模和功能是衡量 EDA 工具优劣的一个重要标志。

1.2.2 EDA 设计工具

集成电路技术的进展不断对 EDA 技术提出新的要求,促进了 EDA 技术的发展。但是总

来说, EDA 系统的设计能力一直难以赶上集成电路技术的要求。EDA 工具的发展经历了两个大的阶段, 即物理工具和逻辑工具阶段。物理工具用来完成电路设计中的实际物理问题, 如芯片布局、印刷电路板布线等, 另外它还能提供一些设计的电气性能分析, 如设计规则检查。逻辑工具是基于网表、布尔逻辑、传输时序等概念的, 主要用于解决逻辑设计中的逻辑综合、仿真、优化等问题。

为了完成复杂的 VLSI 设计, 一个 EDA 系统至少应包括 10~20 个 CAD 工具。现在 EDA 技术和系统设计工具正逐渐被理解成一个整体的概念——电子系统设计自动化 (ESDA)。在过去 30 多年中, 人们开发了大量的计算机辅助设计工具来帮助集成电路的设计, 这些设计工具的分类如图 1.2 所示。

提供 EDA 设计工具的公司很多, 其中按市场所占份额排行为 Cadence、Mentor-Graphics 和 Synopsys。这三家都是集成电路设计领域相当有名的软件供应商。其他公司的软件相对来说使用者较少。中国华大公司也提供 ASIC 设计软件 (熊猫 2000); 另外, 近来出名的 Avanti 公司是原来在 Cadence 的几个华人工程师创立的, 他们的设计工具可以全面和 Cadence 公司的工具相抗衡, 非常适用于深亚微米的 IC 设计。

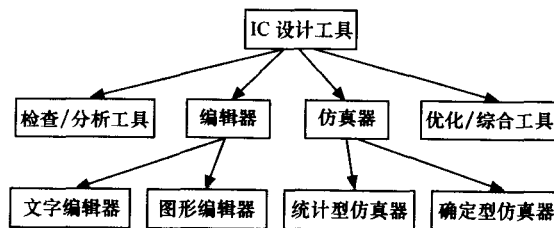


图 1.2 设计工具分类

EDA 工具在 EDA 技术应用中占据了极其重要的位置, 按照功能划分, EDA 工具大致可分为设计输入工具、检查/分析工具、优化/综合工具、仿真器、HDL 综合器、PCB 设计工具、适配器 (布局布线器) 以及下载器 (编程器) 等多个模块。

1. 设计输入工具 (编辑器)

这是任何一种 EDA 软件必须具备的基本功能。编辑器包括文字编辑器和图形编辑器。在系统级设计中文字编辑器用来编辑硬件系统的自然描述语言, 在其他层次用来编辑电路的硬件描述语言文本。在数字系统中的门级、寄存器级以及芯片级, 所用的描述语言通常为 VHDL 和 Verilog HDL, 在模拟电路级, 硬件描述语言通常为 SPICE 的文本输入。

图形编辑器可用于硬件设计的各个层次。在版图级, 图形编辑器用来编辑表示硅工艺加工过程的几何图形。在高于版图层次的其他级, 图形编辑器用来编辑硬件系统的方框图、原理图等。典型的原理图输入工具至少应包括以下三个组成部分:

(1) 基本单元符号库。主要包括基本单元的图形符号和仿真模型。

实际应用时, 硬件设计者除了采用基本单元和标准单元之外, 还应该能够使用原理图编辑器建立自己专用的图形符号以及相应的仿真模型, 加到基本单元符号库中, 供下次设计时使用。

(2) 原理图编辑器的编辑功能。

(3) 产生网表的功能。

2. 设计仿真工具 (仿真器)

使用 EDA 工具的一个最大好处是可以验证设计是否正确, 几乎每个公司的 EDA 产品都有仿真工具。仿真器又称模拟器, 主要用来帮助设计者验证设计的正确性。在硬件系统设计的各个层次都要用到仿真器。在数字系统设计中, 硬件系统由数字逻辑器件以及它们之间的互连来表示。仿真器的用途是确定系统的输入输出关系, 所采用的方法是把每一个数字逻辑器件映射为一个或几个进程, 把整个系统映射为由进程互连构成的进程网络, 这种由进程互连组成的网络就是设计的仿真模型。

3. 检查/分析工具

在集成电路设计的各个层次都会用到检查/分析工具。在版图级, 必须用设计规则检查工具来保证版图所表示的电路可以被可靠地制造出。在逻辑门级, 检查/分析工具可以用来检查是否有违反扇出规则的连接关系。时序分析器一般用来检查最坏情形时电路中的最大和最小延时。这方面 Cadence 的实力很强, 其 Dracula、Virtuso、Vampire 等物理验证工具有很多的使用者。

4. 优化/综合工具

优化/综合工具用来把一种硬件描述转换为另一种描述, 这里的转换过程通常伴随着设计的某种改进。在逻辑门级, 可以用逻辑最小化来对布尔表达式进行简化。在寄存器级, 优化工具可以用来确定控制序列和数据路径的最优组合。各个层次的综合工具可以将硬件的高层次描述转换为低层次描述, 也可以将硬件的行为描述转换为结构描述。这方面 Synopsys 工具占有较大的优势, 它的 Design Compile 是综合的工业标准。

5. 布局和布线工具 (适配器)

适配器的任务是完成目标系统在器件上的布局布线, 通常都由 PLD 的厂商提供的专门针对器件开发的软件来完成。例如 Lattice 公司在其 ispLEVEL 开发系统中嵌有自己的适配器, 但同时又提供性能良好、使用方便的专用适配器: ispEXPERT Compiler; 而 Altera 公司的 EDA 集成开发环境 MAX+plus II、Quartus II 中都含有嵌入的适配器(Fitter); Xilinx 公司的 Foundation 和 ISE 中也同样含有自己的适配器。适配器最后输出的是各厂商自己定义的下载文件。

在 IC 设计的布局布线工具中, Cadence 软件是比较强的, 它有很多产品, 用于标准单元、门阵列, 已可实现交互布线。最有名的是 Cadence spectra, 它原来是用于 PCB 布线的, 后来 Cadence 把它用来作 IC 的布线。其主要工具有: Cell3, Silicon Ensemble——标准单元布线器; Gate Ensemble——门阵列布线器; Design Planner——布局工具。其他各 EDA 软件开发公司也提供各自的布局布线工具。

6. 下载工具 (编程器)

下载器 (编程器) 的任务是将设计 (适配器最后输出的下载文件) 下载到对应的可编程逻辑器件中, 以实现硬件设计。通常由可编程逻辑器件的厂商提供的专门针对器件下载或编

程的软件来完成。

7. PCB 设计工具

印制电路板 (PCB) 设计工具种类很多, 目前在我国用得最多的应属 Protel。早期的 Protel 主要作为印制板自动布线工具使用, 现在普遍使用的是 Protel99SE, 它是个完整的全方位电路设计系统, 包含了电原理图绘制、模拟电路与数字电路混合信号仿真、多层印制电路板设计、可编程逻辑器件设计、图表生成、电路表格生成、支持宏操作等功能, 并具有 Client/Server (客户机/服务器) 体系结构, 同时还兼容一些其他设计软件的文件格式, 如 ORCAD、PSPICE、Excel 等。Protel 软件功能强大、界面友好、使用方便。

8. 模拟电路仿真工具

前面讲的仿真器主要是针对数字电路的, 对于模拟电路的仿真工具, 普遍使用 SPICE, 这是唯一的选择。在众多的 SPICE 中, 最好最准的当数 HSPICE, 作为 IC 设计, 它的模型最多, 仿真的精度也最高, HSPICE 现在被 Avanti 公司收购。

EDA 工具发展十分迅速, 竞争也非常激烈。总体上说, 在逻辑验证方面, Synopsys 独占鳌头, Cadence 则在前端仿真及后端版图设计工具上继续保持优势, 但 Avanti 已成为其强有力的竞争对手, 尤其是在超深亚微米 (VDSM) 集成电路设计领域, 后者的表现非常突出。Mentor-Graphics 则在自动测试与提取验证工具方面尚占有一定的优势。

1.2.3 EDA 技术的优势

传统的数字系统设计一般是采用搭“积木块”的手工设计方式, 即由器件搭成电路板, 由电路板搭成电子系统。数字系统最初的“积木块”是标准的集成电路, 如 74/54 系列 (TTL)、4000/4500 系列 (CMOS) 芯片和一些固定功能的大规模集成电路。在设计数字电路时, 一般先按照数字系统的具体功能要求进行功能划分, 然后对每个子模块画出逻辑真值表和状态转换真值表, 用卡诺图进行手工逻辑化简和状态化简, 写出布尔表达式, 画出相应的逻辑线路图, 再据此选择合适的器件, 并按照器件推荐的电路设计电路板, 最后进行实测与调试。

手工设计方法有很多缺点: 如对于复杂电路的设计, 调试十分困难; 设计过程中出现的错误, 查找和修改十分不便; 设计过程中产生大量文档, 不易管理; 只有在设计出样机或生产出芯片后才能进行实测等等。

相比之下, 采用 EDA 技术进行电子系统的设计有着很大的优势:

(1) 采用硬件描述语言, 便于复杂系统的设计

从电子设计方法学来看, EDA 技术的最大优势是能够将所有的设计环节纳入统一的自顶向下的设计方案中。用 HDL 对数字电子系统进行结构描述、功能描述和行为描述, 从而可以在电子设计的各个阶段、各个层进行计算机模拟验证, 保证了设计过程的正确性, 降低了设计成本, 缩短了设计周期。此外, 某些硬件描述语言 (如 VHDL) 也是文档型的语言, 可以极大地简化设计文档的管理。

(2) 强大的系统建模和电路仿真功能

EDA 技术中最为瞩目的功能是日益强大的仿真测试技术。EDA 仿真测试技术只需通过计算机就能对所设计的电子系统进行各种不同层次的性能测试和逻辑仿真, 在实际系统完成