

EDA

EDA工具应用丛书

基于Quartus II 的FPGA/CPLD设计

李洪伟 袁斯华 编著



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

EDA 工具应用丛书

基于 Quartus II 的 FPGA/CPLD 设计

李洪伟 袁斯华 编著

電子工業出版社

Publishing House of Electronics Industry

北京 • BEIJING

内 容 简 介

目前, CPLD/FPGA 被广泛应用于家电、工控、通信、军工、航天等诸多领域。本书简单介绍了 CPLD/FPGA 的基本结构和原理。在此基础上, 详细地介绍了 FPGA 主要生产厂商 Altera 公司的 FPGA 器件, 重点讲述了 Altera 公司的设计工具 Quartus II 4.0 软件; 论述了 FPGA 的设计输入、仿真验证和综合实现以及器件编程。本书共分三部分, 第一部分为 CPLD/FPGA 器件及 Altera 公司的开发软件; 第二部分为 VHDL 语言, 可供读者学习硬件描述语言, 也可作为实际设计的参考; 第三部分为设计进阶部分, 讲述了几个大型示例。

该书图文并茂, 提供了丰富的 VHDL 实例, 适合初学者使用, 可作为数字电路设计课程的教学参考书, 也可供数字电路设计人员的自学参考之用。

未经许可, 不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有, 侵权必究。

图书在版编目 (CIP) 数据

基于 Quartus II 的 FPGA/CPLD 设计/李洪伟, 袁斯华编著. —北京: 电子工业出版社, 2006.4

(EDA 工具应用丛书)

ISBN 7-121-02387-3

I. 基… II. ①李… ②袁… III. 可编程序逻辑器件—系统设计 IV. TP332.1

中国版本图书馆 CIP 数据核字 (2006) 第 020666 号

责任编辑: 雷洪勤

印 刷: 北京东光印刷厂

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

经 销: 各地新华书店

开 本: 787×1092 1/16 印张: 18.25 字数: 464 千字

印 次: 2006 年 4 月第 1 次印刷

印 数: 5 000 册 定价: 26.00 元

凡购买电子工业出版社的图书, 如有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系。联系电话: (010) 68279077。质量投诉请发邮件至 zlts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

前 言

在 20 世纪 90 年代初,以 FPGA 技术为基础的数字系统现场集成技术的应用在国内还处在萌芽状态(主要是由于那时器件价格昂贵、集成规模小、开发工具缺乏、设计方法不成熟,而导致该技术应用处在可望不可及的状态);十多年后的今天,随着 VLSI 工艺技术、微电子技术、计算机技术、软件工具技术的高度发展,FPGA 器件已从单片规模仅有数万门发展到数百万门,同时数字系统设计在 EDA 工具的支持下,从图形积木构造向着 VHDL 行为级,甚至模型化的概念级设计方式进步。

随着片上系统(SoC)时代的来临,包括 CPLD 和 FPGA 的可编程 ASIC 器件,不仅能满足片上系统设计的要求,而且具有系统内可再编程的独特优点,尤其是速度快、密度大和性能好的 FPGA,正日益成为系统的关键。ASIC 设计技术引起了电子系统设计技术的巨大变革和飞速发展,已成为现代电子系统设计的核心技术之一。

当今世界,集成电路产业的发展日新月异,随着微电子工艺技术的不断进步,集成电路的性能也迅速提高,不管是存取时间,还是电源电压,都有极大的降低,而且数字电路的时钟频率越来越高。与此同时,芯片的集成度和电路规模将不断提高,工业化生产的典型硅集成电路的管芯面积也在不断缩小,特征尺寸下降到了纳米级。

目前数字系统的设计可以直接面向用户需求,根据系统的行为和功能要求,从上至下地逐层完成相应的描述、综合、优化、仿真与验证,直到生成器件,上述设计过程几乎都可以用计算机来自动完成,也就是说做到了电子设计自动化(EDA)。这样做可以大大缩短系统的设计周期,以适应当今品种多、批量不一的电子市场的需求,提高产品的竞争能力。以 CPLD/FPGA 为代表的可编程逻辑器件受到了世界范围内广大电子设计工程师的普遍欢迎,应用日益广泛。在国内,越来越多的电子设计工程师迫切希望了解最新的 CPLD/FPGA 器件结构特性,熟悉先进的 CPLD/FPGA 设计工具软件,掌握高级的数字集成电路设计方法。

本书介绍了 Altera 公司推出的 Quartus II 4.0 的使用方法和设计技巧。Altera 公司是全球最大的可编程器件开发和供应商之一,能为客户提供最新的可编程解决方案。本书主要基于 Altera 公司 CPLD/FPGA 系列产品,结合作者所在研发部多年的数字集成电路设计经验,系统地介绍了 Altera 公司的 CPLD/FPGA 系列产品的结构特性及 Quartus II 4.0 软件开发流程,用大量的实例详细论述 Altera 公司的 CPLD/FPGA 的设计技巧,具体讨论了 CPLD/FPGA 的仿真验证和设计综合。本书将以 VHDL 编程方式向用户介绍利用 Quartus II 4.0 的 CPLD/FPGA 设计。

本书编写过程中引用了许多专家学者的著作和论文中的研究成果,在这里向他们表示衷心的感谢。同时向一贯关心和支持本书编者的成都电子科技大学的各位老师以及西南技术物理研究所的各位领导、同事表示深深的谢意。

限于作者水平,本书中的错误和不当之处在所难免,希望读者批评指正。

目 录

第 1 章 可编程器件及 EDA 工具概述	(1)
1.1 可编程器件及其特征	(1)
1.1.1 CPLD	(1)
1.1.2 FPGA	(2)
1.2 EDA 技术简介及开发软件	(4)
1.2.1 EDA 技术	(4)
1.2.2 开发软件	(5)
1.3 小结	(6)
第 2 章 Quartus II 软件简介	(7)
2.1 Quartus II 概述	(7)
2.2 设计软件	(9)
2.3 Quartus II 系统特点总览	(10)
2.4 Quartus II 系统配置与安装	(12)
2.5 Quartus II 集成工具及其基本功能	(17)
2.6 小结	(18)
第 3 章 Quartus II 设计指南	(19)
3.1 Quartus II 软件的应用概述	(19)
3.2 创建 Quartus II 工程	(20)
3.3 多种设计输入方式	(23)
3.3.1 文本编辑——ALDL, VHDL, Verilog HDL	(23)
3.3.2 图形设计输入	(24)
3.4 建立文本编辑文件	(35)
3.5 设计综合	(38)
3.6 引脚分配	(39)
3.7 仿真验证	(42)
3.8 时序分析	(49)
3.8.1 时序分析基本参数	(49)
3.8.2 指定时序要求	(49)
3.8.3 完成时序分析	(54)
3.8.4 查看时序分析结果	(55)
3.9 编程和配置	(55)
3.10 SignalTap II 逻辑分析仪的使用	(59)
3.10.1 在设计中建立 SignalTap II 逻辑分析仪	(59)
3.10.2 利用 MegaWizard Plug-In Manager 建立 SignalTap II 逻辑分析仪	(64)
3.10.3 SignalTap II 逻辑分析仪的器件编程	(67)
3.10.4 查看 SignalTap II 采样数据	(68)

3.11 实例 一个带清零和计数使能功能的模可变的计数器设计	(68)
第 4 章 硬件描述语言 (HDL) 简介	(73)
4.1 HDL 发展	(73)
4.2 几种具有代表性的 HDL 语言	(74)
4.2.1 VHDL	(74)
4.2.2 Verilog HDL	(74)
4.2.3 Superlog	(75)
4.2.4 SystemC	(75)
4.3 各种 HDL 语言的体系结构和设计方法	(75)
4.3.1 SystemC	(75)
4.3.2 Superlog	(76)
4.3.3 Verilog 和 VHDL 在各方面的比较	(76)
4.4 目前可取的可行策略和方式	(78)
4.5 未来发展和技术方向	(78)
4.6 国内发展的战略选择	(79)
4.7 特点	(79)
4.8 VHDL 设计流程	(81)
4.9 小结	(81)
第 5 章 VHDL 程序的基本结构	(82)
5.1 实体	(83)
5.2 构造体及其子结构描述	(87)
5.2.1 构造体	(87)
5.2.2 VHDL 子结构描述	(90)
5.3 库与包集合及配置	(101)
5.3.1 库 (Library)	(101)
5.3.2 包集合 (Package)	(103)
5.3.3 配置 (Configuration)	(104)
5.4 小结	(106)
第 6 章 用 Quartus II 设计常用电路	(107)
6.1 组合逻辑电路设计	(107)
6.1.1 用 VHDL 描述的译码器	(107)
6.1.2 用 VHDL 描述的编码器	(115)
6.1.3 乘法器	(117)
6.2 时序逻辑电路设计	(121)
6.2.1 D 触发器 (DFF)	(121)
6.2.2 寄存器和锁存器	(123)
6.2.3 分频器	(126)
6.3 存储器设计	(132)
6.3.1 ROM 只读存储器	(132)
6.3.2 随机存储器 RAM	(133)

6.3.3	FIFO	(135)
6.4	有限状态机	(137)
6.4.1	有限状态机的描述	(137)
6.4.2	状态机的应用设计举例——空调控制系统有限状态	(140)
6.5	基于 Quartus II 的其他设计示例	(143)
6.5.1	双向数据总线——利用三态门构造	(143)
6.5.2	锁相环路 (PLL)	(146)
6.6	小结	(152)
第 7 章	基于 Quartus II 的数字电路系统设计	(154)
7.1	实例一 按键去抖动设计	(154)
7.2	实例二 单片机和 FPGA 接口逻辑设计	(158)
7.3	实例三 交通控制灯	(160)
7.3.1	设计要求	(160)
7.3.2	设计说明	(161)
7.3.3	设计模块	(161)
7.4	实例四 数字秒表的设计	(167)
7.4.1	设计要求 (秒表的功能描述)	(167)
7.4.2	模块功能划分	(168)
7.4.3	设计实现、仿真波形和说明	(170)
7.4.4	秒表显示模块	(172)
7.5	实例五 闹钟系统的设计	(173)
7.5.1	闹钟系统的设计要求及设计思路	(173)
7.5.2	闹钟系统的译码器的设计	(179)
7.5.3	闹钟系统的移位寄存器的设计	(180)
7.5.4	闹钟系统的闹钟寄存器和时间计数器的设计	(181)
7.5.5	闹钟系统的显示驱动器的设计	(184)
7.5.6	闹钟系统的分频器的设计	(185)
7.5.7	闹钟系统的整体组装	(186)
7.6	实例六 数字密码锁设计	(188)
7.6.1	设计要求	(189)
7.6.2	输入、输出端口描述	(189)
7.6.3	模块划分	(189)
7.6.4	设计 VHDL 源程序	(190)
7.7	实例七 数字出租车计费器设计	(193)
7.7.1	设计说明	(193)
7.7.2	顶层设计	(193)
7.7.3	功能子模块设计	(194)
7.8	实例八 IIC 总线通信接口	(200)
7.8.1	设计说明	(200)
7.8.2	VHDL 设计源程序	(202)

7.8.3 时序仿真结果及说明	(207)
第 8 章 MC8051 单片机设计	(209)
8.1 MC8051 单片机电路设计概述	(209)
8.1.1 主要设计特色	(209)
8.1.2 8051 总体结构和设计文件说明	(209)
8.1.3 各个模块说明	(212)
8.2 MC8051 程序包	(215)
8.3 MC8051 内核的设计	(216)
8.4 定时计数器模块	(219)
8.5 串口模块	(225)
8.6 控制模块	(237)
8.7 算术逻辑模块	(240)
8.8 小结	(242)
附录	(243)
附录 A VHDL 快速查阅	(243)
A-1 保留字	(243)
A-2 VHDL 语法参考	(243)
附录 B 标准逻辑包 (Standard Logic Package)	(249)
附录 C VHDL 学习资源	(279)
参考文献	(281)

第 1 章 可编程器件及 EDA 工具概述

1.1 可编程器件及其特征

数字电子技术发展日新月异,使集成电路不断发展、更新换代,由早期的电子管、晶体管、中小规模集成电路,发展到超大规模集成电路以及许多实现专门功能的专用集成电路。同时随着微电子技术的发展,设计与制造集成电路的任务已不完全由半导体厂商来独立承担,设计工程师们希望自行开发设计出可用的集成电路芯片。因此出现了各种可编程逻辑器件,至今主要有 5 种器件可供实现专用集成电路的要求,它们是:

- 简单可编程逻辑器件 (Programmable Logic Device, PLD);
- 复杂可编程逻辑器件 (Complex Programmable Logic Device, CPLD);
- 现场可编程器件 (Field Programmable Gate Array, FPGA);
- 标准单元 (Standard Cell);
- 门阵列 (Gate Array)。

这些器件的出现,使电子系统的设计工程师利用与器件相应的计算机辅助设计 (Computer Aided Design, CAD) 软件,在实验室里就可以设计出 ASIC 芯片,其中 FPGA 的应用最为广泛。下面简要介绍各种器件的结构。

1.1.1 CPLD

CPLD 是结构比较复杂的可编程逻辑器件,逻辑宏单元内部主要包括与或阵列、可编程触发器和多路选择器等电路,能独立地配置为时序或组合逻辑工作方式。CPLD 器件与 GAL 器件相似,其逻辑宏单元与 I/O 做在一起,称为输出逻辑宏单元,但其宏单元及其与阵列数目比 GAL 大得多。CPLD 器件的宏单元在内部,称为内部逻辑宏单元。CPLD 除了密度高之外,许多优点都反映在逻辑单元上。它包括以下输出宏单元结构和特点。

(1) 寄存器输出和反馈,可用于实现计数器和移位寄存器等。

(2) 多触发器结构和“隐埋”触发器结构。CPLD 的宏单元内通常含有两个或两个以上的触发器,其中只有一个触发器与输出端相连,其余触发器的输出不与输出端相连,但可以通过相应的缓冲电路反馈到与阵列,从而与其他触发器一起构成较复杂的时序电路。不与输出端相连的触发器称为“隐埋”触发器,这种结构对于引脚数有限的 CPLD 器件来说,可以增加触发器数目,即增加其内部资源。

(3) 可编程 I/O 单元,允许用户对这些引脚编程,作为输入或输出。

(4) 异或门输出结构,可用于一般用户的多功能计数,能十分有效地建立大的计数器。

(5) 乘积项共享结构。如果 CPLD 输出表达式的与项较多,对应的或门输入端不够用时,可以借助可编程开关将同一单元(或其他单元)中的其他或门与之联合起来使用,或者在每个宏单元中提供未使用的乘积项供其他宏单元使用和共享,提高了资源利用率,可以实现复杂的逻辑函数。

(6) 异步时钟和时钟选择。CPLD 器件中各触发器的时钟可以异步工作, 有些器件中触发器的时钟还可以通过数据选择器或时钟网络进行选择。此外, 逻辑宏单元内触发器的异步清零和异步置位也可以用乘积项进行控制, 因而使用时更加灵活。

CPLD 作为可编程逻辑器件的扩展。它通常由可编程逻辑的功能块围绕一个位于中心、时延固定的可编程互连矩阵构成。由于用固定长度的金属线实现逻辑单元之间的互连, 而可编程逻辑单元又是类似 PAL 的与阵列, 使得 CPLD 与 FPGA 相比较很容易计算输入到输出的传输延迟, 但是会有灵活性方面的一些限制。不过, CPLD 的设计比 FPGA 简单。

1.1.2 FPGA

FPGA 是 20 世纪 80 年代中期出现的高密度可编程器件, 短短十几年来, 取得了惊人的发展, 其单片集成密度从最初的 1200 门发展到目前的几百万门, 而且时钟频率由最初不到 10MHz 发展到目前的 300MHz。它与 CPLD 不同之处在于, FPGA 的结构类似于掩膜可编程门阵列 (MPGA), 由许多独立的可编程模块组成, 用户可以通过编程将这些模块连接起来实现不同的设计。FPGA 兼容了 MPGA 和阵列器 CPLD 两者的优点, 因而具有更高的集成度、更强的逻辑实现能力和更好的设计灵活性, 因此 FPGA 具有更强大的功能和市场应用前景, 受到电子设计工程师们的普遍欢迎。

尽管不同厂家、不同型号的 FPGA 其结构各有特色, 但就其基本结构来说, 大致有以下几种分类方法。

(1) 按逻辑功能块的大小分类

可编程逻辑块 (CLB) 是 FPGA 的基本逻辑构造单元。按照逻辑功能块的大小不同, 可将 FPGA 分为细粒度结构和粗粒度结构两类。其中细粒度 FPGA 的逻辑功能块一般较小, 仅由很小的几个晶体管组成, 非常类似于门阵列的基本单元, 其优点是功能块的资源可以在实际工程中被完全利用, 缺点是完成复杂的逻辑功能需要大量的连线和开关, 因而速度较慢; 而粗粒度 FPGA 的逻辑块规模大, 功能强, 完成复杂逻辑只需要较少的功能块和内部连线, 因而能获得较好的性能, 缺点是功能块的资源有时不能充分被利用。

(2) 按互连结构分类

根据 FPGA 内部的连线结构不同, 可将其分为分段互连型和连续互连型两类。分段互连型 FPGA 中有不同长度的多种金属线, 各金属线段之间通过开关矩阵或反熔丝编程连接。这种连线结构走线灵活, 有多种可行方案, 但走线延时与布局布线的具体处理过程有关, 在设计完成前无法预测, 设计修改将引起延时性能发生变化。而连续互连型 FPGA 是利用相同长度的金属线, 通常是贯穿于整个芯片的长线来实现逻辑功能块之间的互连, 连接与距离远近无关。在这种连线结构中, 不同位置逻辑单元的连接线是确定的, 因而布线延时是固定和可预测的。

(3) 按编程特性分类

根据采用的开关元件的不同, FPGA 可分为一次编程型和可重复编程型两类。一次编程型 FPGA 采用反熔丝开关元件, 其工艺技术决定了这种器件具有体积小、集成度高、互连线特性阻抗低、寄生电容小及可获得较高的速度等优点; 此外它还有加密位、反拷贝、抗辐射、抗干扰、不需外接 PROM 或 EPROM 等优点。但它只能一次编程, 一旦将设计数据写入配置芯片后, 就不能再修改设计, 因此比较适合于定型产品及大批量应用。

可重复编程型 FPGA 采用 SRAM 开关元件或快闪 EPROM 控制的开关元件。FPGA 芯片

中，每个逻辑块的功能以及它们之间的互连模式由存储在芯片中的 SRAM 或快闪 EPROM 中的数据决定。SRAM 型开关的 FPGA 是易失性的，每次重新加电，FPGA 都要重新装入配置数据，即可令其完成不同的硬件功能。这种配置的改变甚至可以在系统的运行中进行，实现系统功能的动态重构。采用快闪 EPROM 控制开关的 FPGA 具有非易失性和可重复编程的双重优点，但在再编程的灵活性上 SRAM 型 FPGA 稍差一些，不能实现动态重构。此外，其静态功耗较反熔丝型及 SRAM 型的 FPGA 要高。

和其他可编程逻辑器件一样，FPGA 也由未完成的逻辑阵列所组成，通过将这些逻辑阵列连接到一起来完成一定的功能。其功能由逻辑结构的配置数据决定，工作时，这些配置数据存放在片内的 SRAM 或熔丝上，在工作前需要从芯片外部加载配置数据，配置数据可以存储在片外的 EPROM 或其他存储体上。

新一代的 FPGA 甚至集成了中央处理器（CPU）或数字信号处理器（DSP）内核，在一片 FPGA 上进行软硬件协同设计，为实现片上可编程系统（SOPC, System On Programmable Chip）提供了强大的硬件支持。以后的 FPGA 甚至会集成 AD 和 DA 转换模块，构成真正的 SOPC 系统。FPGA 既继承了 ASIC 的大规模、高集成度、高可靠性的优点，又克服了普通 ASIC 设计周期长、投资大、灵活性差的缺点，逐步成为复杂数字硬件电路设计的理想首选。当今 FPGA 有以下结构和特点：

- 可编程逻辑块（CLB）。CLB 是 FPGA 的主要组成部分，它由逻辑函数发生器、触发器、数据选择器等电路组成。
- 可编程互连资源（IR）。IR 可以将 FPGA 内部的 CLB 和 CLB 之间、CLB 和 IOB 之间连接起来，构成各种具有复杂功能的系统。IR 主要由许多金属线段构成，这些金属线段带有可编程开关，通过自动布线实现各种电路的连接。
- 开发过程投资小。FPGA 芯片在出厂之前都做过百分之百的测试，而且 FPGA 设计灵活，发现错误时可直接更改设计，减少了投片风险，节省了许多潜在的花费。
- 规模越来越大。随着 VLSI（Very Large Scale IC，超大规模集成电路）工艺的不断提高，单一芯片内部可以容纳上百万个晶体管，FPGA 芯片的规模也越来越大。单片逻辑门数已愈百万，芯片的规模越大所能实现的功能就越强，同时也更适于实现片上系统（SOC）。
- FPGA 一般可以反复地编程、擦除。在不改变外围电路的情况下，设计不同片内逻辑就能实现不同的电路功能。所以，用 FPGA 试制功能样机，能以最快的速度占领市场。
- 输入/输出模块（IOB）。IOB 提供了器件引脚和内部逻辑阵列之间的连接，主要由输入触发器、输入缓冲器和输出触发/锁存器、输出缓冲器组成。每个 IOB 控制一个引脚，它们均可被配置为输入、输出或双向 I/O 功能。
- 保密性能好。在某些场合下，根据要求选用防止反向技术的 FPGA，能很好地保护系统的安全性和设计者的知识产权。
- FPGA 开发工具智能化，功能强大。现在，FPGA 开发工具种类繁多、智能化高、功能强大。应用各种工具可以完成从输入、综合、实现到配置芯片等一系列功能。还有很多工具可以完成对设计的仿真、优化、约束、在线调试等功能。这些工具易学易用，可以使设计人员更能集中精力进行电路设计，快速将产品推向市场。
- 新型的 FPGA 内嵌 CPU 或 DSP 内核，支持软硬协同设计，可以作为片上可编程系统（SOPC）的硬件平台。

1.2 EDA 技术简介及开发软件

数字电子技术飞速发展,有力地推动和促进了信息化的提高,它的应用已经渗透到我们生活的各个方面。不管是从计算机到手机,还是数字电话到数字电视,甚至是军用设备、工业自动化及航天技术,都采用了数字电子技术,它的核心是 EDA (电子设计自动化, Electronic Design Automation) 技术。就是以计算机为工作平台,以 EDA 软件工具为开发环境,以硬件描述语言为设计语言,以可编程器件为实验载体,以 ASIC, SOC 芯片为设计目标,以电子系统设计为应用方向的电子产品自动化设计过程。它是以计算机科学和微电子技术发展为先导,汇集了计算机图形学、拓扑逻辑学、微电子工艺与结构学和计算数学等多种计算机应用学科的最新成果的先进技术,是在先进的计算机工作平台上开发出来的一整套电子系统设计的软件工具。本节专门介绍 EDA 技术的发展以及 FPGA 领域常用的 EDA 工具。

1.2.1 EDA 技术

从 20 世纪 60 年代中期开始,人们就不断开发出各种计算机辅助设计工具来帮助设计人员进行集成电路和电子系统的设计,集成电路技术的发展不断地对 EDA 技术提出新的要求,并促进了 EDA 技术的发展。在过去的三十多年里,计算机技术迅猛发展,也给 EDA 行业带来了巨大的变化。进入 20 世纪 90 年代后,电子系统已经从电路板级系统集成发展成为包括 ASIC、FPGA 和嵌入系统的多种模式,EDA 产业已经成为电子信息类产品的支柱产业。EDA 的蓬勃发展离不开设计方法学的进步,是以计算机硬件和软件为基本工作平台,集数据库、图形学、图论与拓扑逻辑、计算数学、优化理论等多学科最新成果研制的计算机辅助设计通用软件工具,过去几十年内 IC 设计方法主要包括以下几个阶段。

(1) 手工设计 (Hand Design): 手工设计的目标主要是进行组合逻辑的优化和简化。

(2) 电路仿真 (Circuit Simulation): 这里的电路指 IC 中的晶体管电路。在 20 世纪 70 年代早期,像 Calma 这样的公司就把数字化系统推向了市场,并采用 Spice 来进行电路仿真。

(3) 原理图输入和逻辑仿真 (Schematic Capture and Logic Simulation): 工作站技术与图形用户界面的结合让电路设计师能够直接用原理图输入工具来描述他们的设计。并且,以这种方式输入的设计可以在逻辑层次仿真,帮助电路设计师开发和调试。

(4) 布局和布线 (Placement & Routing): 从 20 世纪 80 年代开始,功能强大的 IC 布局工具开始出现,包括自动布局布线、设计规则检查、布局与原理图一致性检查等。同时,Verilog HDL 和 VHDL 等硬件描述语言的诞生促进了逻辑和寄存器传输级仿真器的发展。

(5) 综合 (Synthesis): 在 1987 年发布了商用的逻辑综合工具,这款工具帮助设计师自动将网表映射到各个不同单元库上。

近年来微电子技术以惊人的速度发展,其工艺水平已达到纳米级,在一个芯片上可集成数百万乃至上千万个晶体管,工作速度可达到 Gb/s,这为制造出规模更大、速度和信息容量很高的芯片系统提供了基础条件。同时也对 EDA 系统提出了更高的要求,并大大地促进了 EDA 技术发展。20 世纪 90 年代后期出现了以高级语言描述、系统仿真和综合技术为特征的 EDA 技术,不仅极大地提高了系统的设计效率,而且使设计者摆脱了大量的辅助性工作,将精力集中于创造性的方案与概念的构思上。近年来的 EDA 技术主要有以下特征。

(1) 高层综合 (High Level Synthesis, HLS) 的理论与方法取得进展,从而将 EDA 设计层

次由 RT 级提高到了系统级（又称为行为级）。并且推出了相应的行为级综合工具，大大缩短了复杂 ASIC 的设计周期，同时改进了设计质量，提高了设计效率。

(2) 采用硬件描述语言（Hardware Description Language, HDL）来描述 10 万门以上的设计，并形成了 VHDL 和 Verilog HDL 两种标准硬件描述语言，更适合描述大规模系统，能够使我们数字系统进行抽象层次的描述。它们均支持不同层次的描述，使得复杂 IC 的描述规范化，便于传递、交流、保存与修改，并可建立独立工艺的设计文档，便于设计重用。

(3) 采用平面规划（Floor Planing）技术对逻辑综合和物理版图设计进行联合管理，做到在逻辑综合早期设计阶段就考虑到物理设计信息的影响。通过这些信息，设计者能进行更进一步的综合与优化，并保证所做到的修改，只会提高性能而不会对版图设计带来负面影响。这对于纳米级布线延时已成为主要延时的情况下，加速设计过程的收敛与成功是有帮助的。

(4) 可测性综合设计。随着 ASIC 的规模与复杂性的增加，测试的难度与费用急剧上升，由此而产生了将可测性电路结构做在 ASIC 芯片上的思想，于是开发了扫描插入、BLST（内建自测试）、边界扫描等可测性设计（DFT）工具，并已集成到 EDA 系统中。

(5) 为带有嵌入 μ P 核的 ASIC 设计提供软、硬件协同设计工具。

(6) 建立并行设计工程（CE-Concurrent Engineering）框架结构的集成化、系统化设计环境，以适应当今 ASIC 的如下特点：规模大而复杂；数字与模拟电路并存；硬件与软件设计并存；产品上市速度要快。该框架可以将不同公司的优秀工具集成为一个完整的 EDA 系统，并能在 UNIX 与 Windows 两种平台之间实现平滑过渡。各种 EDA 工具在该框架中可以并行使用。通过统一的集成化设计环境，能够保证各个设计工具之间的相互联系与管理。在这种集成化设计环境中，使用统一的数据管理系统与完善的通讯管理系统，由若干个相关的设计小组共享数据库知识库，同时并行地进行设计。一旦系统设计完成，相应的电路设计、版图设计、可测性设计与嵌入软件的设计等也都基本上完成了，适应现代数字系统设计的开发特点。

1.2.2 开发软件

Altera 公司在推出各种可编程逻辑器件的同时，也在不断升级开发工具，这里主要下面介绍一下 Altera 公司的 FPGA 开发的主要软件。

Altera 公司提供的开发 CPLD/FPGA 的集成环境 Quartus II，简单易学易用，其可视化、集成化设计环境等优点为大家公认，从设计输入、仿真、编译、综合、布局布线和下载都可以使用这个集成环境来完成。Quartus II 系列的最新版本是 5.0 版。Quartus II 5.0 支持 Altera 公司推出的所有最新的 FPGA 器件，提供了一种与结构无关的设计环境，我们只需要使用自己熟悉的开发工具，通过软件提供的各种输入方式进行编译、仿真和综合，便可设计出需要的可编程逻辑器件。而且 Quartus II 软件还提供了可编程片上系统（SOPC）设计的一个综合开发环境，包括以下内容：系统级设计，嵌入式软件开发，可编程逻辑器件设计。

硬件描述语言仿真工具是 Model Tech 公司出品的 ModelSim 仿真软件，支持 Altera 的各种器件、VHDL 和 Verilog HDL，人机界面好，简单易用。可以从站点 <http://www.model.com/evaluations/> 下载 ModelSim 评估版。

综合工具选用 Altera 公司的 Quartus II 或者 MAX+PLUS II。该综合软件具备硬件描述语言的编译、综合、时序约束等功能，并支持 Altera 公司的所有 FPGA/CPLD 器件，而且使用极其方便，综合速度也快。

1.3 小 结

本章首先简要介绍了各种可编程逻辑器件的概念，主要介绍了 CPLD / FPGA 及其开发工具的设计方法，介绍了 EDA 技术的基本概念以及 FPGA 开发的常用软件，从而使读者对 IC 设计有一个初步的认识。

通过本章的学习，读者应该掌握 FPGA/CPLD 的基本原理、结构、特点与应用。从技术角度讲，FPGA/CPLD 能实现任何数字器件的功能，上至高性能的微处理器，下至简单的 74 电路。而且现在 FPGA/CPLD 支持的接口、标准越来越多，可直接利用的 IP 核与高性能的基本模块覆盖到各个专业领域。Quartus II 软件易学易用，已逐渐成为当代系统设计与硬件设计的首选方式之一。可以说，FPGA/CPLD 的出现提高了设计的灵活性和便利性，使数字硬件设计工作变得轻松愉快。

第 2 章 Quartus II 软件简介

Altera 公司的 CPLD/FPGA 设计工具软件 Quartus II 是适合单芯片可编程系统 (SOPC) 的最全面的设计环境。如果您以前用过 MAX+PLUS II 软件、其他设计软件或 ASIC 设计软件, 并且准备改用 Quartus II 软件, 或如果您对 Quartus II 软件有了一些了解又想进一步了解它的功能, 那么本书非常适合您。

本书针对的读者是 Quartus II 软件的初学者, 它概述了可编程逻辑设计中 Quartus II 软件的功能。不过, 本书并不是 Quartus II 软件的详尽参考手册; 相反, 本书只是一本指导书, 它解释软件的功能以及显示这些功能如何帮助您进行 FPGA 和 CPLD 设计。本书按一系列实用特定的可编程逻辑设计任务来组织内容。无论是使用 Quartus II 图形用户界面, 还是其他 EDA 工具, 本书都将为您介绍最适合设计流程的功能。书中详细概述了主要的图形用户界面、EDA 工具。它显示了如何将 Quartus II 软件与现有的 EDA 工具设计流程集成在一起。跟随本书学习 Quartus II 软件, 了解此软件如何帮助您提高效率并缩短设计周期, 如何与现有可编程逻辑设计流程集成以及如何快速有效地达到设计、性能和时间的要求。

2.1 Quartus II 概述

Altera 公司一直都处于可编程芯片系统 (SOPC) 领域的前沿和领先地位, 为业界提供最先进的可编程逻辑器件、相关的软件工具、IP 软件模块以及优秀的设计方案。Altera 公司是全球最大的可编程器件开发和供应商之一, 能够为客户提供最新的可编程解决方案, 包括 MAX3000、MAX7000、MAXII 三个 CPLD 系列, FLEX6000、FLEX10K、ACEX、Cyclone、CycloneII、APEX20K、APEXII、Stratix II、Stratix、Mercury、Exclibur 多个 FPGA 系列, 并自主研制了一整套开发工具, 如: MAX+PLUS II 和 Quartus II, 易于使用且功能强大, 与多个工业标准的 EDA 工具均有无缝接口, 提供更多经过优化的系统级模块和 IP 软核, 能够帮助您快速而又高效地完成设计。

Altera 公司 (<http://www.altera.com.cn>) 的逻辑方案涉及的工业应用非常广泛, 包括: 有线通信、无线网络、数据通信、计算机、大容量处理器、医疗设备、外围设备等。从网络交换设备到接入网、宽带无线通信、IP 电话网关、Internet 服务器、视频服务器、路由器、图像处理、工业控制等, 皆有其产品的应用。其 2003 年度的年收入高达 8.272 亿美元。Altera 公司将其早在 1983 年发明的可编程逻辑技术与软件工具、IP 和设计服务相结合, 向全世界近 14 000 家客户提供超值的可编程解决方案。Altera 公司的总部位于美国加州的圣何塞, 并在全球的 14 个国家中拥有近 2000 名员工。

Altera 公司致力于帮助客户获得商业上的成功。因此, 即便是在全球经济低迷的情况下, Altera 公司仍对研发工作进行了积极的投入。Altera 公司所推出的 FPGA 被定位成昂贵且成本极高的解决方案 (例如 ASIC 和 ASSP) 的替代品。由于相比可编程逻辑而言所针对的市场范围更加广阔, FPGA 为数字信号处理器提供了一个更加灵活和实用的替代方案。

通过和用户保持更紧密的合作伙伴关系，Altera 不断推出新的产品和工具。Altera 是业界领先的 FPGA、CPLD 和结构化 ASIC 产品，且已经获得传统市场的广泛接受，并且迅速进入许多新的应用领域。在获得大奖荣誉的 Stratix 器件系列的基础上，Stratix II 的 FPGA 提供了两倍的性能和比第一代产品低 40% 的成本，适用于高密度通用应用。Altera 通过第一代 Cyclone 系列器件建立起来低成本 FPGA 领先地位，CycloneII 的 FPGA 继承了这一领先优势，提供了一个灵活的、低风险的和低成本解决方案，使之成为中低密度 ASIC 最吸引人的替代产品。HardCopyII 器件给大批量应用设计人员提供了一种无缝移植到低成本结构化 ASIC 的解决方案。MAXII 的 CPLD 创建了新的 CPLD 标准，扩展了 Altera 15 年的市场领先地位。多种 IP 核组成的 IP 库，包括 Nios II 处理器，给予用户强大的竞争优势。Quartus II 设计软件支持所有 Altera 产品，是当前用于 CPLD、FPGA 和结构化 ASIC 设计的最易使用和功能最强大的设计软件。

Altera 在芯片加工领域中是世界领先的技术供应商，例如台湾半导体生产公司台基电（TSMC）之间建立了合作伙伴关系和转包协议。而且 Altera 通过使用同行业中最优秀的 EDA 供应商所提供的工具来进一步完善其布局布线设计软件。在世界一流的分销网络的支持之下，Altera 为世界各地的客户提供服务。正是这样一种高度成功的商业模式，使得公司可以更加侧重于它本身的核心竞争优势：即针对行业领先的可编程技术的开发和应用，并以此为客户提供最多的附加值。

Quartus II 开发工具支持的 Altera 公司主流 FPGA 全部系列，器件支持如表 2-1 所示。

表 2-1 Quartus II 开发工具器件支持

器 件	说 明
StratixII	最高的性能，最高的密度，大量的存储资源，特性丰富的平台
StratixII GX	最高的性能结构，高速串行收发器
Cyclone	低成本，替代 ASIC，适用于价格敏感的应用
APEXII	高密度，高性能，支持高速差分 I/O 标准
Mercury	高性能，高带宽，中密度，包括时钟数据恢复（CDR）支持
Excalibur	高性能，处理器硬核解决方案
APEX 20K/KE/KE	高性能，中到高密度
FLEX 10K/KE	低成本，低到中密度
ACEX 1K	低成本，低到中密度
HardCopy	高密度，大批量 ASIC 替换器件

Altera 公司成立 10 余年来，一直致力于高密度可编程器件的研发和生产，成为业界的佼佼者。Altera 的 CPLD 和 FPGA 器件具有良好的性能、极高的密度和非常大的灵活性，它通过集成化、多 I/O 容量及最快的速度，为用户的各种需求提供了有效的解决方案，极大地满足了对片上系统日益增长的需求。Altera 的可编程器件除了具有 CPLD/FPGA 的一般特点外，还具有改进的结构、先进的处理技术、现代化的开发工具以及多种 Mega 功能等优点，主要有以下几点。

（1）高性能

Altera 公司的器件采用先进的 CMOS 技术，具有非常低的功耗和相当高的速度；采用连

续式互连结构,在整个芯片内提供快速、连续的信号延时,对芯片内部电路进行了专业化的改进增强了系统的性能。

(2) 高密度逻辑集成

为了缩小印制板的尺寸和成本,设计人员总是寻求尽可能高的集成度,试图通过把更多的逻辑集成到更少的器件中来降低成本。此外,对现有的设计也经常进行二次开发。高逻辑集成度的 CPLD/FPGA 为上述要求提供了很好的解决方案。Altera 器件密度高达千万门,能够集成现有的各种逻辑器件,包括小规模及大规模标准逻辑器件、CPLD、FPGA、ASIC 器件。

(3) 较短的开发周期

Altera 的快速、直观、易于使用的 Quartus II 软件能够极大的缩短开发周期。使用 Quartus II 软件设计项目、处理校验以及对器件编程只需几个小时。如图 2-1 所示,展示了在 Quartus II 环境下的一个典型的 FPGA 开发周期。

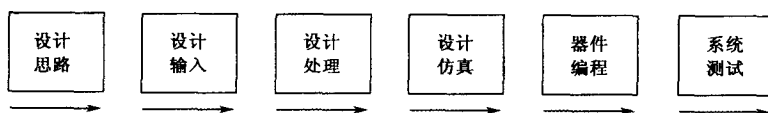


图 2-1 用 Quartus II 的 FPGA 典型设计周期

(4) 高性能价格比

Altera 公司不断改进产品的开发与制造工艺,10 多年积累的经验使其工艺技术及制造工艺非常先进,因此能够提供性能价格比较合理的可编程逻辑器件。

(5) 兆 (Mega) 功能模块

Altera 的 FPGA 高达千万门的集成度,使得在单个可编程器件中实现一个完整的数字系统成为可能。为了推进这种高集成度器件的应用,进一步缩短设计周期,Altera 提供了兆功能模块并支持 AMPP (Altera Megafunction Partners Program) 功能。兆功能模块具有高度的灵活性及固定功能器件所不能达到的性能,如高速有限冲击响应 (FIR) 滤波器。兆功能模块可以实现总线协议 (PCI 总线)、DSP、图像处理、高速网络 (包括异步传输方式 (ATM))、微处理器及微型外设等。

作为复杂的系统级功能,Altera 的兆功能模块是由预先验证过的硬件描述语言设计的。兆功能模块应用范围包括从标准模块到利用 FPGA 的特点改进的实例设计。

(6) 系统可编程 (ISP)

Altera 公司器件的系统可编程 (ISP) 提高了设计灵活性,简化了样品制作过程及流水线生产过程,并且可以对产品进行快速而有效的现场升级。Altera 的 ISP 使用 IEEE 1149.1 标准的 JTAG 测试端口,可以在一个独立的生产过程中对器件进行编程,并可以对印制板电路进行功能测试。

2.2 设计软件

Altera 公司发布了 Quartus II 3.0 版本开发软件,该软件是业界第一款具有开发 FPGA 和类似 ASIC 低价位的掩膜编程器件的设计流程。紧接其后便是 4.0, 4.3, 5.0 版本,在此只介绍 Quartus II 4.0 版本。使用 4.0 版 Quartus II 设计软件,系统设计者能够直接针对 HardCopy 掩膜器件进行设计,能够预测和验证器件的性能,其性能比同等的 FPGA 平均快 50%。除了