

Mc
Graw
Hill Education

VHDL 与集成电路设计丛书

数字逻辑 与

VHDL

设计

Stephen Brown Zvonko Vranesic 著
边计年 薛宏熙 吴强 译

清华大学出版社

Mc
Graw
Hill

7579
1929
I-H

VHDL

与集成电路设计丛书

数字逻辑与 VHDL设计

Stephen
Brown 著
Zvonko
Vranesic

边计年 薛宏熙 吴强 译

清华大学出版社
北京

内 容 简 介

本书把数字逻辑设计、VHDL 描述以及使用 CAD 工具三者相结合,不仅帮助读者掌握数字逻辑的设计原理,还帮助读者掌握先进的设计工具,从而能高效地完成一个设计。

本书附有一张光盘,其中包含 Altera 公司的 CAD 工具 MAX+plus II (学生版)。该软件工具可以把一个用 VHDL 描述的设计自动映射到可编程器件,即大容量可编程器件(CPLD)或现场可编程门阵列(FPGA)。学生们可以亲手使用 MAX+plus II 对本书中 VHDL 实例以及家庭作业做实验。MAX+plus II 是一个功能强大的商业化工具,已经在工业界赢得良好声誉。它提供一个成熟的、对用户友好的程序包,工程师们用它进行设计、模拟、测试并最终实现逻辑电路。

VHDL 是一种复杂的语言,本书没有对其做全面介绍,而采用循序渐进的方法引导学习。为了便于学生学习 MAX+plus II,本书附有 3 个不同程度的使用指南。

本书适合作计算机和电子工程等专业本科生及研究生的教材,也可作集成电路设计人员的参考书。

Stephen Brown Zvonko Vranesic

Fundamentals of Digital Logic with VHDL Design

EISBN: 0-07-235596-4

Copyright © 2002 by The McGraw-Hill Companies, Inc.

Original language published by The McGraw-Hill Companies, Inc. All Rights reserved. No part of this publication may be reproduced or distributed by any means, or stored in a database or retrieval system, without the prior written permission of the publisher.

Simplified Chinese translation edition is published and distributed exclusively by Tsinghua University Press under the authorization by McGraw-Hill Education(Asia) Co., within the territory of the People's Republic of China only, excluding Hong Kong, Macao SAR and Taiwan. Unauthorized export of this edition is a violation of the Copyright Act. Violation of this Law is subject to Civil and Criminal Penalties.

本书中文简体字翻译版由美国麦格劳-希尔教育出版(亚洲)公司授权清华大学出版社在中华人民共和国境内(不包括中国香港、澳门特别行政区和中国台湾)独家出版发行。未经许可之出口,视为违反著作权法,将受法律之制裁。未经出版者预先书面许可,不得以任何方式复制或抄袭本书的任何部分。

北京市版权局著作权合同登记号 图字: 01-2002-6515

版权所有,翻印必究。举报电话: 010-62782989 13901104297 13801310933

本书封面贴有 McGraw-Hill 公司防伪标签,无标签者不得销售。

图书在版编目(CIP)数据

数字逻辑与 VHDL 设计/(美)布朗(Brown, S.)等著;边计年等译. —北京:清华大学出版社,2004.12
(VHDL 与集成电路设计丛书)

书名原文: Fundamentals of Digital Logic with VHDL Design

ISBN 7-302-07938-2

I. 数… II. ①布… ②边… III. ①数字逻辑—逻辑设计 ②硬件描述语言, VHDL—程序设计
IV. TP302.2

中国版本图书馆 CIP 数据核字(2004)第 001124 号

出 版 者: 清华大学出版社 地 址: 北京清华大学学研大厦

<http://www.tup.com.cn> 邮 编: 100084

社 总 机: 010-62770175 客户服务: 010-62776969

责任编辑: 马瑛珺

印 刷 者: 清华大学印刷厂

装 订 者: 三河市金元装订厂

发 行 者: 新华书店总店北京发行所

开 本: 185×260 印 张: 40 字 数: 946 千字

版 次: 2005 年 1 月第 1 版 2005 年 1 月第 1 次印刷

书 号: ISBN 7-302-07938-2/TP·5762

印 数: 1~3000

定 价: 72.00 元

本书如存在文字不清、漏印以及缺页、倒页、脱页等印装质量问题,请与清华大学出版社出版部联系调换。联系电话: (010)62770175-3103 或 (010)62795704

作者简介

Stephen Brown 在加拿大的 New Brunswick 大学获得电气工程的学士学位,在多伦多大学获得电气工程硕士和博士学位。1992 年起在多伦多大学任教,现在是电气与计算机工程系的副教授。1999—2000 年任美国加州圣荷塞的 Altera 公司的高级技术成员,从事高级 CAD 算法和可编程逻辑器件的体系结构方面的工作。

研究领域包括现场可编程 VLSI 技术、CAD 算法、以及计算机体系结构。1992 年在加拿大获得加拿大自然科学与工程研究理事会的最佳博士论文奖。

他还获得电气工程、计算机工程和计算机科学课程的多项优胜奖。他还是《现场可编程门阵列》一书的合作作者。

Zvonko Vranesic 在多伦多大学先后获得电气工程的学士、硕士、博士学位。1963—1965 年,为安大略 Bramalea 的北方电气有限公司的设计工程师。1968 年进入多伦多大学,现在是电气与计算机工程系和计算机科学系的教授。1978—1979 学年为英国剑桥大学的高级访问学者,1984—1985 学年为巴黎第六大学的高级访问学者。目前任多伦多大学理工学部主席。

当前的研究范围包括计算机体系结构、现场可编程 VLSI 技术以及多值逻辑系统。

他还是《计算机组织》第 4 版、《微机结构》和《现场可编程门阵列》等 3 本书的合作作者。1990 年获得“本科实验室指导的创新与特殊贡献”的 Wighton 奖励金。

他多次代表加拿大参加国际象棋比赛,并获得国际大师的称号。

译 者 序

随着半导体工艺技术不断迅速发展,集成电路的规模不断扩大,用计算机辅助设计 CAD 工具进行逻辑电路设计已经逐渐替代人工设计。尤其由于可编程器件 CPLD 或 FPGA 的出现,设计者可以很容易地借助 CAD 工具实现自己所设计的电路。为了帮助读者学会利用 CAD 工具设计逻辑电路,我们翻译了这本书。

本书最大的特点是将介绍逻辑设计的原理与介绍 CAD 工具的使用相结合,特别适合于初学设计者。逻辑设计原理的叙述是深刻理解 CAD 工具的功能和使用方法的坚实基础。本书以大量的篇幅介绍了各类电路的设计方法,包括组合电路和时序电路,以及简单的处理器。通过阅读本书,读者可以很快学会设计具体的逻辑电路。这一点是一般 CAD 工具书所不能替代的。

VHDL 语言是大多数 CAD 系统所使用的标准硬件描述语言,是用 CAD 工具设计逻辑电路的基础。但 VHDL 是复杂的语言,即使对该语言很了解,也不能说能够正确地描述具体电路。为了解决这个问题,本书不但介绍各种电路的 VHDL 描述方法,而且提供了 CD-ROM 光盘。该光盘包含有 Altera 公司的 MAX+plus II 教学软件,以及许多实例与练习。本书还在附录中详细地介绍了设计电路常用到的 VHDL 语法和用 MAX+plus II 软件设计电路的使用指南。为读者自学和实验提供了方便。

本书由边计年翻译第 1,2,8,10,11 章,薛宏熙翻译第 3~7 章,吴强翻译第 9 章和附录。全书由边计年定稿。

在翻译的过程中,得到原书作者的支持与帮助,提供了各章插图的电子版本,在此表示感谢。

由于翻译水平所限,本书一定存在不足之处,衷心欢迎读者批评指正。

译 者

序 言

数字逻辑设计是大多数电子和计算机工程专业的一门基础课程,本书为入门教程。要想成功设计数字逻辑电路,设计者首先必须深入理解其基本概念,并能够灵活掌握计算机辅助设计(CAD)工具。本书正是兼顾基本概念与CAD工具的实际应用两个方面。为了提高学习效果,本书带有一张必要的CAD软件CD盘。

许多关于数字逻辑设计的书籍普遍存在的一个严重缺点是所包含的材料往往过多。一本书包含大量的话题是难以在课堂上使用的,尤其当这些话题讲得不够深入时更是如此。另一些作者则试图提供大量的实践指导,而学生往往还在钻研基本概念,跟不上教材。我们力图避免这两个问题。

本书的特点为:(1)先用典型的数字电路手工设计方法教给学生基本概念;(2)用CAD工具清楚地阐明当今设计数字电路的方法。尽管目前除了少数情况外,已经不再用手工的方法设计,我们还是想把这些技术教给学生,使学生对如何设计数字电路有感性认识。另外,手工方法对CAD工具实现的功能提供了很好的解释,使学生能够体会自动设计的优点。本书始终以简单电路设计例子引出基本概念,这些例子都同时用手工方法和现代CAD方法设计。在掌握基本概念之后,再提供一些用CAD工具的复杂例子。我们的重点仍放在现代设计方法上,阐明当今数字电路是如何设计的。

1. 实现技术和所提供的CAD工具

本书讨论当前数字电路的实现技术。简单讨论小规模集成电路(SSI)及半定制、全定制技术,但其重点是可编程逻辑器件(PLD)。PLD技术最适合于教科书,主要有两个原因:第一,PLD在实践中广泛应用,而且适合于几乎全部数字电路设计类型。事实上,学生在实际工作中往往更愿意接纳基于PLD的设计。第二,PLD电路可由终端用户所实现,因而在实验室内就可为学生提供在一个在实际芯片上实现书中设计例子的机会。学生也可以在自己的计算机上模拟自己设计的电路。我们采用两种最常用的PLD类型作为设计对象:复合可编程逻辑器件(complex programmable logic devices, CPLD)和现场可编程门阵列(field-programmable gate arrays, FPGA)。

我们介绍的CAD设计方法是以Altera公司的MAX+plus II软件为基础的。该数字电路设计软件已经赢得工业界的赞誉,它是一个便于使用的成熟的实用软件包。MAX+plus II提供了将设计自动匹配到Altera CPLD和FPGA的功能,已经在工业界获得广泛应用。MAX+plus II最吸引人的地方有下列几点:

- MAX+plus II是技术上成熟的商业化产品。本书所用的版本支持该系统的所有主要部分,学生将能够很容易地学会用CAD系统设计,在所选择的器件上实现自己的设计,并可以随时改变所选的器件,可以在不同器件上实现设计。
- MAX+plus II提供了用硬件描述语言(hardware description language, HDL)和原理图编辑两种把设计输入到计算机的手段。本书提供了用原理图编辑的实例,但着重介绍基于硬件描述语言的设计方法,因为这是实际使用的最有效的设计方法。详

细介绍了 IEEE 的标准 VHDL 语言,并用于许多例子中。本书用的 CAD 系统包含一个 VHDL 编译器,它将学生设计的 VHDL 代码自动生成电路描述,并在实际芯片上实现这个电路。

- MAX+plus II 可以自动用各种不同的器件实现一个设计。我们将说明选择不同的器件如何影响所设计的电路。
- MAX+plus II 可以在绝大多数类型的通用计算机上运行。我们希望大多数学生使用在(可运行微软 Windows 的任意版本)IBM 兼容机上可运行的软件版本,本书就提供了这样的版本。然而 Altera 公司也提供了可用于其他计算机的教学软件,如 SUN 和 HP 工作站。

每本书都带有一张 MAX+plus II 的光盘。软件的使用贯穿本书,学生有能力首先运行所有的设计例子。为了使学生会如何使用这些软件,本书提供了 3 个循序渐进的实用指南。

2. 本书内容

第 1 章为数字系统设计过程概述,讨论了设计过程的关键步骤,说明了如何用 CAD 工具自动实现所要求的任务。

第 2 章介绍逻辑电路的基本知识,介绍用来表示逻辑电路的布尔代数。向读者第 1 次展现 VHDL,一个可用来描述逻辑电路的硬件描述语言的例子。

第 3 章介绍数字电路在电子方面的知识,告诉读者如何用晶体管构造基本门,并展示影响电路性能的各种可变因素。其重点放在最近的工艺技术,尤其是 CMOS 工艺和可编程逻辑。

第 4 章为组合电路的综合技术,覆盖综合过程的所有方面,从初始设计开始,经过优化步骤,得到所期望的最终电路。其中介绍了如何用 CAD 工具实现这些目标。

第 5 章集中讨论实现算术运算的电路,首先讨论在数字系统中如何表示数,然后说明这样的数如何在数字电路中使用。本章阐明如何用 VHDL 描述所期望的功能,CAD 工具提供哪些机制用来开发所期望的电路。我们还在本章介绍数的表示,而不是在全书的开头介绍,以便使得对数的讨论更有意义也更有兴趣,这是因为我们在这里就可以提供在实际电路中如何处理数值的例子。

第 6 章介绍用作组成模块的组合电路,包括编码器、译码器和多路器。这些电路非常便于阐明许多 VHDL 构造的应用,给读者提供一个机会去发现更多的 VHDL 高级特性。

第 7 章介绍存储元件,讨论如何用触发器实现规则结构,如移位寄存器和计数器,并给出这些电路的 VHDL 描述。本章末尾给出一个较大的设计例子。

第 8 章给出同步时序电路(有限自动机)的详细表述,阐明了这些电路的行为,并介绍用手工和自动两种方法开发实际设计的技术。

第 9 章讨论异步时序电路,不是面面俱到地叙述,而是提供了时序电路的主要特性。尽管异步电路的应用不是很广泛,却为深刻理解通常数字电路的操作提供了一个媒介。本章阐明了传播延迟和竞争条件的原理及对电路结构的影响。

第 10 章讨论实际系统设计中常出现的实际问题及其解决办法。用较大型电路实例说明如何用层次化的方法设计数字电路。

第 11 章介绍测试方面的概念,逻辑电路的设计者必须明白对电路进行测试的必要,至

少要熟悉测试方面最基本的知识。

附录 A 提供了完全的 VHDL 特性一览。此目的是为了便于读者在编写 VHDL 代码时随时查阅。附录中作了详尽的解说,以便帮助读者尽快掌握其基本含义。

附录 B、C、D 为关于 MAX+plus II 的循序渐进的 3 个使用指南,适用于自学,一步一步地教给学生如何使用本书所提供的 CAD 软件。

附录 E 给出实例中所用的器件的详尽信息,也包含有关 TTL 工艺的简单介绍。

3. 课程讲授内容建议

本书全部内容适于 2 个季度的课程。1 个学期的课程,甚至 1 个季度的课程也可以覆盖大部分最重要的内容,但只有在不需要花费太多时间对学生介绍 VHDL 和 CAD 工具时才是可能的。为达到此目的,我们按照模块形式组织 VHDL 的材料以便于自学。在多伦多大学不同班级的教学实践表明,介绍 VHDL 只需要 2~3 个学时,大多集中在时序电路的描述方面。本书给出的 VHDL 实例都带有大量说明,学生很容易理解。同时,也可以不讲 CAD 工具的使用方法,因为学生完全可以通过附录 B、C、D 自学。

本书也适用于不涉及 VHDL 的逻辑设计课程。但是,VHDL 的某些知识,甚至是基本水平,对学生也是有用的,对今后设计工程师的工作非常有帮助。

1 学期课程:

正式讲授自然以第 2 章为起点。第 1 章的材料为一般叙述,说明逻辑电路为什么是重要的和有趣的;学生很容易阅读和理解这些材料。

下面的材料是需要讲授的:

- 第 2 章 各节。
- 第 3 章 3.1~3.7 节。如果学生有电路的某些基本知识,讲授第 3.8 节和 3.9 节也是有用的。
- 第 4 章 4.1~4.8 节、4.12 节。
- 第 5 章 5.1~5.5 节。
- 第 6 章 各节。
- 第 7 章 各节。
- 第 8 章 8.1~8.9 节。

如果时间允许,包含第 9 章的 9.1~9.3 节、9.6 节以及第 10 章的某些实例也是非常有用的。

1 季度课程:

- 第 2 章 各节。
- 第 3 章 3.1~3.3 节。
- 第 4 章 4.1~4.6 节、4.12 节。
- 第 5 章 5.1~5.3 节、5.5 节。
- 第 6 章 6.1~6.6 节。
- 第 7 章 7.1~7.10 节。
- 第 8 章 8.1~8.5 节。

4. 较传统的方法

第 2 章和第 4 章介绍布尔代数、组合逻辑电路和基本最小化技术。第 2 章提供了有关

仅使用与门、或门、非门的电路的初步知识。第 3 章讨论详细实现技术。第 4 章讨论最小化技术和门的其他类型。第 4 章的材料对于已经理解使用与非门、或非门、异或门以及各种可编程逻辑器件的技术的学生更有用。

对于熟悉更传统的方法的老师,只讲第 2 章和第 4 章即可。为了理解与非门、或非门、异或门的使用方法,只需要提供这些门的功能定义。

5. VHDL

VHDL 是一种复杂的语言,某些教师可能认为让初学的学生掌握 VHDL 是很难的一件事。我们完全同意这个观点,并力求获得解决。没有必要介绍 VHDL 语言的全部。本书只介绍在逻辑电路的设计与综合过程中常用的那些重要的语言结构,而省略其他许多语言结构,譬如只用于模拟的语言结构等。

本书包含 100 多个完整的 VHDL 代码的例子。这些例子从只包含几个门的电路到表示一个数字系统(比如一个处理器),来说明如何用 VHDL 语言描述各种不同的逻辑电路。

6. 课外练习

本书提供了 400 多个习题。供教师用的习题答案在与本书配套的“答案手册”中提供。适合于教学目的、测验的其他习题与课外练习可参考作者的网页 <http://www.mhhe.com/brownvranesic>。网页上也提供书中的一些图,是可用于课堂讲授的 PowerPoint 格式。

7. 实验

本书可以用于不同实验室的课程,学生可以使用本书提供的 CAD 工具对自己设计的电路进行模拟,从而获得有用的实践经验。如果可以提供实验室,本书大量例子适合于在实验室做实验。作者网页中还提供了另外一些例子。

致谢

感谢那些在本书准备期间曾经提供过帮助的人们。Kelly Chen 对本书手稿技术准备提供了帮助,Dan Vranesic 作了大量的画图,他和 Deshanand Singh 共同帮助准备答案。我的同事 Alex Grbic,Robin Grindley,Alireza Kaviani,Jonathan Rose 以及 Zeljko Zilic 对本书手稿提出了许多有益的建议。Steve Mann 帮助我们完成了图 1.5。评阅者包括:McGill 大学的 James Clark,Georgia 技术学院的 Stephen DeWeerth,北 Carolina 州立大学的 Clay Gloster Jr.,女王大学的 Carl Hamacher,Waterloo 大学的 Wayne Loucks,Rochester 技术学院的 James Palmer,南 California 大学的 Gandhi Puvvada,Boston 大学的 Tatyana Roziner,Carnegie Mellon 大学的 Rob Rutenbar 和 Mariland 大学的 Charles Silio Jr.,他们提出了许多宝贵的意见。我们还要感谢 Altera 公司的 Tim Southgate,Joe Hanson,Alan Herrmann,Tawfiq Mossadak 和 Erica Heidinger,他们在提供 MAX+plus II CAD 系统方面作出很大贡献。McGraw-Hill 出版社的工作人员的支持堪称模范。我们还要感谢 Kelley Butcher,Heather Burbridge,Mary Christianson,Catherine Fields,Michelle Flomenhoft,Betsy Jones,Chris Styles 和 Alisa Watson 给予的帮助。最后,感谢促使我们致力于本书写作的 Eric Munson。

Stephen Brown
Zvonko Vranesic

目 录

第 1 章 设计概念	1
1.1 数字硬件	1
1.1.1 标准芯片	2
1.1.2 可编程逻辑器件	3
1.1.3 全定制设计芯片	3
1.2 设计过程	4
1.3 数字硬件的设计	5
1.3.1 基本设计周期	5
1.3.2 数字硬件单元的设计	6
1.4 本书的逻辑电路设计	8
1.5 理论与实际	9
参考文献	10
第 2 章 逻辑电路导论	11
2.1 变量与函数	11
2.2 反相	13
2.3 真值表	14
2.4 逻辑门与网络	14
2.4.1 逻辑网络的分析	15
2.5 布尔代数	17
2.5.1 文氏图	20
2.5.2 记号与术语	22
2.5.3 运算的优先级	22
2.6 用与门、或门和非门进行综合	23
2.6.1 积之和形式与和之积形式	25
2.7 设计实例	28
2.7.1 三路灯控制	28
2.7.2 多路器电路	30
2.8 CAD 工具简介	31
2.8.1 设计输入	31
2.8.2 综合	33
2.8.3 功能模拟	34
2.8.4 小结	34
2.9 VHDL 简介	35
2.9.1 用 VHDL 表示数字电路	36

2.9.2	如何写简单 VHDL 代码	36
2.9.3	如何写 VHDL 代码	38
2.10	结论	39
	习题	39
	参考文献	42
第 3 章	实现技术	43
3.1	晶体管开关	43
3.2	NMOS 逻辑门	45
3.3	CMOS 逻辑门	48
3.3.1	逻辑门电路的速度	52
3.4	负逻辑系统	52
3.5	标准芯片	54
3.5.1	7400 系列标准芯片	54
3.6	可编程逻辑器件	56
3.6.1	可编程逻辑阵列 PLA	56
3.6.2	可编程阵列逻辑 PAL	58
3.6.3	对 PLA 和 PAL 编程	60
3.6.4	复合可编程逻辑器件 CPLD	61
3.6.5	现场可编程门阵列	63
3.6.6	使用 CAD 工具在 CPLD 和 FPGA 中实现电路	67
3.7	客户定制芯片、标准单元和门阵列	67
3.8	实际特性	69
3.8.1	金属氧化物场效应晶体管的制造和特性	70
3.8.2	MOSFET 的导通电阻	72
3.8.3	逻辑门的电平	73
3.8.4	噪声容限	74
3.8.5	逻辑门的动态运行	75
3.8.6	逻辑门的功耗	77
3.8.7	通过晶体管开关传送 1 和 0	79
3.8.8	逻辑门的扇入和扇出	80
3.9	传输门	84
3.9.1	异或门	85
3.9.2	多路器电路	85
3.10	可编程器件(SPLD,CPLD 和 FPGA)的实现细节	86
3.10.1	FPGA 的实现	91
3.11	结束语	92
	习题	93
	参考文献	100

第4章 逻辑函数的优化实现	101
4.1 卡诺图	101
4.2 最小化的策略	107
4.2.1 名词术语	108
4.2.2 最小化过程	109
4.3 和之积形式的最小化	111
4.4 不完全规定函数	113
4.5 多输出电路	114
4.6 与非门和或非门组成的逻辑网络	116
4.7 多级综合	118
4.7.1 提取公因子	118
4.7.2 功能分解	121
4.7.3 多级与非和或非电路	125
4.8 多级电路分析	127
4.9 立方体表示法	131
4.9.1 立方体和超立方体	131
4.10 使用立方体表示法对函数最小化	134
4.10.1 产生质蕴涵项	134
4.10.2 确定必要质蕴涵项	136
4.10.3 求最小覆盖的完整过程	138
4.11 一些实际问题	140
4.12 CAD 工具	140
4.12.1 逻辑综合和优化	141
4.12.2 物理设计	142
4.12.3 时序模拟	143
4.12.4 设计流程小结	144
4.12.5 由 VHDL 代码综合而得的电路实例	145
4.13 小结	150
习题	150
参考文献	154
第5章 数的表示方法和算术运算电路	155
5.1 数的位置表示法	155
5.1.1 无符号整数	155
5.1.2 十进制系统和二进制系统之间的转换	156
5.1.3 八进制和十六进制数的表示方法	156
5.2 无符号数的加法运算	158
5.2.1 全加器的分解	161
5.2.2 行波进位加法器	161
5.2.3 设计实例	162
5.3 有符号数	163

5.3.1	负数	164
5.3.2	加法和减法	165
5.3.3	加法器、减法器	168
5.3.4	基数补码方案	170
5.3.5	算术运算的一般观察	173
5.3.6	电路的性能	174
5.4	快速加法器	174
5.4.1	先行进位加法器	175
5.5	使用 CAD 工具设计算术运算电路	180
5.5.1	使用原理图编辑器设计算术运算电路	180
5.5.2	使用 VHDL 设计算术运算电路	182
5.5.3	VHDL 代码中表示数字方法	185
5.5.4	算术赋值语句	186
5.6	乘法	189
5.6.1	无符号数的阵列乘法器	190
5.6.2	有符号数的乘法	192
5.7	数的其他表示方法	193
5.7.1	定点数	193
5.7.2	浮点数	193
5.7.3	二十进制表示法	194
5.8	ASCII 字符代码	198
习题		200
参考文献		203
第 6 章	组合电路积木块	204
6.1	多路器	204
6.1.1	以多路器为元件的逻辑综合	206
6.1.2	使用香农展开的多路器综合	209
6.2	译码器	213
6.2.1	多路分解器	216
6.3	编码器	217
6.3.1	二进制编码器	217
6.3.2	优先级编码器	218
6.4	代码转换器	219
6.5	算术比较电路	219
6.6	用 VHDL 设计组合逻辑电路	221
6.6.1	赋值语句	221
6.6.2	选择信号赋值语句	221
6.6.3	条件信号赋值语句	224
6.6.4	FOR 生成语句	226

6.6.5 并行和顺序赋值语句.....	228
6.6.6 进程语句.....	228
6.6.7 CASE 语句.....	232
6.7 结束语.....	235
习题.....	236
参考文献.....	239
第7章 触发器、寄存器、计数器和一个简单的处理器.....	240
7.1 基本的锁存器.....	241
7.2 SR 选通锁存器.....	242
7.2.1 用与非门组成选通 RS 锁存器.....	244
7.3 选通 D 锁存器.....	244
7.3.1 传输延迟的影响.....	246
7.4 主-从触发器和边沿触发 D 触发器.....	247
7.4.1 主-从 D 触发器.....	247
7.4.2 边沿触发的 D 触发器.....	247
7.4.3 带有清 0 和预置信号的 D 触发器.....	250
7.5 T 触发器.....	252
7.5.1 可配置的触发器.....	253
7.6 JK 触发器.....	253
7.7 术语小结.....	254
7.8 寄存器.....	254
7.8.1 移位寄存器.....	254
7.8.2 并行存取的移位寄存器.....	255
7.9 计数器.....	256
7.9.1 异步计数器.....	257
7.9.2 同步计数器.....	258
7.9.3 具有并行加载功能的计数器.....	262
7.10 同步清 0.....	263
7.11 其他类型的计数器.....	264
7.11.1 二十进制计数器.....	265
7.11.2 环形计数器.....	265
7.11.3 Johnson 计数器.....	267
7.11.4 关于计数器设计的评述.....	267
7.12 用 CAD 工具设计含存储元件的电路.....	267
7.12.1 用图形编辑器设计含存储元件的电路.....	267
7.12.2 在 VHDL 代码中使用锁存器和触发器.....	270
7.12.3 用 VHDL 的顺序语句描述存储元件.....	270
7.13 用 CAD 工具设计包含寄存器和计数器的电路.....	273
7.13.1 用图形编辑器设计包含寄存器和计数器的电路.....	273

7.13.2	用 VHDL 描述含寄存器和计数器的电路	276
7.13.3	使用 VHDL 的顺序语句描述寄存器和计数器	276
7.14	设计实例	283
7.14.1	总线结构	283
7.14.2	简单的处理器	293
7.14.3	反应计时器	302
7.15	小结	306
	习题	306
	参考文献	310
第 8 章	同步时序电路	311
8.1	基本设计步骤	312
8.1.1	状态图	312
8.1.2	状态表	313
8.1.3	状态分配	313
8.1.4	选择触发器得到次态和输出表达式	315
8.1.5	时序图	316
8.1.6	设计步骤小结	317
8.2	状态分配问题	320
8.2.1	一热态位编码	322
8.3	Mealy 状态模型	323
8.4	用 CAD 工具设计有限状态机	327
8.4.1	用 VHDL 描述 Moore 型有限状态机	327
8.4.2	VHDL 代码的综合	329
8.4.3	电路的模拟与测试	331
8.4.4	另一种风格的 VHDL 代码	332
8.4.5	使用 CAD 工具的设计步骤小结	334
8.4.6	用 VHDL 代码指定状态分配	334
8.4.7	用 VHDL 描述 Mealy 型有限状态机	336
8.5	串行加法器实例	338
8.5.1	串行加法器的 Mealy 型有限状态机	338
8.5.2	串行加法器的 Moore 型有限状态机	339
8.5.3	串行加法器的 VHDL 代码	341
8.6	状态最小化	345
8.6.1	划分最小化过程	345
8.6.2	不完全规定有限状态机	350
8.7	用时序电路的方法设计计数器	351
8.7.1	模 8 计数器的状态图和状态表	352
8.7.2	状态分配	352
8.7.3	用 D 触发器实现	353

8.7.4	用 JK 触发器实现	355
8.7.5	实例——另一种计数器	357
8.8	仲裁器电路的有限状态机	359
8.8.1	仲裁器电路的实现	360
8.8.2	减小状态机的输出延迟	364
8.8.3	小结	364
8.9	同步时序电路的分析	364
8.10	算法状态机(ASM)流程图	367
8.11	时序电路的形式模型	370
8.12	结束语	371
	习题	371
	参考文献	374
第 9 章	异步时序电路	376
9.1	异步行为	376
9.2	异步电路分析	379
9.3	异步电路综合	385
9.4	状态化简	395
9.5	状态分配	406
9.5.1	迁移图	408
9.5.2	利用未指定的次态项	411
9.5.3	利用附加状态变量的状态分配	414
9.5.4	一热态位状态分配	418
9.6	冒险	419
9.6.1	静态冒险	419
9.6.2	动态冒险	423
9.6.3	冒险的影响	424
9.7	一个完整的设计实例	424
9.7.1	自动售货机控制器	425
9.8	本章小结	429
	习题	429
	参考文献	432
第 10 章	数字系统设计	433
10.1	积木块电路	433
10.1.1	带使能输入的触发器和寄存器	433
10.1.2	带有使能输入的移位寄存器	434
10.1.3	静态随机访问存储器(SRAM)	436
10.1.4	PLD 中的 SRAM 模块	438
10.2	设计实例	438
10.2.1	位计数器电路	439
10.2.2	含有时间信息的算法状态图	440

10.2.3	移位加乘法器	443
10.2.4	除法器	447
10.2.5	算术平均数	454
10.2.6	排序操作	458
10.3	时钟同步	466
10.3.1	时钟偏移	466
10.3.2	触发器的时间参数	468
10.3.3	触发器的异步输入	469
10.3.4	消除开关抖动	470
10.4	结论	470
	习题	471
	参考文献	474
第 11 章	逻辑电路的测试	475
11.1	故障模型	475
11.1.1	固定故障	475
11.1.2	单故障与多故障	475
11.1.3	CMOS 电路	476
11.2	测试集的复杂性	476
11.3	路径敏化	477
11.3.1	指定故障的检测	478
11.4	树型结构的电路	480
11.5	随机测试	481
11.6	时序电路的测试	483
11.6.1	可测性设计	483
11.7	内建自测试	486
11.7.1	内建逻辑块观察器	489
11.7.2	名标分析	491
11.7.3	边界扫描	491
11.8	印制电路板	492
11.8.1	PCB 的测试	493
11.8.2	测试设备	494
11.9	本章小结	495
	习题	495
	参考文献	497
附录 A	VHDL 简介	498
附录 B	使用指南 1	541
附录 C	使用指南 2	566
附录 D	使用指南 3	581
附录 E	商业器件	602
附录 F	英汉词汇对照表	613