

国外经典计算机科学教材

CMOS VLSI Design:
a Circuits and Systems Perspective
(Third Edition)

CMOS

超大规模集成电路设计

(第三版)

[美] Neil H.E. Weste 著
David Harris

汪东 李振涛 毛二坤 李宝锋 等译



中国电力出版社

www.infopower.com.cn

国外经典计算机科学教材

CMOS VLSI Design:
a Circuits and Systems Perspective
(Third Edition)

CMOS

超大规模集成电路设计

(第三版)

[美] Neil H.E. Weste 著
David Harris

汪东 李振涛 毛二坤 李宝锋 等译



中国电力出版社
www.infopower.com.cn

CMOS VLSI Design: a Circuits and Systems Perspective, 3rd Edition (ISBN 0-321-14901-7)

Neil H.E. Weste, David Harris

Copyright ©2005 by Pearson Education, Inc.

Original English Language Edition Published by Addison-Wesley.

All rights reserved.

Translation edition published by PEARSON EDUCATION ASIA LTD and CHINA ELECTRIC POWER PRESS,
Copyright © 2006.

本书翻译版由 Pearson Education 授权中国电力出版社独家出版、发行。
未经出版者书面许可，不得以任何方式复制或抄袭本书的任何部分。

本书封面贴有 Pearson Education 防伪标签，无标签者不得销售。
北京市版权局著作权合同登记号 图字：01-2005-3608 号

图书在版编目 (CIP) 数据

CMOS 超大规模集成电路设计 (第三版) / (美) 威斯特 (Weste, H.E.), (美) 哈里斯 (Harris, D.) 著; 汪东等译. 北京: 中国电力出版社, 2005.10

(国外经典计算机科学教材系列)

书名原文: CMOS VLSI design: a circuits and systems perspective, 3rd Edition

ISBN 7-5083-3862-6

I. C... II. ①威... ②哈... ③汪... III. 超大规模集成电路-电路设计-高等学校-教材 IV. TN47
中国版本图书馆 CIP 数据核字 (2005) 第 114483 号

丛 书 名: 国外经典计算机科学教材系列

书 名: CMOS超大规模集成电路设计 (第三版)

编 著: (美) Neil H.E. Weste, David Harris

翻 译: 汪 东 李振涛 毛二坤 李宝锋等

责任编辑: 牛贵华

出版发行: 中国电力出版社

地址: 北京市三里河路6号 邮政编码: 100044

电话: (010) 88515918 传 真: (010) 88518169

印 刷: 北京铁成印刷厂印刷

开本尺寸: 185×233

印 张: 50 字 数: 1361千字

书 号: ISBN 7-5083-3862-6

版 次: 2006年4月北京第1版

2006年4月第1次印刷

定 价: 89.00元

版权所有 翻印必究

译者序

微电子技术是 21 世纪信息时代的关键技术之一，是技术进步和经济发展的重要因素。它是计算技术、自动控制、纳米、通信技术的基础，并为之开拓新的应用领域和市场而不断创立新的技术平台。半个世纪以来，集成电路经历了中小规模（MSI）、大规模（LSI）和超大规模（VLSI）发展阶段，今后将进入 SOC（System On Chip，片上系统）的阶段。集成度的日益提高、特征工艺尺寸的不断缩小、性能与功耗的同步增长，给人们进行 VLSI 设计提出了越来越大的挑战。

20 世纪 60 年代，随着 MOS 场效应晶体管的制作成功，MOS 工艺走上了飞速发展的阶段，在以后的 30 年中，经历了 PMOS、NMOS、HMOS、HCMOS 和深亚微米 CMOS 等发展阶段，并成为当代集成电路的主流工艺。例如，1972 年 Intel 推出的 4004 微处理器采用的就是 $6\mu\text{m}$ 的 NMOS 工艺，仅仅集成了几千个晶体管。时至今日，以 Pentium 4 为代表的先进微处理器已经采用了 $0.13\mu\text{m}$ 的深亚微米 CMOS 工艺，集成了 4200 万个晶体管。21 世纪，集成电路仍将以尺寸不断缩小的 CMOS 工艺为主流，发展预测见下表。CMOS 工艺加工主要受到光刻技术的限制。目前，人们已经在实验室里制作出了 $0.018\mu\text{m}$ 的 MOSFET。

时 间	1999 年	2001 年	2003 年	2006 年	2009 年	2012 年
特征尺寸 (nm)	180	150	130	100	70	50
集成度 (晶体管数/cm ²)	6.2×10^6	10×10^6	18×10^6	39×10^6	84×10^6	180×10^6
布线层数	6~7	7	7	7~8	8~9	9
电源电压 (V)	1.5	1.2	1.2	0.9	0.6	0.5

由 Neil H.E. Weste 和 David Harris 共同编著的这本《CMOS VLSI Design》已经是第 2 次修订。在前两版问世期间，CMOS 技术日新月异，取得了长足的发展。根据多年来从事 VLSI 设计工作的经验，译者认为，VLSI 设计是一项实践性很强的工作，离不开团队的合作，需要从事逻辑设计、模拟测试、物理设计等各种工作的设计者密切协调，所涉及的设计方法与流程不一而足。本书的内容经过扩展和重编，对于 VLSI 设计中可能遇到的各种问题提出了独到的见解，实用性很强。总的来看，本书具有以下突出特点：

- 能够跟踪近几年内集成电路设计与制造的新技术、新特点。
- 披露了类似 Itanium 2 这样的高性能微处理器中的许多关键技术。
- 内附大量设计范例，并给出了解决方案，具有很强的参考价值。

- 内容丰富，资料详实，无论对于进行VLSI设计的工程师，还是教授或学习VLSI设计课程的教师和学生，都是很好的参考。

本书以基本概念为基础，跟踪介绍了当前最先进的VLSI技术。第1~3章概述了CMOS VLSI设计基本流程、MOS晶体管理论和CMOS工艺技术。第4、5章介绍了如何模拟和评价电路的性能。第6、7章分别介绍了组合电路、时序电路的设计方法。第8章介绍了有关设计方法学和CAD工具的知识。第9章详细介绍了测试与验证技术。第10~12章则从更宏观的角度介绍了数据通路子系统、阵列子系统与专用子系统这三大子系统的设计方法。书后的两个附录A和B分别介绍了Verilog和VHDL两大硬件描述语言的使用方法。每章中间都有很多范例并给出了相应解答，每章后面都附有习题，以增强读者对基本概念的理解。此外，本书的官方网站上还提供了与该课程配套的VLSI课程实验手册、免费CAD工具和VLSI资源。使用本书的教师还可以找到根据本书内容制作的幻灯片作为参考。

本书的翻译主要由汪东博士完成，李振涛、李宝峰、孙庆、贺鹏、张新芳、毛二坤、陶俊也参与了部分章节的翻译工作。全书最后由汪东统稿。肖国尊负责本书翻译质量和进度的控制与管理。此外，本书翻译过程得到了徐传福、曹亚菲、刘宇驰、宋锐、孙书维、陈宝民、束尧、沈俊杰、陈亚、束螺、肖和平、张杰良、杨定新、宋新、于大东、张绪冰、张英、王景新、许华、崔永花、李蕾等人员的支持和帮助，在此表示衷心的感谢。本书是一本有关CMOS VLSI设计理论的经典著作，希望各位能够从本书中获益！

在本书翻译过程中，我们对书中的一些错误进行了更正。敬请各位读者就本书提供反馈意见，我们希望通过读者的意见来了解自己的不足，以求在今后译作中更多地和更切实际地考虑读者的需要。读者可以将意见发送到 be-flying@sohu.com。

译者



前 言

在本书第一版出版后的二十年内，CMOS 技术在现代电子系统设计领域中占据了极高的地位，促进了个人电脑的广泛应用。在本书第二版出版后的十年内，CMOS 技术继续进步，使人们能够涉足 Internet 和无线通信领域。当前工艺水平下的芯片中的晶体管数量和时钟频率已经增长了几个数量级。

	第一版	第二版	第三版
年代	1985	1993	2004
晶体管数量	$10^5 \sim 10^6$	$10^6 \sim 10^7$	$10^8 \sim 10^9$
时钟频率	10^7	10^8	10^9
全世界销售额	\$25B	\$60B	\$170B

本书经过扩展和重新编写，力图反映过去十年内集成电路设计方面的巨大进步。尽管一些基本原理在很大程度上没有变化，但是随着晶体管数量的增加和时钟速度的加快，功耗日益增长的挑战，生产率 and CAD 工具的改进，真正的设计过程已经发生了巨大的变化。

如何使用本书

相比其他在一个学期内讲述的课程内容而言，本书的内容具有更宽的广度和更深的深度。本书适合作为大学 VLSI 的首要课程，同时对于高年级研究生来说也足够详细，对于从事 VLSI 设计工作的工程师们来说也是一本很有用的参考书。我们鼓励读者根据自己的兴趣选择相关的内容来阅读。第 1 章概述了整个 VLSI 设计领域，而后续几章则详细介绍了各个专题。对于那些对深入理解后续章节来说不必要的部分，本书标注了可选的标志（参见页边空白处的例子）。读者在第一遍阅读的时候可以跳过这些内容，当这些内容与你工作相关时再回头阅读。

我们尽量在可能的地方采用了图形表示（“一图胜千言”）以激发读者的想像。当读者在阅读本书中遇到范例时，我们建议先思考一下然后再看解答。我们还提供了丰富的参考资料，以供那些需要深入钻研本书所涉及内容的读者使用。我们对业界普遍使用的最佳实现方法进行了强调，对一些缺陷和谬论提出了警告。随着技术和应用的变化，我们对某些电路优势的判断可能会出现错误，但是我们认为作者有责任尽力把好的方面和坏的方面区分开。

增补内容

更新并扩充增补内容是这一版的主要目的。目前，本书有大量的补充资料供学生和教师们使用。所有这些资料都可以在本书的官方网站 www.aw-bc.com/weste 上找到。提供给学生的本课程增补内容包括：

- 关于第 1 章所介绍的 8 位微处理器设计实验练习的实验手册。
- 包括开源 CAD 工具和工艺参数在内的 VLSI 资源链接集合。
- 包括所选习题答案的学生解题手册。

提供给指导教师的本课程增补内容包括：

- 一个教学大纲样本。
- 介绍 VLSI 课程的授课幻灯片。
- 关于习题解答的教师手册。

这些资料是专门为使用本书作教材的教师们准备的。请发送 E-mail 到 aw.cse@aw.com，以获取有关访问途径。

致谢

我 (Neil) 首先要感谢我的合著者 David Harris，是他鼓励我从“退休的出书人”走出来写这本书。没有他的不懈努力，就没有这本书的问世。另外，我还要感谢长期以来支持我的妻子 Avril，她曾经劝我“永远不要再写书”，但这次她再次支持了我。

在过去的大约十年中，我与 Radiata Communications/Cisco System 的同事的合作经历使我学会了如何获取混合信号以及如何将 RF CMOS 电路从理论变成产品。其中的许多经历都反映在这版新书中。Gordon Foyster 编写的软件使我们能够把掩模设计过程转变成脚本描述方式，这种新的设计方式在过去数十年内都一直得以沿用。Steve Avery 在如何处理掩模图形方面提出了很好的建议，并提供了各种有助于理解本书的注释性内容。Geoff Smith 完成了第 1 章中布局布线实例的合成工作，并且和 Gordon 一起提供了很多有关设计方法的建议。Jared Anderson 完成了第 8 章的 MATLAB 实验和 NCO 综合工作。Phil Ryan、Greg Zyner 和 Mike Webb 为本书提供了关于数字方法和设计管理方面的支持。Andrew Adams、Jeffrey Harrison 和 John Olip 在 RF 方面给我提供了帮助。Rodney Chandler 提供了 ADC 理论和实践。Brian Hart 提供了第 12 章中的 INL/DNL 图。Tom McDermott 经常给我提供软件方面的指导和电子方面的信息。Chris Corcoran 常常帮助我解决有关笔记本电脑死机和其他看起来似乎无法克服的软件或者网络问题。John O' Sullivan 提供了一些很有用的反馈信息，发表了很多好的看法。George Bouchaya 为本书提供了大量有关制造技术方面的背景材料。John Haddy 为本版书提供了一些图片。

Bronwyn Forde 提供了管理方面的帮助。远方的 Dave Leonard 和 Bill Rossi 也提供了帮助。最后，我还要感谢长期以来我在生意上的合作伙伴和朋友 Dave Skellern、Chris Beare 和 Don MacLennan，感谢他们在多方面富有成效的帮助。我还要感谢 Cisco System 公司对本版书的支持。

本书的第二版是在马萨诸塞州的一个地下室中使用带 Symbolics Ivory 处理器的苹果微机完成的，而我写这一版书采用的技术已经在过去大约十年内广泛普及开了。在家中、酒店中和机场广泛使用的无线热点和 ADSL 技术为本书的出版做出了贡献。PC 和 Mac 笔记本电脑为本版书的问世扮演了重要的角色——使我能够随时随地地工作。

我 (David) 要大力感谢那些长期以来和我一起工作的杰出的电路设计者们。Mark Horowitz、Jonathan Allen、Bill Dally、Ivan Sutherland、Jason Stinson、Sam Naffziger、Tom Fletcher 和斯坦福的 Horowitz 小组帮助我认识了电路。我希望这本书能够反映他们教给我的有关电路方面的一些见解。我还要感谢伦敦帝国大学的 Peter Cheung，他在一个夏天中的招待使我写完了大量的东西。

我要感谢很多人对本书提出的意见和建议。这些人包括：Bharadwaj “Birdy” Amrutur、Jacob Baker、Kerry Bernstein、Neil Burgess、Krishnendu Chakrabarty、C.K.Chen、Bill Dally、Nana Dankwa、Azita Emami-Neyestanak、Scott Fairbanks、Tom Fletcher、Jim Frenzel、Claude Gauthier、Ron Ho、David Hopkins、Nan “Ted” Jiang、Marcie Karty、Stephen Keckler、Fabian Klass、Torsten Lehmann、Rich Lethin、Michael Linderman、Dean Liu、Wagdy Mahmoud、Ziyad Mansour、Simon Moore、Alice Parker、Braden Phillips、Parameswaran Ramanathan、Justin Schauer、Ashok Srivastava、James Stine、Gu Wei、Ken Yang 和 Evelina Yeung。Jaeha Kim、Tom Grutkowski 和 Cecilia Krasuk 对本书大部分原稿进行了十分全面的技术审阅。我们还要提前感谢很多没有提及到的人们。

TSMC 许我们在很多例子中使用其 180nm SPICE 模型。MOSIS 服务为很多工艺提供了标准的 SPICE 参数。Artisan 为本书提供了一些 TSMC 180nm 单元库的数据表。Harvey Mudd 大学提供了一些由 Kevin Mapp 拍摄的芯片照片。Steve Rubin 开发出了开源 Electric Editor 软件，生成了很多版图。

多个公司的设计者在匿名的情况下为本书第 9.12 节指出了很多有关芯片设计方面的错误。我们欢迎他们为本书的下一版继续查错。查错的过程就像从某种症状开始侦察神秘的事情，然后追踪到错误的所在，并得到出错电路的原理图以及修正错误的方法。

Harvey Mudd 大学在 2002、2003 和 2004 年春季的 E158 号“CMOS VLSI 设计”课程中，以及 Qualcomm 和 Sun Microsystems 公司的工程师课程班中都试用了本书的原稿。很多工程师帮助改进了本书原稿，他们是 Matt Aldrich、Kevin Alley、Chi Bui、Ayoob Dooply、Trevor Gile、Brad Greer、Shamit Grover、Eric Henderson、Nick Hertl、Nicole Kang、Clark Korb、Karen Lee、Li-Jen Lin、Michael Linderman、Mark Locascio、Renee Logan、Dimitrios Lymberopoulos、Khurram Malik、Charles Matlack、Joe Petolino、Geoff Shippee、Joshua Smallman、Keith Stevens、Aaron Stratton、Yushi Tian、Daniel Woo 和 Amy Yang。

Harvey Mudd 大学的 Genevieve Breed、Matthew Erler、Tommy Leung 和 David Diaz 为本书开发了很多模拟程序和图形。Harvey Mudd 大学的 David Diaz、Sean Kao 和 Daniel Lee 帮助本书开发了 MIPS 处理器的实例。Max Yi 为本书的附录 A 和附录 B 提供了 MIPS 范例。

Addison-Wesley 公司在本书的编辑和出版过程中做了大量的工作。我们要特别感谢本书的编辑 Maite Suarez-Rivas、Matt Goldstein 和 Juliet Silveri，感谢校对编辑 Kathy Smith 和美编 Gillian Hall。


在 David 还是一个婴儿的时候，Sally Harris 就开始编辑系列丛书了。她十分仔细地阅读了本书的校样并发现了几百处错误。她（在 Daniel Harris 的帮助下）还自愿承担了检查书目这种费力的工作。

我们已经认识到这样的书是很容易出错的，剩下的错误都是我们自己造成的。我们将在下一次印刷时给每处错误的第一个发现者奖励 \$1。请上网查看 www.aw-bc.com/weste 给出的勘误表，看看你所发现的错误是否已经被报告了。你可以将错误报告以及你的姓名和地址发送到 bugs@cmosvlsi.com。

N.W.

D.H.

2004 年 4 月








目 录

译者序

前 言

第1章 概论	1
1.1 集成电路的短暂历程	1
1.2 本书提要	5
1.3 MOS 晶体管	6
1.4 CMOS 逻辑	8
1.5 CMOS 的制作和版图设计	20
1.6 设计划分	30
1.7 设计实例：一个简单的 MIPS 微处理器	33
1.8 逻辑设计	39
1.9 电路设计	42
1.10 物理设计	45
1.11 设计验证	52
1.12 制造、封装和测试	53
本章小结	54
习题	55
第2章 MOS 晶体管理论	58
2.1 引言	58
2.2 理想的 I-V 特性	61
2.3 C-V 特性	64
2.4 非线性 I-V 效应	70
2.5 直流传输特性	78
2.6 开关级 RC 延迟模型	86
2.7 常见误区	89
本章小结	90
习题	91

第3章 CMOS工艺技术	93
3.1 引言	93
3.2 CMOS技术	93
3.3 版图设计规则	103
3.4 CMOS工艺增强技术	113
3.5 与工艺相关的CAD问题	123
3.6 有关制造问题	125
3.7 常见误区	127
3.8 历史透视	128
本章小结	128
习题	128
第4章 电路表征及性能评价	130
4.1 引言	130
4.2 延迟估算	130
4.3 逻辑功效与晶体管缩放	143
4.4 功耗	155
4.5 互连	162
4.6 布线工程	181
4.7 设计容限	191
4.8 可靠性	197
4.9 按比例缩小	203
4.10 常见误区	213
4.11 历史透视	215
本章小结	219
习题	220
第5章 电路模拟	225
5.1 概述	225
5.2 SPICE 模拟器简介	226
5.3 器件模型	238
5.4 描述器件特性	243
5.5 电路特性的表征	254
5.6 互连模拟	260
5.7 常见误区	263
本章小结	265
习题	266
第6章 组合电路设计	267
6.1 引言	267

6.2	电路系列	268
6.3	电路缺陷	294
 6.4	其他电路系列	301
6.5	低功耗逻辑设计	307
6.6	各种电路系列的比较	309
6.7	SOI 电路设计	310
6.8	常见误区	314
6.9	历史透视	316
	本章小结	317
	习题	318
第 7 章	时序电路设计	322
7.1	引言	322
7.2	静态电路的时序控制	322
7.3	锁存器和触发器的电路设计	337
7.4	静态时序元件设计方法学	347
 7.5	动态电路的时序控制	356
 7.6	同步器	378
 7.7	行波流水	387
7.8	常见误区	388
7.9	案例分析: Pentium 4 和 Itanium 2 的时序控制策略	389
	本章小结	393
	习题	395
第 8 章	设计方法学和工具	398
8.1	引言	398
8.2	结构化设计策略	400
8.3	设计方法	413
8.4	设计流程	432
8.5	设计经济学	446
8.6	数据表和文档	452
 8.7	缩小 ASIC 设计和定制设计之间的差距	454
8.8	CMOS 物理设计风格	457
8.9	交换格式	464
8.10	历史透视	469
8.11	常见误区	469
	习题	469
第 9 章	测试和验证	471
9.1	引言	471

9.2	测试器、测试夹具和测试程序	477
9.3	逻辑验证原理	481
9.4	硅片调试原理	485
9.5	制造测试原理	488
9.6	可测性设计	493
9.7	边界扫描	506
9.8	SOC 测试	517
9.9	混合信号测试	519
9.10	可靠性测试	520
9.11	大学环境中的测试	521
9.12	常见误区	522
	本章小结	528
	习题	529
第 10 章	数据通路子系统	530
10.1	引言	530
10.2	加法 / 减法	530
10.3	I/O 检测器	567
10.4	比较器	568
10.5	计数器	570
10.6	布尔逻辑运算	573
10.7	编码	573
10.8	移位器	577
10.9	乘法	579
10.10	前置并行计算	591
10.11	常见误区	594
10.12	历史透视	594
	本章小结	595
	习题	595
第 11 章	阵列子系统	597
11.1	引言	597
11.2	SRAM	599
11.3	DRAM	615
11.4	只读存储器	620
11.5	顺序存取存储器	625
11.6	按内容寻址存储器	627
11.7	可编程逻辑阵列	629

11.8	阵列的成品率、可靠性和自测试	636
11.9	历史透视	636
	本章小结	637
	习题	638
第 12 章	专用子系统	640
12.1	引言	640
12.2	封装	640
12.3	电源分布	644
12.4	I/O	655
12.5	时钟	660
12.6	模拟电路	679
12.7	常见误区	707
12.8	历史透视	708
	本章小结	710
	习题	710
附录 A	Verilog	712
A.1	概述	712
A.2	基于连续赋值语句的行为级建模	713
A.3	基本结构	715
A.4	基于 always 语句块的行为级建模	720
A.5	有限状态机	731
A.6	参数化模块	735
A.7	结构原语	736
A.8	测试程序	737
A.9	常见误区	739
A.10	实例: MIPS 处理器	748
附录 B	VHDL	755
B.1	概述	755
B.2	基于并发信号赋值的行为级建模	755
B.3	基本结构	759
B.4	基于 process 语句的行为级建模	765
B.5	有限状态机	772
B.6	参数化模块	775
B.7	实例: MIPS 处理器	777

第 1 章

概 论

1.1 集成电路的短暂历程

1958年,美国德州仪器公司的 Jack Kilby 研制出了由两个晶体管组成的第一个集成电路触发器。2003年, Intel 的 Pentium 4 微处理器已经集成了 5500 万个晶体管和由超过 5 亿个晶体管组成的 512Mb DRAM (dynamic random access memory, 动态随机访问存储器)。这相当于在 45 年的时间内年均综合增长率达到了 53%。迄今为止,历史上还没有哪种技术达到了如此高的增长率。

这种令人难以置信的增长速度得益于晶体管的不断缩小以及制造工艺的进步。同时,还得益于人们在工程领域中对性能、功耗和成本之间进行的折衷处理。但是,随着晶体管变得越来越小,它们的速度也变得越来越快,功耗越来越低,制造成本越来越低。这种多因素的协同不但出现在电子领域,同时也普遍出现在社会的其他领域。

现在手持式个人数字助理上已经具备了曾经只有 Cray 超级计算机才具有的处理性能。随处可见的蜂窝电话已经具备了曾经只有在秘密的军事扩频通信领域才需要的处理能力。集成电路性能的改进已经使人们实现了空间探索、提高了汽车效率、改变了战争本质,将海量的信息送到了 Web 浏览器上,从而提高了整个世界的互联性。

图 1-1 给出了全世界半导体市场的年销售额。在 1994 年,集成电路成为了一个年均 \$1000 亿销售额的产业。图中 2000 年的销售额出现了波峰,这与人们升级千年虫问题相关,随后全世界出现了经济萧条。2003 年,半导体行业制造出了超过 10^{18} 个晶体管,这相当于为全球每个人制造出了 1 亿个晶体管。成千

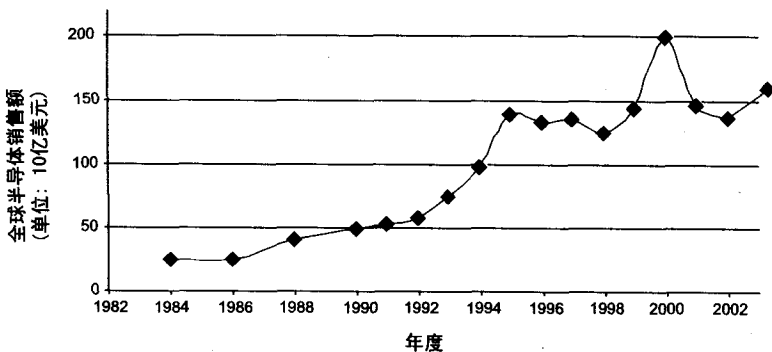


图 1-1 全世界半导体市场规模 [本图来自美国半导体行业协会 (SIA)]

上万的工程师在这个领域致富了，而那些能够提出创新思想以及能够将思想变成现实的人们也获取了新的财富。

在 20 世纪的前五十年间，电子电路使用的都是体积较大、成本昂贵、功耗很大且可靠性不高的真空管。1947 年，John Bardeen 和 Walter Brattain 在贝尔实验室构造出了第一个能够工作的点接触晶体管，如图 1-2 (a) 所示[Riordan97]。当时这项发明差一点成了军事机密，但是贝尔实验室在第二年就公布了这种器件的结构。

因为当电子信号从输入端到输出端传输通过时，这种电阻器或半导体器件对信号有放大作用，所以我们称之为晶体管，T-R-A-N-S-I-S-T-O-R。如果愿意，你完全可以称这种电子器件为真空管放大器。但是它们之间没有相似性，因为这种器件没有真空，没有灯丝，没有玻璃管。它完全是一种冰冷的固态物质。

十年之后，德州仪器公司的 Jack Kilby 认为，如果可以把多个晶体管放在单片硅片上，那么就可以缩小器件的尺寸。图 1-2 (b) 给出了他的第一块由锗片和金线构成的集成电路原型。

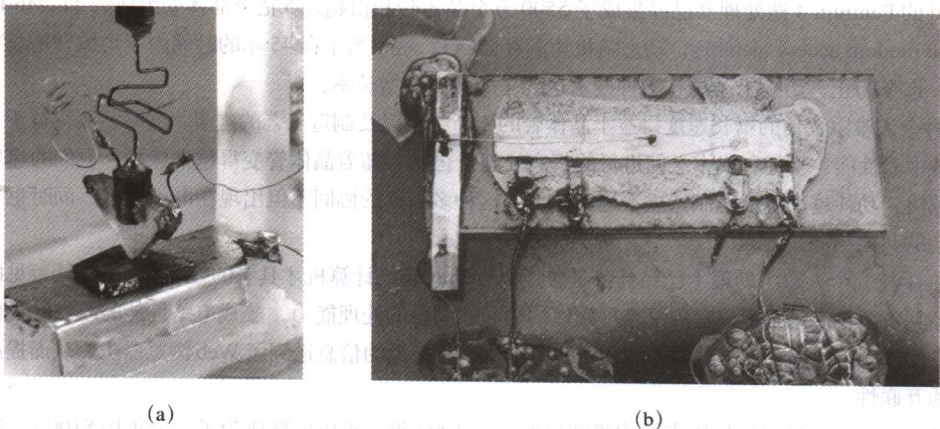


图 1-2 (a) 第一个晶体管和 (b) 第一个集成电路 (AT&T Archives 版权所有。经 AT&T 公司授权翻印)

1956 年，Bardeen、Brattain 和他们的合作伙伴 William Shockley 因为发明了晶体管而获得了诺贝尔物理学奖。2000 年，Kilby 因其在发明集成电路方面的巨大贡献也获得了诺贝尔物理学奖。

发明了点接触晶体管之后，贝尔实验室很快开发出了双极型晶体管。双极型晶体管的可靠性更高，噪声更小，功耗更低。早期的集成电路基本上用的都是双极型晶体管。我们可以把晶体管看成是一个受电压控制的开关，它具有一个控制端和另外两个信号端，这两个信号端的通断取决于加载在控制端上电压的大小。双极型晶体管的控制端（基极）只需要一个很小的电流就能够对另外两端（发射极和集电极）之间的大电流产生开关作用，但是基极电流的静态功耗限制了能够集成在单片硅片上的最大晶体管数量。MOSFET (Metal Oxide Semiconductor Field Effect Transistor, 金属氧化物半导体场效应晶体管) 具有另外一种引人瞩目的优势，它们在不工作时能够将控制电流降低到几乎等于零。这种晶体管有两类：nMOS 和 pMOS 管，它们在制造时分别掺入了 n 型和 p 型掺杂剂。1925 年，德国科学家 Julius Lilienfeld 首先提出了

场效应晶体管的思想[美国专利 1,745,175], 1935 年 Oskar Heil 提出了一种类似 MOSFET 的晶体管结构[英国专利 439,457], 但是由于材料的问题, 他们制作有效器件的努力失败了。

1963 年仙童公司的 Frank Wanlass 首次描述了采用 MOSFET 的逻辑门[Wanlass63]。这种逻辑门同时采用了 nMOS 和 pMOS 晶体管, 因此人们称之为互补金属氧化物半导体(Complementary Metal Oxide Semiconductor), 即 CMOS。这种电路采用了分离的晶体管, 但是其功耗只有几个纳瓦, 比类似的双极型逻辑的功耗小 6 个数量级。随着硅平面工艺的发展, MOS 集成电路以其低廉的成本越来越受到人们的欢迎, 因为它的单个晶体管占用的面积较少, 制造工艺也较为简单[Vadasz69]。早期的工艺仅仅使用 pMOS 晶体管, 其性能、产品合格率和可靠性都很低。20 世纪 70 年代采用 nMOS 晶体管的工艺开始占据主导地位[Mead80]。Intel 凭借其 256 位的静态随机存取存储器 1101 和 4 位微处理器 4004 而在 nMOS 技术上占据了领先地位, 如图 1-3 所示。尽管 nMOS 工艺的成本比 CMOS 要低, 但是 nMOS 逻辑门在不工作时仍然有功耗。20 世纪 80 年代, 随着成千上万的晶体管集成到单片硅片上, 功耗就成了一个主要问题。这时 CMOS 工艺开始被广泛采用, 并几乎在所有的数字逻辑应用领域取代了 nMOS 和双极型工艺。

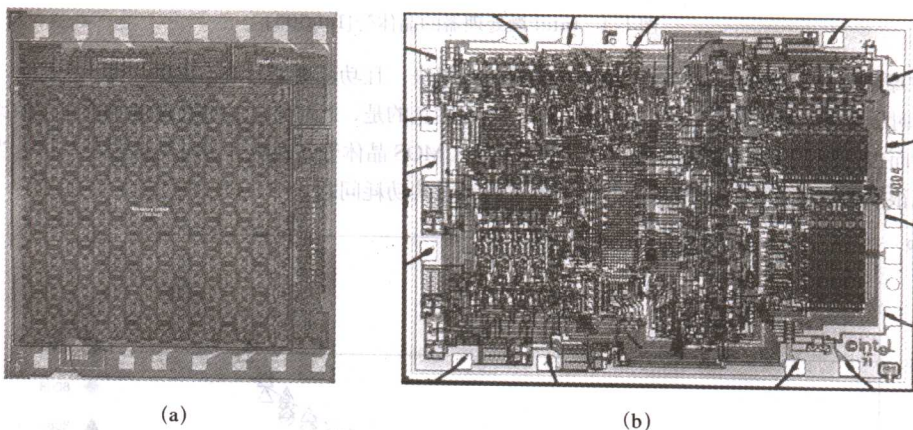


图 1-3 (a) Intel 1101 SRAM (©IEEE 1967 [Vadasz69]); (b) 4004 微处理器(经 Intel 公司授权翻印)

Gordon Moore 于 1965 年发现, 如果将能够集成在一块芯片上的晶体管数量画在半对数坐标上, 那么可以得到一条直线[moore65]。因此他认为, 每隔 18 个月单片芯片上的晶体管数量就会翻一番。这就是所谓的摩尔定律, 这个定律已经变成了一条能够自我实现的预言。图 1-4 表明, 自从 4004 诞生以来, Intel 的微处理器中晶体管的数量每隔 26 个月就会翻一番。

芯片的集成水平可以分为小规模、中规模、大规模和超大规模四种。SSI (small-scale integration, 小规模集成) 电路, 诸如 7404 反相器, 其逻辑门数不超过 10 个, 换算以后大概每个门的晶体管数为 6 个。MSI (medium-scale integration, 中规模集成) 电路, 例如 74161 计数器, 其逻辑门数达到了 1000 门。LSI (large-scale integration, 大规模集成) 电路, 例如简单的 8 位微处理器, 其逻辑门数达到了 10000 门。很快人们发现, 如果这种命名趋势持续下去, 那么每隔 5 年人们就必须想出一个新的名字, 因此 20 世纪 80 年代以后, 人们采用 VLSI (very large-scale integration, 超大规模集成) 这个术语来描述大多数集成电路。

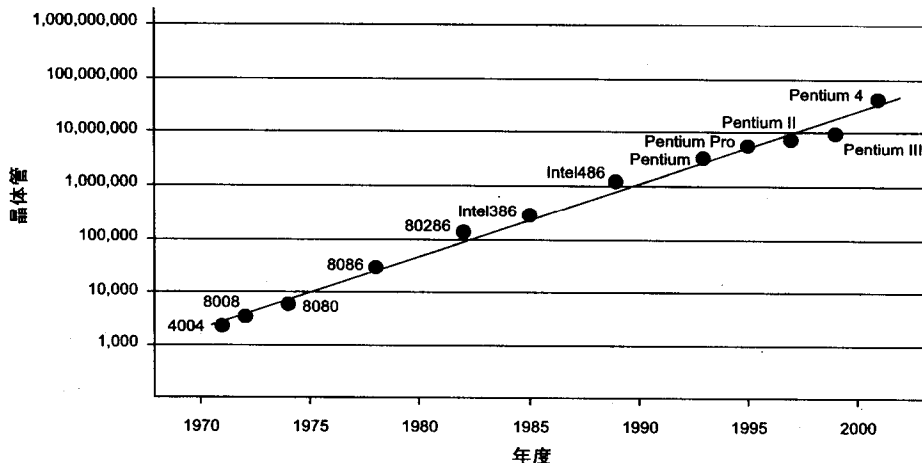


图 1-4 Intel 微处理器的晶体管[Intel103]

按照摩尔定律的推论，晶体管的速度将变得越来越快，且功耗更低、成本更低。图 1-5 表明，Intel 的微处理器时钟频率大概每隔 34 个月就会翻一番。值得注意的是，近几年这种增长速度加快了。相比单纯的时钟速度而言，计算机的性能增长得更快。虽然单个 CMOS 晶体管在每次开关时功耗很小，但是当大量的晶体管以很高的时钟速率开关时，人们不得不重新考虑其功耗问题。

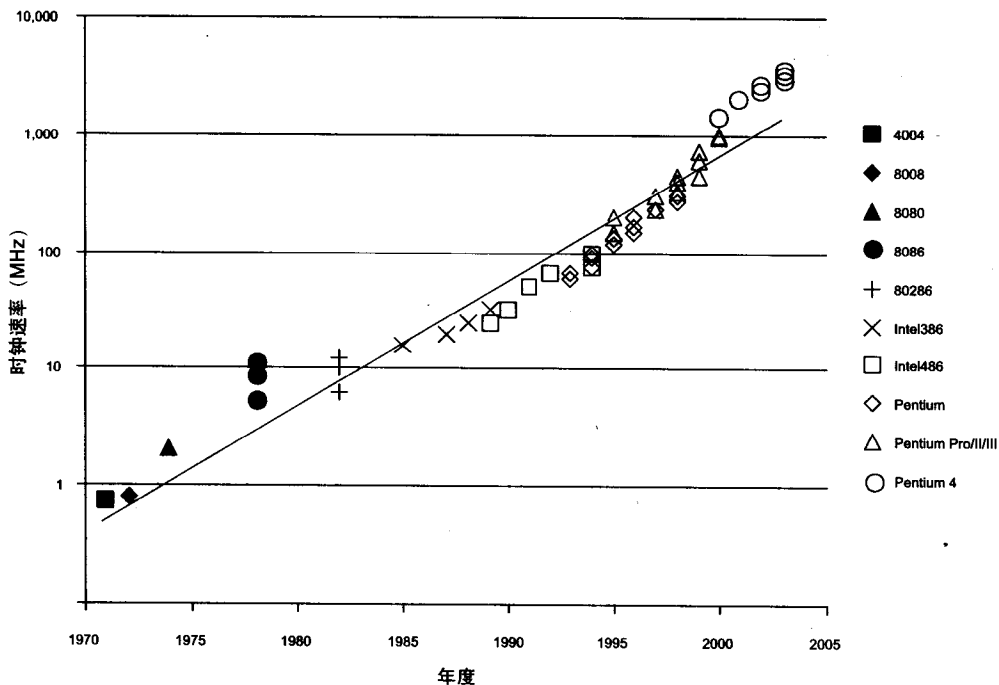


图 1-5 Intel 微处理器的时钟频率