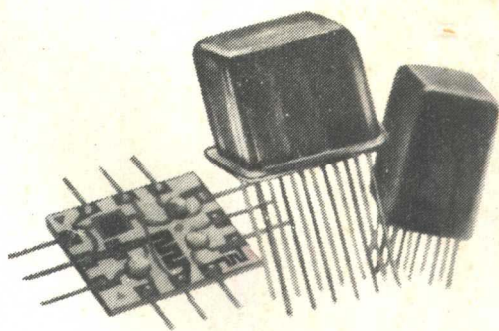


微型器件

WEIXIN QIJIAN

(译文集)



·1·

成都电讯工程学院情报资料室

1972. 10.

毛 主 席 语 录

中国人民有志气，有能力，一定要在不远的将来，赶上和超过世界先进水平。

对于外国文化，排外主义的方针是错误的，应当尽量吸收进步的外国文化，以为发展中国新文化的借镜；盲目搬用的方针也是错误的，应当以中国人民的实际需要为基础，批判地吸收外国文化。

路线是个纲，纲举目张。

译者序

在无产阶级文化大革命取得伟大胜利的今天，在党的“九大”团结胜利路线指引下，全国人民坚持毛主席“独立自主，自力更生”的伟大方针，条条战线、各个领域内形势一片大好。无线电电子工业也取得了显著的成果。我们学院正在贯彻全国教育工作会议精神，进行着史无前例的无产阶级教育革命，目前工农兵大学生开进了学校，出现了一个生气蓬勃的、工农兵学员上、管、改大学的新局面，全院教学、生产、科学研究工作，出现了一片前所未有的欣欣向荣的气象。

为了适应当前工作的需要，了解国外这方面的发展状况，从而更好地赶超世界先进水平，我们遵照了毛主席“洋为中用”的教导，选译了七篇有关厚薄膜电路方面的资料，集成此册，供同志们参考。今后我们还拟陆续（不定期）收集刊印一些这方面的资料，相互交流。

毛主席教导我们：“要用阶级和阶级斗争的观点，用阶级分析的方法去看待一切、分析一切。”厚薄膜电路技术的出现和日新月异的发展，是千百万劳动群众进行三大革命斗争的必然结果，而原文作者则站在资产阶级的立场上，用唯心主义的世界观观察事物，分析问题。原文中存在不少故弄玄虚、理论脱离实际、为资产阶级厂商、产品吹虚、捧场的地方。对明显的错误我们作了一些删改，但尚需大家进一步批判。

此外，由于我们思想和业务水平不高，长期脱离三大革命斗争实践，译文中肯定存在很多错误和缺点，希望兄弟单位和同志们批评指正。

成都电讯工程学院情报资料室
《微型器件》编译组

一九七二年十月

目 录

一、薄膜的现状与未来.....	(1)
二、薄膜与厚膜工艺.....	(8)
三、硅——铬薄膜电阻器的激光微调.....	(27)
四、铬——钴——一种非常多方面的薄膜工艺.....	(34)
五、射频溅射钛酸钡薄膜的制备.....	(55)
六、混合集成电路的图案设计技术.....	(62)
七、薄膜技术在微波集成电路中的应用.....	(72)

薄膜的现状与未来

(美) David A. Mclean

概述

现在来看看薄膜的现状与未来是适时的。现在正是一个新的十年的开端——它也标志着薄膜发展的第二个十年的开始。固然，薄膜分立元件及简单的薄膜电阻器电路在一九六零年以前就已使用，但六十年代才获得关于薄膜集成电路重要性的完全的认识，也是在六十年代才看到致力于达到重要目标的应用。厚膜在同一时期也变得日益重要，但它不在本文的范围之内。

薄膜集成电路和半导体集成电路是同时发展起来的，并且每一方都依赖另一方来弥补自己的不足。例如，薄膜对于所有实用目的来说它不能提供放大，检波或其它有源效能。硅能在一定的要求范围内提供电阻器，但在电容器方面则不太行。硅既不能提供高阻值电阻器及精确度，也不能提供低的温度系数。在一定程度上可以用薄膜何等好地补充硅集成电路来衡量薄膜的成就。表1粗略地描述了扩散硅和薄膜在正确设计和高可靠性条件下提供电阻器及电容器的能力。薄膜必须在元件量值范围、精度和温度系数方面填补大的空隙。薄膜电阻器中较大的功率耗散也是一个有用的因素，它使得较大的薄膜电阻器能以合理的成本制出。对两种工艺互补本质的认识将在部份设计程序及在两种场合下选择目标方面发挥作用。虽然表1为了更突出起见只涉及到钽元件，但是其它薄膜类，尤其是电阻器类也可以作类似的比较。

很难对薄膜电路的国内生产得到良好的图景。商务部报导在1969年二季度大约生产了膜电路2千万块和混合电路9百万块。但是，这些数字或许不能完全说明电路多数在系统内分配的各公司内部使用的情况。而近来的生产必然大大超过1969年的数字。

薄膜的商业前景也难以估计。薄膜电路的发展是如此之快，以致对它们在十年后的发展估计也只不过是一种推测性的尝试而已。实际上，在下一个十年以前全薄膜技术将成熟，水平将提高，因而注意力将更强烈地转向应用方面及其它领域。

远景预测是推测性的，并且是不完全可信的。更大的可信性要同正在进行中的发展结合起来考虑才行，这些发展将在3~5年内具体化。让我们把注意力转向这些方面。

薄膜电子学中所期望的某些主要方向列于表2中。

David A. Mclean, Thin Films—Present and Future,
Proc. 1970 20th Electronic Components Conference,
PP. 585—590

小型化主要是为经济目的而不是减小尺寸的目的而实行的。小型化意味着把更大的电路从头到尾放置在产品设备中而每组包含更多的电路，它将会使得在处理，制造和测试中的劳动耗费更为合算。这样也可以导致更大的产量，因为就较小的面积而言，基片中的缺陷或膜中的斑点其出现的几率都较少。小型化将由于电阻器和电容器的改进和互连图案得到改善以及使用多层基片而实现。RC网络将因这些小型化的发展而在尺寸和成本方面得到好处。此外，更复杂的电路以及精确的、功能调谐的RC网络将会被广泛利用，就如我们在新工艺领域中不断取得进展一样。RC有源振荡器和滤波器将有助于弥补适合于低频和中频用的薄膜电感之不足。

互连技术将因电路的复杂化和单位瓷片上要求电路越来越多以及希望用插入瓷片来减少对印制布线板的需求而紧张到了极点。

所有这些计划都取决于具有良好表面的陶瓷基片是否可用。进一步的发展需求助于改良的多平面陶瓷，为克服数字电路中的高频限制它们在任何情况下都是需要的。

最近将来的图景可以用某些特例来加以澄清。

电阻器

具有相等的间隙和线宽的折叠线电阻器共所需的面积通常可以近似地用表3所列的电阻方程来计算。精确度不够只是由于未作棱角修正和假定折叠线的深度大于线的间隙所致。在理论上可以借助于控制膜的厚度而作出任意值的 R_s ，但在实际上则必须计及连续性与稳定性的损失。然而晚近的工作证明，用适当的工艺可以成功地使用比过去实用的更薄的膜。减小线宽也可以获得很大好处，而线宽可以期望用改善基片和光刻来减小。

表4列出的是我们对于钼类薄膜电阻器的期望。第一行表示的是在我们现有的 $R = 100 \Omega/\square$ ， $W = 2$ 密尔下求得的 $R/A = 12.5 \Omega/\text{密尔}^2$ 。从初期成功的探索试验推断，可以期望第二行数据能在两年内实现。第三行数据实质上是更为臆测性的，但它却是从过去几年的进展而得到的合理推论。这意味着我们在5~10年内将看到电阻密度增加40倍。

电容器

薄膜电容器曾在制造大容量时碰到困难。但是，随着材料和工艺控制的不断发展，能够

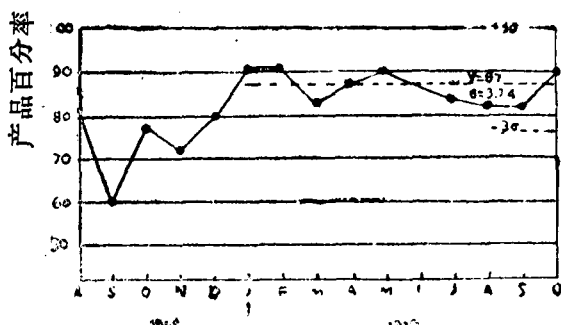


图1 10个钼薄膜电容器阵列在试验性生产中的产品百分率。

测试电压50伏I漏<2安/法

获得在严格标准下满意的产品。图1表示的是大约10000个氧化钼电容器阵列的试验性线路生产在15个月内的结果，这种阵列的每一列有十个总值为 $0.048 \mu f$ 的电容器。产品是阵列产品。相应的电容器产品约为99%。数据是基于下列要求得到的，即阵列必须加50伏的屏压测试一分钟，在一分钟后漏电流必须小于2安/法拉。这些电容器的介质是钼在225v下阳极化而得到的，

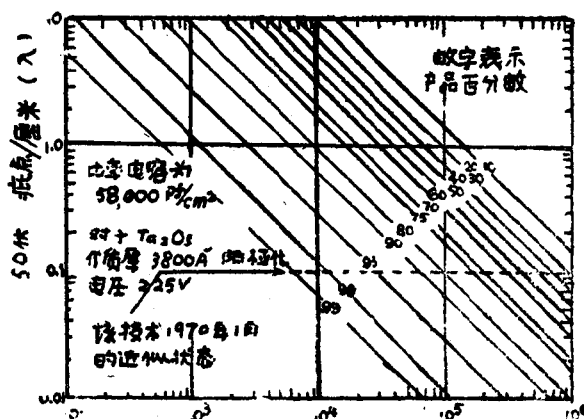


图2 对于不同疵点密度和电容量值的电容器产品。

数, c 是电容量, λ 是单位面积的疵点数, B 是单位面积的电容量。确实可以绘出一个如图2所示的关于定产量的一系列有用的直线。此图应用于阳极化电压达225v的钽, $B = 0.058 \mu\text{f}/\text{cm}^2$ 。从被观测的氧化钽电容器计算出的疵点密度是很小的, 仅 0.1 疵点/ cm^2 。这个图显示为了生产大电容所需付出的代价。例如, 在现有技术水平下, 10^5 pf 的电容器合格率可达80%, 而 $1 \mu\text{f}$ 电容器则只能得到16%。这一事实将导致更细心地来降低本来就已很低的数值为 $0.1/\text{cm}^2$ 的疵点密度。疵点密度进一步降低 ($0.01/\text{cm}^2$) 就会开始出现 $1 \mu\text{f}$ 电容的适当合格率 (78%)。

以上所述适用于简单的五氧化二钽金属结构, 通常称为TM结构。另一方法是发展一种具有自愈性对电极型式的扩散电容器。这种类型中经过最广泛研究的结构包括钽—五氧化钽—二氧化锰金属, 通常称为TMM结构。由于结构的自愈本性而可以容许少数疵点存在是其最重要的优点。目前主要的缺点是温度系数有较大的变化及高频损耗较大。但目前已经强烈表明这些限制将会由于氧化锰层的改善或代之以别的材料如二氧化铅而消失。

如在这些发展中能得到进一步成功, 则可确信单位面积的电容量会得到成十倍的增加。为了达到这一目的, 额定为10v的电容器将在225v下阳极化。

自愈结构还有别的优点。可以设想微法数量级的电容器也能在无釉陶瓷上制造出来, 但是TM型电容器需要象玻璃或无釉陶瓷那样光洁的表面。

RC 网络

从上述可见, 在今后3~5年内电阻和电容的密度成十倍地增加是可以指望的。我们实验室的W.H.Orr及R.T.Moore先生已在这种希望的基础上精心作出了先例。这一先例不仅有助于对尺寸的影响和电路的成本进行计算, 而且有助于为未来提供实际的目标。这个实例系取自一种重要的钽电路的应用—TOUCH-TONE电话拨号用的RC音频振荡器, 其设计正在拟订中。

在上述元件参数的假设下, 可以得出如图3所示的现在和将来的RC音频振荡器的比较。

由此而产生的介质厚度可达3800Å, 电容量可达 $0.058 \mu\text{f}/\text{cm}^2$ 。

当研究在50伏屏蔽电压下发生的击穿时, 发现击穿点在整个面积上是近似于随机分布的。因此, 根据氧化物中随机分布的斑点可以想到它们不能承受50伏的屏蔽电位。“50伏斑点”有着一定的出现频率, 但是这种频率小于更高屏压下出现的频率, 而大于更低屏压下出现的频率。从50伏下的产品可以确定作为该电压下的缺陷的斑点密度。这是从特殊的波松公式 $Y = e^{-\frac{c\lambda}{B}}$ 推导出的, 式中 Y 是产品

左边是目前发展的音频振荡器的先进设计。24 个电路共同制在一个标准的陶瓷基片上 ($3 - 3/4'' \times 4 - 1/2''$)。在新近的生产中,设计的改进是所有薄膜元件都在一个基片上而不是在两个基片上。这种音频振荡器是基于双 T 反馈电路,用薄膜作为精密元件和用梁式引线硅电路作为放大器。设计是基于目前推荐的关于高精度和高稳定性参数——对应于表 4 中的第一行和对应于 225v 电容器阳极化。现在尚不能肯定的是,若电阻及电容的密度成十倍的增加,混合电路的尺寸是否也能以同一数字减小。这取决于元件怎样相套在一起以及为互连和端连需要多大的空隙。

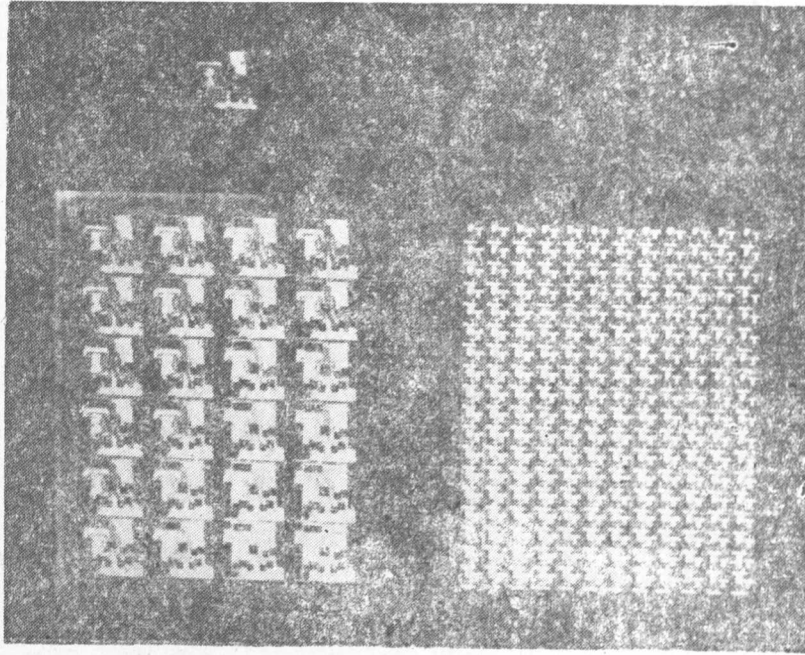


图 3 音频振荡器。左边为现今的工艺 24 个电路/基片。
右边为将来的工艺中 216 电路/基片

在图 3 右边表示的是元件面积成十倍地减小而重新设计所得的结果。对于混合电路的面积而言,减小九倍业已实现。在这种计划成为现实时,它将有可能在一个标准基片上制 216 个电路而不止是 24 个电路。在这个例子中,对于硅片的尺寸不曾考虑减小,虽然也可以期望有所减小。

音频振荡器例子是用作对比现在和将来的一种手段。它为探索工作提供了一种方便而需要的手段,而其进展可以用来衡量已在制造中的电路。

互 连

未来将对互连工艺提出更大的要求。这些要求是:

1. 更精细的导电线以增加电路的密度。这必须在对总电导很少影响的前提下达到。若电路平面中的其它的尺寸成比例地减小了,则这将成为必然的结果。

2.大量使用交叉以增加电路的复杂性,从而能在陶瓷基片上作出大面积的插入式的混合电路。

3.用改良的多层陶瓷基片来容纳更复杂的电路及改善高频特性。

从晚近的发展可以看到梁式交叉的使用在不断增加。这种结构的多重性是用铜箔填隙而成批成批地制造的,在制成后再用适当的溶剂将铜箔腐蚀掉。这种对于电路似乎是很实用的交叉的数目正在迅速地增加,就像工艺的发展一样,从几十种发展到几百种,现在已达到几千种了。

对于这些交叉的大规模测试计划现正在贝尔实验室中进行。图4是包含2000个梁线和3500个交叉点的交叉测试图案的照片。其中的放大插图表示的是图案中所用的两种类型的交叉线簇。一种类型是 4×7 的交叉矩阵;另一类则是有着7根宽线的交叉,它很像电力汇流条。梁线有7密尔宽,其间有5密尔间隔。可以十分确定的是,实际电路将包含大约这么多和这么密的交叉。对于复杂数字电路的插入电路而言情况必然如此。

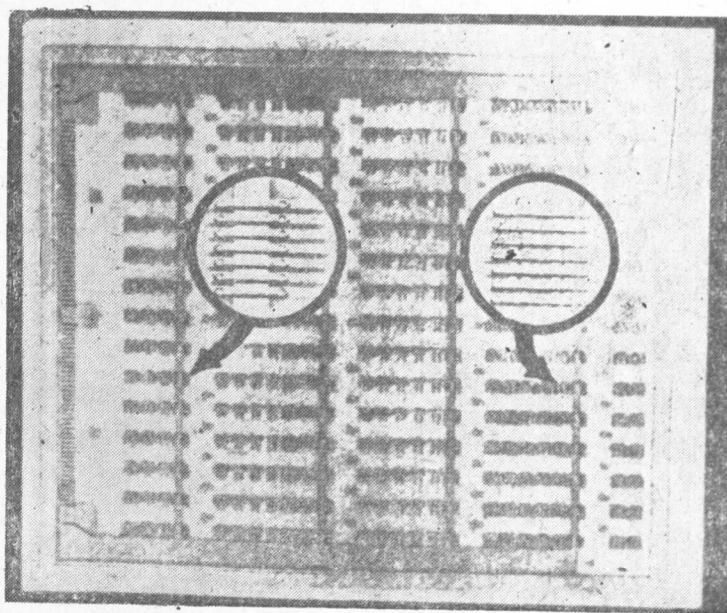


图4 具有3571个线路交叉点的电子束相交区最小截面的测试图案。

为了适应将来的多层陶瓷板的现实还需要作多种额外的发展工作。如什么材料在导电层中有更好的导电性,成千个直通连接点的可靠性以及保证同所有薄膜工艺的相容性等。这些问题无疑地将给予研究和发展。

本文中所讨论的设想和目标想来是合理的现实的。但是,很多更明智的,革新的发展还在前头。我们面对的问题使我们发现,就如我们为新的目标而奋斗那样,将为今后几年提供前进的力量。

表1. 硅元件和钽元件

电阻器	扩散硅	钽薄膜
欧姆/方	标准200 特殊的100 (较好的温度系数)	100最大 (Ta ₂ N) 3000 (低密度)
线宽 (μ)	12 (±15误差) 8 (±30误差)	50
电阻 (最大)	20KΩ	> 1 MΩ
电阻 (最小)	50Ω	5 Ω
电阻密度 Ω/cm ²	7 × 10 ⁷	6 × 10 ⁷ (低密度)
温度系数 10 ⁻⁶ /°C	2000	- 50至 - 100 (Ta ₂ N) (规定值中优选的)
精度	± 15%	标准 1 % 优选的 ± 0.02%
不动产的成本 美元/cm ²	8.0	0.15
电容器		
可用性	极限	好的至 0.1μf (TM) 1.0μf (TMM)
电容密度 μf/cm ²	0.01	0.05 (TM) 0.20 (TMM)

表2. 薄膜的趋向

小型化

电阻器—更高的方阻, 新的成份, 更精细的线, 更好的稳定性。

电容器—更薄的介质, 更完整的介质, 自愈结构。

RC網路—更复杂的电路, 性能微调, 更小, 更便宜。

互连—每个基片上电路更多, 插入陶瓷。

基片—为小型化和高频性能而用多层基片, 更好的表面性质。

表3 面积因素

单层薄膜元件

电阻器

$$R/A = \frac{R_s}{2W^2} \text{ (近似)} \quad \Omega/\text{cm}^2$$

电容器

$$C/A = \frac{0.0885\epsilon}{d} \quad \text{pf}/\text{cm}^2$$

(式中: R = 电阻; C = 电容; A = 面积;
 R_s = 方电阻; W = 线宽, cm; d = 介质厚度 cm;
 ϵ = 介质常数)

表 4 薄膜电阻器性质的推测

(鉭 类)				
时间	R_s (Ω /方)	W (密尔)	R/A (Ω /密尔 ²)	达到的可能性
现在 (1970年)	100	2.0	12.5	已达到
两年 (1972年)	500	1.5	110	近于肯定
5~10年 (1975~1980)	1000	1.0	500	可能达到

参 考 资 料

1. Use of Manganese Oxide Counterelectrodes in Thin Film Capacitors.
 David A. Mclean and Ferenc E. Rosztoczy.
 Electrochemical Technology, 4, 523(1966).
2. Breakdown Behavior of Tantalum Oxide Films Protected with Lead Dioxide Films. G. I. Parisi, Electrochemical soc. Meeting, May 10—15, 1970 (Extended Abstracts, Cts, Dielectric and Insulation Division).
3. Integrated Tantalum Film RC Circuits. D. O. Melroy, R. T. Moore, W. H. Orr, F. P. Pelletier, W. T. Pendergast, and M. H. yocom, proc. 1970 Electronic Components Conference.
4. Crossovers for Interconnections on Substrates H. Basseches and A. pfahnl, proc. 1969 Electronic Components Conference, 78.

薄膜与厚膜工艺

§ 1 绪 言

薄膜电路和厚膜电路有很广的应用范围,从大公差元件到小公差元件以及从小生产量到大生产量都行。符合性能要求的硅单片制造工艺可以得到最低的成本。而把有源元件包含在内时还能制出最可靠的集成电路。薄膜电路和厚膜电路则通常仅在只需要无源元件时才保持这些优点。在某些情况下,将薄膜无源元件加于有源元件电路以代替扩散元件,其好处超过为制造这些扩散元件所需的额外工艺而增加的费用。相反,将扩散有源元件及集成电路加于包含基片的膜电路的简化技术,由于其经济性及适应性而显得更为有利。在单片硅电路上加薄膜或者反之的理由是:

- 1 改善了性能;
- 2 增加了在给定面积内的组装能力;
- 3 元件的数值与公差有更大的适应性。

包含半导体有源元件的薄膜无源元件被广为采用。使用无源基片结合以有关的新装配技术(倒装),能在维持微型电路某些经济优点的同时得到更大的元件数值范围。

用于分立器件及硅单片集成电路的倒装焊的发展为膜和硅工艺提供了一个最好的结合方法。薄膜和厚膜都可以将图形设计得适于接受倒装有源器件。倒装焊的经济利益超过通常的引线杆和压焊,它提供了一个在大多数场合都有经济优点的焊接工艺。由于引线焊是集成电路损坏的原因之一,所以倒装工艺可以改善可靠性。

由于倒装装配较之引线焊更为易于实现,故必将引起许多制造者用来制造其厚薄膜电路。随着有源片(无论是简单器件或硅单片)变得更为有用,膜基电路的普及必将增加。

§ 2 薄膜电路的类型

薄膜电路,或更正确地膜电路可以分为如下几类:无源基片(陶瓷或玻璃)上的厚膜和薄膜及有源基片(硅)上的薄膜。无源基片上的膜同分立元件相比,其特点是成本相当低尺寸相当小,但是同硅单片电路相比则其成本和尺寸都较大。它们由于有相当低的寄生及相当好的温度系数而有较好的性能。(图1)

本文选译自Integrated Circuit Engineering Basic technology, fifth edition
Copyright october 1966. revised second printing Copyright december
1968. pp.12-1—12-30.

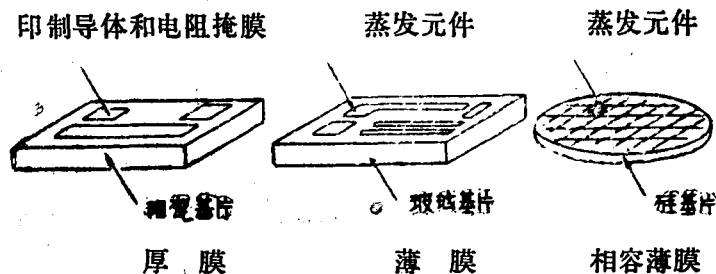


图1 膜的类型

硅和有源基片上的薄膜虽然是淀积在单片扩散结构的表面上，但也得到了这种低寄生及改善温度系数的好处。至于无源基片膜，它们则是更为受材料、温度及同硅的工艺相容性的限制。

有两种通用工艺曾被用于制造无源基片的混合电路。这些技术之一是建立在真空工艺及偶尔还使用热分解的基础上的。这种工艺称为薄膜工艺。由这种技术制出的大多数的膜厚度都小于10000埃，而对于有源器件的某些先进工作则采用小于100埃的膜。

(1) 基片

某些陶瓷和玻璃被用作为厚薄膜的基片。最薄的膜要求基片表面有镜面的光洁度。对于厚膜则可以采用较为粗糙多孔的表面。薄膜置于其上的基片表面应是一个绝缘体。所有陶瓷或玻璃基片都被称为是“无源的”，而硅基片（连同扩散元件）则是“有源的”。但是，膜与硅片为 SiO_2 层所隔开，而膜是淀积在 SiO_2 上的。

(2) 薄膜

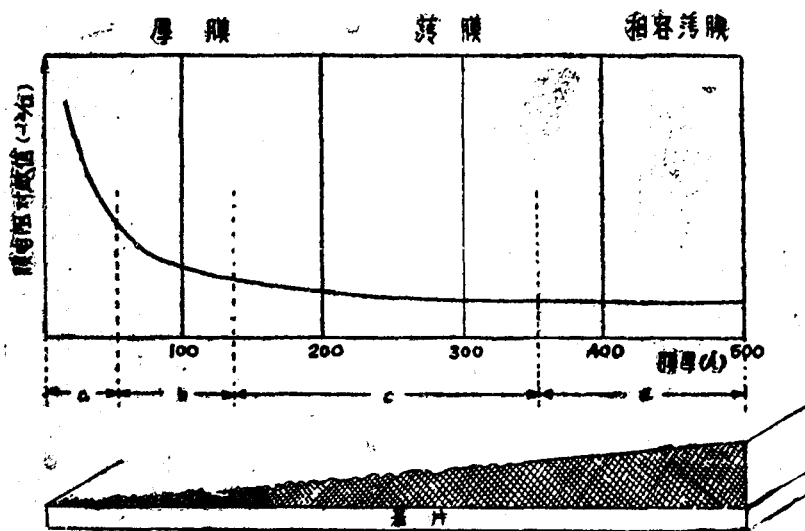


图2 膜电阻与膜厚的函数关系

薄膜可以是导电膜，电阻膜和绝缘膜，其厚度可以从一百埃左右变化至几千埃。薄膜的

特征不一定和体积材料的性质相同。电阻、温度系数及其它性质都随膜厚、基片材料和淀积方法而变。例如,图2表示的就是典型的碱金属的方阻与膜厚的关系。这个曲线可分为四段。S. A. Halaby描述过这些效应如下:“在a段,膜不连续。它由一个原子或多个单原子层的孤岛组成,自由电子不能象在体积金属中那样通行。在b段,原子群是几个层的厚度。孤岛开始接触,金属导电开始产生,并在很大程度上受表面粗糙度支配。在C段,表面变得较为光滑,膜也变成连续,并由平面和平行的边界所束缚。在d段,膜的方阻已接近于体积性质。

3: 厚膜

膜结构的另一种类型是基于更厚的膜,通常用的是丝网印刷技术,这种膜需在印刷后加以焙烧或送入炉中加热。有些作者称此为“筛网一和一焙烧”工艺。这样制出的膜其典型厚度是几分之一密尔或比由真空技术所制的薄膜厚一个数量级左右,厚膜工艺通常是因其采用粗糙表面而为其特征。96%的氧化铝被用作为最通用的基片。氧化铝的稍微粗糙的表面可以有很好的附着性而对于在线分辨率的限制上是可靠的。由于筛网通常是用不锈钢作成200~300孔/吋的网眼,所以这也是限制分辨率的一个因素。这些因素加在一起就使所得图案比淀积薄膜的光刻图案较为粗糙。厚膜工艺的主要优点是其基片能在通用设备里以相当低的成本大量生产。厚膜工艺用的基片大约是每片0.03美元。

国际商业机械公司(IBM)已将厚膜工艺广泛应用360计算机系统的生产中。在该系统中,有源元件是倒装焊于先已制好厚膜元件的基片上。在有源元件上放上相当大的凸块或焊料球以保证同陶瓷表面有一定的间隙。IBM调整电阻器至高精度用的是空气研磨法。阻直误差可以很方便地调至优于1%。

厚膜电路或印刷焙烧电路的工艺顺序示于图3。在掩模制成以后,通常是将导体浆料印刷、干燥,然后在700至1000°C温度范围内焙烧。电阻浆料通常是在稍低一些的温度(约700°C)下焙烧。电阻浆料可以用杜邦公司和其它公司的每1欧至20千欧的混合料。将这些组份加以混合就可以获得各种中间方阻值。

导体通常是用铂—金成份形成,若焙烧适当它将有很好的附着性。通常可以得到大于1000磅/吋²的强度。银成份对于厚膜电路也是适用的。这些材料的焙烧温度约为540°C。

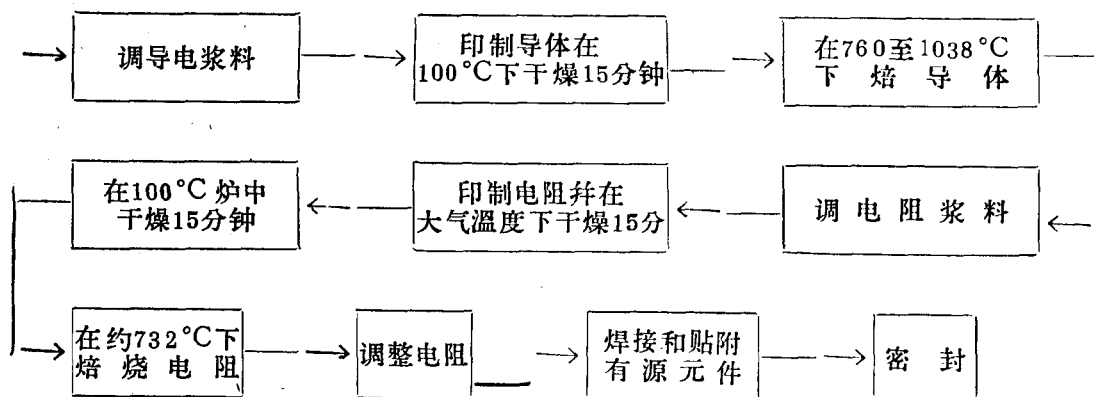


图3 掩模—印制混合微型电路的预加工

导体和电阻器的最佳厚度通常是一密尔（25微米）左右。控制厚度的方法是仔细控制浆料的粘度及小心进行印刷操作，通常用粘度计作为电阻浆料的连续监控器。导线的连接可以用焊料，因为铂、金和银通常都是易焊的。

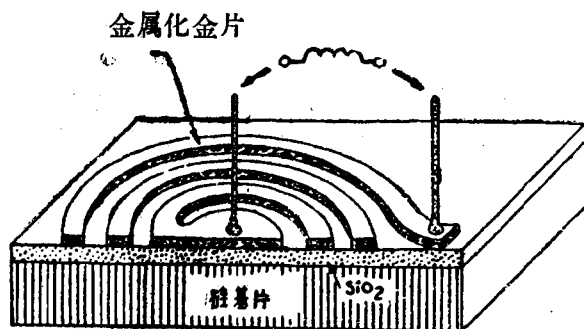


图4 薄膜螺旋电感模型

从保护电阻器免于进一步变化及保护有源器件来说密封对厚膜电路的特性有着重要的作用。常常在内部采用各种塑性材料来达到目的、有时，为了密封焊接起见还可以附加一个外壳。好的密封材料能防止湿气（蒸气或液体）进入到电阻器或有源元件。硅橡胶用作厚膜基片的保护涂复是很有用的。

印刷和焙烧工艺可以借助于用

玻璃介质而推广于电容器。大至几百微微法的电容器是可以制出的。

厚膜电路的有效尺寸取决于线的宽度及间距（10密尔或更大）。即使采取附加工艺仍可获得10密尔的尺寸（5密尔的间距及5密尔的线宽）。

厚膜工艺在采用附加的单片有源器件以及电容器工艺时将变得很流行。制造者也完全可以采用膜电容、小值电感器等等，这些器件都可以很容易地用倒装工艺安装于厚膜电路上。

厚膜一般有几个微米厚，不必象薄膜那样精确控制。它们几乎专门用于形成电阻器。丝网幕通常是用于决定膜的图案。在淀积时电阻值不必严加控制。但是可以借以后的工艺过程一个个地精密切割调整。

§ 3 薄膜元件的特性

薄膜电阻器和薄膜电容器的性能优点可以借助于将它们的特性与那些等效的扩散元件的特性相比较而显示出来。这些优点通常来源于：

1. 寄生电容和串联电阻减小（“Q”更高）；
2. 元件数值的范围较大；
3. 较低的温度系数；
4. 较严格的公差控制。

此外，薄膜元件由于它有更高的电阻率或更高的介质能力及隔离性而需要较少的面积（它们无需隔离结）。

1. 电感

电感器仍然是微电子学中的难产儿。薄膜技术只能提供低电感值的和低Q值的电感器件。它们是用良导体淀积成一种精细留隙的螺旋形而制得的。图4表示的就是这种螺旋电感器的剖视图。但是，半导体技术并未能成功的找到替代电感器的方法。晶体管的翻转延迟效

应在低频和中频下有着电感特性，但是小得可以勿略不计。在相当高的频率下，晶体管的输入可以呈现电感性，因为翻转延迟近于 90° 。对此问题的工程解决办法是在微电路设计中避免使用电感器，或者采用外接的分立电感器，压电的及陶瓷的晶体滤波器或变压器，或者干脆留待以后在工艺上突破此问题再说。形状适于微电子学工作的小型磁环已经生产。

2. 薄膜寄生

薄膜元件中的寄生比起那些相应的扩散元件来要小得多，并且还与电压无关。除了同相邻元件有耦合外，在无源基片电路中寄生几乎是可以勿略不计的。在相容电路中，单位面积的寄生电容只取决于介质（即二氧化硅）的厚度。这种寄生电容的方程是：

$$C = \frac{k\epsilon_0}{d}$$

其中：C = 法拉/ cm^2

K = 3.8, 二氧化硅的介质数

ϵ_0 = 自由空间的电容率 (8.85×10^{-14} 法拉/ cm)

d = 介质的厚度, cm

设薄膜电阻是建立在厚度为10000埃 (10^{-4}cm) 的二氧化硅之上，则

$$C = \frac{3.8 (8.85 \times 10^{-14})}{10^{-4}} = 33.6 \times 10^{-10} \text{ 法拉}/\text{cm}^2$$

或 0.022微法/密尔²

沿着薄膜电阻器边缘的边缘电场可以勿略。因此，对于一个密尔宽度的电阻器，每一密尔行程长度就复盖着一平方密尔的寄生电容。

3. 薄膜接触电阻

薄膜电阻器的接触电阻是一个重要因素，对于低阻值元件尤其如此。如图5所示，接触电阻分为两部份。第一部份是电流必然流过的接触膜之下的薄膜的电阻。第二部份是界面电阻，这种电阻是由于在电阻器表面和金属化接触膜之间形成的合金、混合物或化合物所造成的。这两部份电阻必须借助于制作尽可能大的接触膜而减至最小。一平方密尔接触膜的接触电阻，取决于薄膜的厚度及所采用的特殊工艺步骤。大约是2至10欧

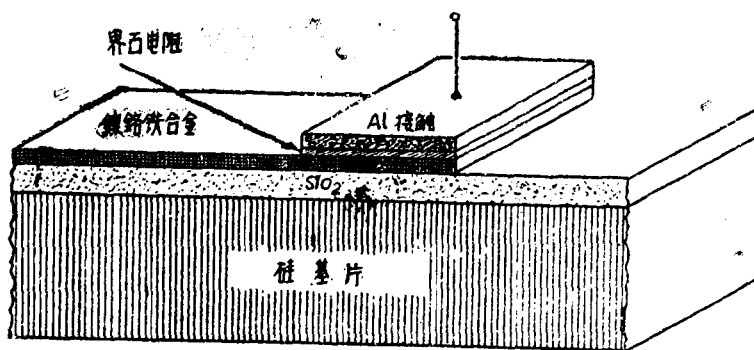


图5 薄膜电阻器的接触电阻

左右有时也能发现比这大得多的接触电阻（高至1千欧）。这可能是由于形成了氧化物或其它污染所致的高的界面接触电阻之故。象这样严重的情况可以看作为曲线图上的非线性。这经常地可以因加于电阻器上的电压升高而把电阻器烧坏。

这种接触因为它们的潜在的不可靠性而无论如何都必须避免。它们可能产生不希望有的

效应，如给电路引入噪声。仔细的加工及高温退火可以使接触电阻问题减至最小程度。

4. 薄膜几何学

薄膜几何学可以编拟出特殊的基片及所需的空问排列。除了较小的边缘效应外，薄膜电容器不受这些因素的影响。电阻器受弯曲的影响，弯曲是十分常见的，尤其是高阻值电阻。目前，处理这些问题的最好方法是尽可能的少弯曲，无论何时都必须尽可能地采用长而直的电阻器（尤其是对于电阻率大于100欧/方）。若设计恰当而电阻器显得太长的话，那必须拐弯。薄膜电阻器制作拐弯的适当方法如图6所示。在电阻器的拐弯或端头处加以铅金属化，以使尚不明瞭的电阻效应减至最小。这有效的减小了问题的范围，但是增加了潜在的接触问题。

如图7所示的园形拐弯电阻器的正方形等效值可以由计算来确定。如图所示，拐角的正方数是3.86方。如果在制作时，注意它的对称性，这种拐角型式是有用的。从方形拐角方案出发，用保角变换技术可以算出它等于4.1方。注意到两种端头的正方数之间最大差别不过6%是有意义的

$$\frac{4.10 - 3.86}{3.86} = \frac{0.24}{3.86}$$

在实际上，因为所有方形拐角多少总有点被弄圆，所以建议拐角画为方形，而把4.0作为AA和BB之间的正方等效数。借助于将每一拐角（图中划虚线的）作为0.5方来讨论还可以进一步简化。

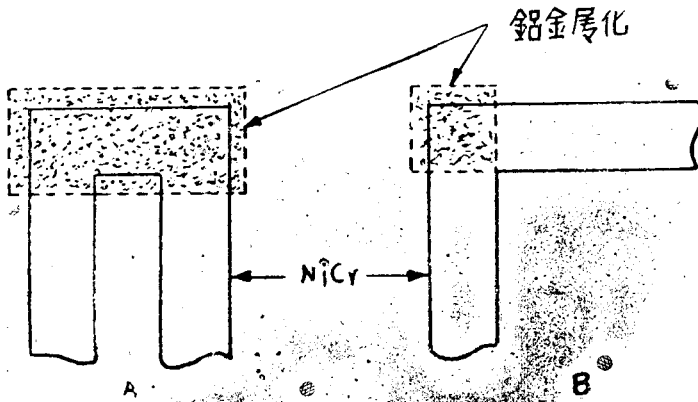


图6 薄膜电阻器的弯曲方法图

§4 薄膜图形

有三种基本的方法用来制作在无源基片上所需要的膜的几何图形。薄膜规定使用光刻照相技术或金属掩模，丝网印刷方法通常用于厚膜。

光刻照相技术同于在硅基片上使用的光刻照相技术。这个称做“反掩模”工序的简要说明见制造方法（§8）中的流程图。

1. 光刻照相技术

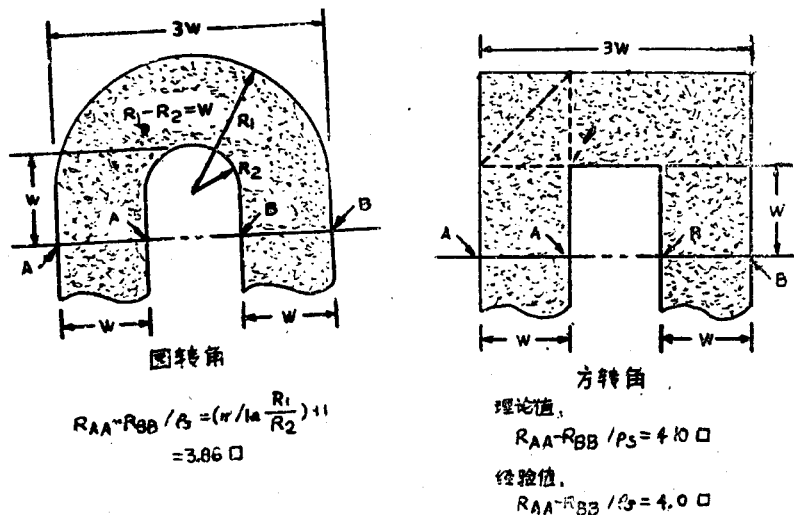


图7 薄膜电阻器的转角