

JISUANJI YINGJIAN WENZHAI

第 二 辑

科学技术文献出版社重庆分社

目 录

电路与器件	(1)
逻辑元件	(1)
半导体逻辑元件	(—)
其它逻辑元件	(1)
逻辑与开关电路	(1)
微处理机芯片	(2)
数字计算机的其它电路	(3)
模拟电路	(3)
模/数与数/模转换器	(4)
逻辑设计与数字技术	(6)
逻辑设计方法	(6)
计算机辅助逻辑设计	(11)
计算机体系结构	(17)
数字运算方法	(20)
数字滤波器	(23)
微计算机技术	(31)
数字信号处理	(33)
其它数字技术	(37)
存贮设备与技术	(37)
存贮系统设计	(37)
数字存贮器	(38)
动磁介质存贮器	(39)
静磁介质存贮器	(40)
半导体存贮器	(40)
其它数字存贮器	(53)
模拟存贮器	(54)
其 它	(54)
模拟与数字计算机及系统	(55)
数字计算机与系统	(55)
模拟与混合计算机及系统	(84)
模拟与混合计算技术	(84)

计算机外围设备	(84)
数据通信设备与技术	(87)
计算机网络	(113)
数据采集设备与技术	(119)
模式识别设备	(119)
图形显示与交互终端	(120)
打印机与绘图机	(126)
穿孔卡、带设备	(—)
磁存贮设备	(126)
计算机缩微输出	(—)
语音识别与合成	(126)
其 它	(131)

计算机硬件文摘

第二辑

中国科学技术情报研究所重庆分所 (重庆市市中区胜利路91号)	编 辑
科学技术文献出版社重庆分社	出 版
新华书店重庆发行所	发 行
重 庆 市 印 制 一 厂	印 刷
开本: 787×1092毫米 1/16	印张: 8.25 字数: 30万
1985年12月第一版	1985年12月第一次印刷
科技新书目: 107—258	印数: 3300

书号: 15176 · 626

定价: 3.10元

电 路 与 器 件

020001 外围集成电路的进展[会, 英]/Huston, B. /Midcon/80 Conference Record, 1980. 11. 4~6; Dallas, TX, USA.-El Segundo, CA, USA; Electron. Conventions, 1980.-22/0/1~5

LSI外围电路是微处理机持续发展的一个主要部分。许多新型的外围器件使先前不能实现的系统变得可以制造了。工程师们在紧紧跟上微处理机的进展, 这时同样重要的问题是对先进 I/O 技术及其部件的关注。半导体公司正在向微处理机用户提供许多创新的设计思想和能引起广泛兴趣的产品。参 4

020002 高速数字电路中的小功率 ISO-CMOS 元件[会, 英]/Richmond, P. /Midcon/80 Conference Record, 1980. 11. 4~6; Dallas, TX, USA.-El Segundo, CA, USA; Electron. Conventions, 1980.-33/3/1~3

作者所在的公司在大容量金属栅CMOS制造上具有经验, 该公司果断决定将这种工艺应用在新一代标准电路器件的制造中。作为工艺上的成果, 开发了一个门传输延迟为 5 毫微秒的硅栅CMOS, 它已被确认并经生产验证。作为产品上的成果, 开发了一个数字器件系列, 它不仅使微处理机、随机存取存储器与只读存储器增色, 也使众多的面向总线的基本接口电路更为完善。

020003 小功率微处理器解决系统设计问题[会, 英]/Pollock, S. /Midcon/80 Conference Record, 1980. 11. 4~6; Dallas, TX, USA.-El Segundo, CA, USA; Electron. Conventions, 1980.-33/5/1~3

研讨了现有的 CMOS 部件: ROM, EPROM, RAM, 译码器, 驱动器, 微处理器, 微计算机与外围电路等。

020004 用机内校验器作设计验证[会, 英]/Slabakov, Ye. V. /FTCS 13th Annual International Symposium. Fault-Tolerant Computing. Digest of Papers, 1983. 6. 28~30; Milan, Italy.-New York, USA; IEEE, 1983.-484~487

讨论了用机内校验器检查数字电路的设计错误的方法。建立了数字电路设计错误的模型。该方法以机内校验电路作为机内诊断工具。列出了用这种电路检测或删除设计错误的条件。研究了重复与奇偶校验, 这两种机内校验电路。参 10

逻辑元 件

其它逻辑元件

020005 高输入容限带有可编程性标记的约瑟夫逊器件[英]/Harris, M. A. /Electronics.-1983, 56(12).-47~48

可经受±33%输入变动的性能简化了三结干扰器件的制造, 该器件可作“与”、“或”两种运算。

逻辑与开关电路

(含触发器与移位寄存器)

020006 可程序逻辑阵列(PLA)模块: 时序机实现方法的一种选择[西班牙]/Acha, J. I. ... /Regul. & Mando Autom.-1983, 17(129).-127~129

020007 可编程的64位移位寄存器[英]/Cozer, C. /Electronics.-1983, 56(13).-153

因不能获得标准64位TTL移位寄存器, 其功能通常由八个带TTL输出端的8位标准移位寄存器的级联来实现。也可以采用一个标准64位随机存取存储器与少量其它芯片以提供一个TTL兼容的64位可编程移位寄存器。该寄存器设计简单, 成本低廉。

020008 转向双极工艺以迎接100000-门阵列的到来[英]/Grundy, D. L. ... /Electronics.-1983, 56(14).-137~140

从现行工艺水平的设计转入100000-门阵列这条规划中的路线不难确定。在集电极扩散隔离工艺中使用3微米线宽已使R系列自由逻辑阵列达到了5000门。这些电流型逻辑级的典型开关时间为2.5毫微秒。Ferranti采用的简单的六掩膜集电极扩散隔离工艺可为增强提供充分的机会。在加工过程中维持超平表面可降低对光刻设备分辨与校准能力的要求, 并便于进行第二金属层的镀膜。

020009 CMOS的工作原理[英]/Dettmer, R. /Electron. & Power.-1983, 29(7/8).-547~550

CMOS逻辑电路传统上一直局限于低速应用。新的高速CMOS系列具有可与LSTTL相匹敌的速度, 可望成为最受欢迎的逻辑电路系列。作者讲述了CMOS逻辑电路的工作原理, 并就为实现高速CMOS而

作出的,一些器件结构与制造工艺上的改进作了评述。参3

020010 采用衬底耦合逻辑结构的全加器的实验制作[英]/Han, Q. H. //Electron. Lett., 1983, 19(16) -613~615

利用衬底耦合逻辑已设计并制成了全加器。内部运算由四值阈电流完成,而输入、输出信号是二元形式的。经测定,以每注入窗10微安运行的实验电路的延时,对于求和操作为5微秒,对于进位操作为1微秒。参5

020011 门阵列[德]/Schwarz, J. //Elektron. Ind., 1983, 14(5) -50~52

联邦德国的VALVO公司表示要按用户规格制造门阵列,并声称他们只要生产2000片以上门阵列价格就比较低廉。文中描述了完成定制设计的设备与工艺步骤。1981年逻辑组件销售总量中门阵列约占6%,预计1986年将占14%。

020012 CMOS——明天的集成电路系列[德]/Elektron. Ind., 1983, 14(6) -51

描述了国家半导体公司制造的74HC系列逻辑集成电路,并提到有180个型号的器件已列入计划。文中还述及了74HCT系列集成电路,据称它可与74LS TTL器件系列完全兼容。

020013 NORA,用于流水线逻辑结构的一种无滑流动态CMOS工艺[英]/Goncalves, N. F. ... //IEEE J. Solid-State Circuits., 1983, SC-18(3) -261~266

描述了一种新的动态CMOS工艺,它是全无滑流(racefree)的,还具有很高的逻辑灵活性。电路通过两个时钟 ϕ 与 $\bar{\phi}$ 产生无滑流作用,与它们的交叠时间无关。与一般CMOS流水线电路具有临界时钟时滞(clock skew)特性相反,文中提出的工艺对时钟时滞量没有限制。NORA工艺的主要构件是动态CMOS与C²MOS逻辑功能。静态CMOS功能也能用上。文中给出了混合动态CMOS, C²MOS与普通CMOS的逻辑合成规则。与Domino工艺不一样,该工艺采用逻辑“非”。这意味着较高的逻辑灵活性,可以较少的晶体管取得同样的功能。文中还分析了动态CMOS单元中的电荷再分配、噪声容限与漏电等效应。实验结果证明了所讨论的方法的可行性。参8

020014 应用于10千兆赫频率的砷化镓数字动态集成电路[英]/Rocchi, M. ... //IEEE J. Solid-State Circuits., 1983, SC-18(8) -369~376

为了评价砷化镓MESFET(金属半导体场效应晶体管)用作发送门(transmitting gate)的可能性,采用自对准平面处理制造了动态TT触发器。其最大工作频率为10.2千兆赫,这是迄今所报道的数字电路

的最佳速度性能。文中详细讨论了在这些电路中发送门的性能。研究了全静态LSI子系统的工作速度提高与布局简化问题。参6

020015 非二进制运算(negabinary arithmetic)的某些硬件实现[英]/Grover, D. ... //Int. J. Electron., 1983, 55(2) -235~241

文中提出了一种利用非二进制基数表示(negabinary base representation)进行基本算术运算的改良算法。基于这一算法,推出了非二进制加法器与减法器的构思新奇的硬件实施方案。该方案实现后,可采用一个非二进制加法器单元进一步实现阵列乘法器。参4

微处理机芯片

(开发系统见“微计算机技术”部分;微计算机与系统见“数字计算机与系统”部分)

020016 用于大系统的IBM工艺[意大利]/Inf. Electron., 1982, 10(11) -38~41

020017 National Semiconductor 18000微处理机系列[意大利]/Ferrari, G. //Inf. Electron., 1982, 10(12) -46~54

020018 虚拟存储器与MC68010(微处理机芯片)[英]/Mac Gregor, L. ... //IEEE Micro., 1983, 3(3) -24~39

描述了MC68010 16位微处理机,该机是68000的扩展。它可提供虚拟存贮能力,虚拟机支持并增强了性能;同时保持与M68000体系结构的代码兼容(code compatibility)。参6

020019 关于Z8003与Z8004微处理机和Z8010与Z8015存贮管理部件的综述。1. Z8003与Z8004处理机[英]/Fawcett, B. K. //J. Microcomput. Appl., 1983, 6(1) -59~77

中央处理器(CPU)、CPU支持器件与外设部件等Z8000系列部件的设计意图在于支持从简单的控制系统到强大的数据处理计算机的一大批应用。该系列的每种部件都符合Z-BUS互连协议,一种采用多路地址/数据总线的部件级总线结构。本文是关于Z8003与Z8004这两种Z8000微处理机系列的最新产品的概述,第二篇文章将描述Z8010与Z8015存贮管理部件。

020020 微处理机/微计算机: Z80代码扩充进入高级系统[英]/Comput. Des., 1983, 22(7) -70~72

叙述了带片载存贮管理与外设部件的8位Z80兼容微处理机如何将Z80代码扩充进入具有较高级性能的系统。Zilog公司的Z800可访问16M字节存贮量,相应于不同的数据总线宽以1M至5M指令/秒的速度

执行代码。文中还讲述了该微处理机的其它性能。

020021 扩大微机的性能以提供更强的控制功能 [英]/Laduzinsky, A. J. //Control Eng.-1983, 30(4).-101~104

微处理器对执行控制功能的方式产生了影响。反过来,许多不同的控制功能的执行也给微处理器带来了影响。过去几年来,微机制造商开发了一些更高级也更专门化的机器来执行日益复杂的操作。他们对这些“wunderkind”中的一部分作了优选以更有效、更有效地处理基本控制问题,而其它的被开发用来满足微型计算机本身产生的需要。

020022 用于象棋游戏的VLSI正着发生器(legal move generator) [英]/Schaeffer, J. ...//VLSI Des.-1983, 4(3).-64~71

作者研究了用于当前的机器、采用微处理器的硬件、采用位片的硬件及随机逻辑器件的微代码。参7

020023 FPU提供了视频图形技术的多用性 [英]/Ball, S. //Digital Des.-1983, 13(6).-98~102

今天的视频图形系统需要的数字捣弄(number-crunching)能力往往超过了微处理器所能进行的定点处理能力的限度。为获得较高的运算速度以提高产品性能,视频图形系统的设计者与综合者可以将定点运算换成浮点运算。作者研究了怎样利用NSC16081作为基于微处理机的系统中的支持外设部件或作为从处理器以减轻CPU与设计者的负担。

020024 Numerix公司在快速浮点数组处理机市场找到了合适的位置 [英]/Pingry, J. //Digital Des.-1983, 13(7).-95~101

Numerix公司最近推出了一种产品,他们指望它将填补中期浮点数组处理机市场的空缺。该公司新推出的MAR432 32位浮点处理器可以30兆次浮点运算/秒的运算能力在1.7毫秒内完成1千次复数FFT(快速付里叶变换)运算。

020025 使用一单片微计算机的微程序设计(I) [英]/Kourra, L. //Electron. Eng.-1983, 55(679).-51~53

第一部分见同刊1983年55卷678期43~49页。在这部分作者结束了对Texas Instruments公司的TMS7000系列微计算机的微代码可编程序性的描述,讨论了其开发路线并给出了一些应用实例。这些应用包括:条形码阅读程序,键盘扫描与电动机控制。

数字计算机的其它电路

(含电源装置)

020026 多种多样的UPS(不断电电源)技术提供了

设计选择方案[英]/Shafer, F. K. //Digital Des.-1983, 13(6).-81~96

近年来电源系统技术的进展要求扩大对UPS的定义。作者考察了文中提及的电源的各种选择方案。

020027 555计时器的微处理器控制 [英]/Sporea, D. ...//Electron. Eng.-1983, 55(679).-31

在所描述的基本电路中,被连接作单步操作的555计时器因不同的电容器组合产生各种脉冲宽度。每个电容器可经集电极开路门接地,该门输入端这时为低电平。在计时器输入端选择电容器的字被锁存入一个输出端口。被装入字的最有效位用来控制计时器的复位输入;只有当该位高时计时器才被触发。

020028 备用电池输入将转换开关变为不间断电源 [英]/Small, C. H. //EDN.-1983, 28(13).-143~148

外接不间断电源(UPS)并不是在停电时保持计算机系统运行的唯一方法。至少有五家厂商生产了配备了在内部与电源的主DC母线连接的后备电池组的开关电源。虽然在转换开关的主DC母线处提供电池后援似乎很简单,但实现它并不容易。大多数转换开关的主DC母线通常载有粗整流线电压(直流电压150V以上),而电池组的电压大多较低。结果,电池后援电源的生产厂推出了许多种设计方案以解决这一矛盾,保证电池组与电源之间的无突变过渡。

020029 用于电致发光字符显示控制的高压显示驱动器晶体管 [德]/Blanchard, R. A. ...//Elektron. Prax.-1983, 18(5).-16~25

描述了Supertex公司生产的显示驱动器集成电路,该集成电路采用击穿电压为150V的DMOS(双扩散金属氧化物半导体)晶体管工艺。文中谈到了D³MOS(深漏极DMOS)工艺,它允许在与高压晶体管相同的芯片上制出低压N沟道晶体管和耗散型晶体管。给出了各晶体管结构的截面图。文中讨论了驱动行、列显示的专门问题,还涉及了比例亮度控制电路。最后比较了各种显示驱动系统的成本,介绍了无引线芯片座的使用。参5

020030 用于小功率接口的改进型计数器 [意大利]/MacMillan, D. ...//Elettron. Oggi.-1983, (5).-131~135

(以上李启明译 译 文校)

模拟电路

020031 电子计算:数字与模拟技术之间的选择 [英]/Davies, E. //Elettron. Eng.-1983, 55(679).-39~45

作者指出在某些应用中宽带宽的模拟计算电路能够代替数字解决办法。对诸如线性化桥接电路、阴极射线管枕形效应的校正与压控滤波器等许多实时信号波形加工与数据采集应用而言, 6位绝对精度足以满足需要。在这样一些应用中, 模拟计算电路常常能效能费用合算地替代数字解决办法。模拟乘法器能以很低的费用进行数据的高速处理, 且其精度为许多用户所满意。参4

020032 半导体工艺: 对模拟集成电路而言 CMOS 工艺给人们以深刻的印象, 而双极工艺却拒不认输[英]/Goodenough, F. // *Electron. Des.* -1983, 31(12). -117~128

在CMOS工艺微妙地侵入多年之后, 现正试图以其各种新的硅栅工艺, 来控制模拟集成电路领域。本文研究应该提供的CMOS工艺。

020033 在自旋型回波处理机中无线电信号的微分与积分[俄]/Kovalevskii, M. M. ... // *Изв. ВУЗ Радиофиз.* -1982, 25(6). -708~710

作者说明了通过选择适当的控制无线电脉冲波形, 在自旋型回波处理机中, 能够接连几次地对限定无线电信号微分或积分。将这一方法进行简单的修改, 就可以测量物体吸收谱线的各个要素。参9

020034 模拟电路的延迟均衡[会, 英]/Josephs, L. C. ... // *Sixteenth Asilomar Conference on Circuits, Systems & Computers*, 1982, 11. 8~10; Pacific Grove, CA, USA. -New York, USA: IEEE, 1983. -386~393

本文论及模拟电路延迟均衡的两个方面。用变分分析法产生初始起点, 供借助于优化程序的延迟均衡使用。还提出了一种数值技术, 它产生的延迟, 在把由接近等波动(最小二乘方)或等波动(最大最小)延迟功能产生的回波功率减至最小的意义上来说, 是最优的。参7

020035 用于高频带通滤波器的CMOS稳定跨导放大器中极点位置的控制[会, 英]/Glasford, G. M. // *Sixteenth Asilomar Conference on Circuits, Systems & Computers*, 1982, 11. 8~10; Pacific Grove, CA, USA. -New York, USA: IEEE, 1983. -399~403

本文中, 分析了各共源、共栅、共漏MOS放大器级的频率响应, 确定了一些特定的设计条件, 这些条件使得其输入导纳可由并联R-C电路来加以近似; 其电压增益, 当其负载阻抗由并联R与C组成时, 可以确定为单极点-单零点响应。在这样的条件下, 易于确定与优化级联级的总频率响应, 以使总的增益-带宽积为最大。使用所提出的这些设计条件, 评定并

比较了象射地-基地与源极耦合放大器这样的混合级的增益-带宽积。这些优化程序适用于它们在本文中所对准的所有MOS运算放大器。将这些程序作某些修改, 也能把这些原理推广到采用双极结式晶体管的运算放大器。参3

020036 模拟微处理机的测试[会, 英]/Hall, H. // *Wescon/80 Conference Record*, 1980, 9. 16~18; Anaheim, CA, USA. -El Segundo, CA, USA: Electron. Conventions, 1980. -4-3/1~4

把模拟与数字电路组合在一块集成电路上的新技术, 往往对测试工程师提出了一些难题。这一点特别对功能远远多于引线的大规模集成电路是正确的。为了进行在消除故障机理方面既经济又有效的测试, 必须将数字测试技术与模拟测试技术配合。作者叙述了2920器件, 它符合大规模集成电路的上述说明, 除此而外, 还叙述了一个既有数字电路又有模拟电路的电路。阐明了这样一个电路的测试方法。测试对策本身取决于熟悉这个电路和熟悉会影响MOS集成电路的故障类型。参11

模/数与数/模转换器

020037 模/数与数/模转换器: 功能与应用[德]/Grandl, P. // *Elektron. Appl.* -1983, 15(6). -34~36, 38

在说明了数/模与模/数转换器的一些基础知识之后, 接着叙述了用于逐次近似法的编码与比较器的选择。作者说明了具有数字编程与延迟的有源滤波器的工作和这些转换器在电视设备中的使用。参4

020038 低干扰模拟信号处理[德]/Regan, T. // *Elektron. App.* -1983, 15(6). -44~46

用可程序控制的多路转接器(multiplexer)处理非对称差动与伪差动输入。靠近信号源的模/数转换器的配置, 只要该转换器的内移位寄存器接收多路转接器地址, 就能保证几乎完全消除感应干扰。作者用表格表示了单端与差动方式多路转接器的地址码, 并给出了初始状态的定时图。

020039 模/数转换器将系统元件数减至最少[英]/*Digital Des.* -1983, 13(7). -102

CMOS模拟电路的最大优点是把数字与模拟电路组合在同一芯片内带来的。装入诸如EPROM、全加器、数字错误校正与基于状态机或微处理机的职能等数字部件, 已推出了一些超级数据转换产品。工业上的第一个单片14位/40微秒模/数转换器——Intersil ICL7115——便是这种CMOS数/模组合的一个例子。

020040 一块芯片上的4个数/模转换器简化了多转换

器系统的设计 [英]/Minogue, P. // Electron. Des. - 1983, 31(12). - 153~158

作者叙述了为了减少设计人员的工作,怎样在AD7226芯片上把4个8位数/模转换器(每个都带有其自身的输出运算放大器)并集在一块芯片上并装入单宽度20条引线的双列直插式封装的问题。这种芯片脱离单电源工作。

020041 模/数与数/模转换器领域的趋向 [法]/Measures. - 1983, 48(9). - 7, 9, 11, 14~22

本文评述了世界范围内现有的各种模/数与数/模转换器,比较了双斜率、逐次近似与快速(flash)型转换器,并考虑了12位到16位的精确度。讨论了与微处理机的各种配合,并列出了其主要厂家。

020042 用于二进制编码的视频速度模/数转换器 [会,英]/Hamdy, N. A. ... // 1983 IEEE International Symposium on Circuits and Systems, Vol. 1, 1983. 5. 2~4; Newport Beach, CA, USA. - New York, USA; IEEE, 1983. - 32~35

本文提出了一种适合于视频应用的高速模/数转换器。它能提供4位二进制编码输出,并且为了得到更好的清晰度,可直接与任一普通快速(flash)型转换器级联。这个电路还产生一个模拟输出电压,因而在该级联电路中既不需要数/模转换器,又不需要带延迟元件的减法放大器。这些元件通常会降低时序转换器的速度。参6

020043 高速数/模转换的技术与工艺 [会,英]/Saul, P. H. ... // IEEE 1983 Custom Integrated Circuits Conference, 1983. 5. 23~25; Rochester, NY, USA. - New York, USA; IEEE, 1983. - 252~255

开发出了代表高速数据转换技术发展水平的一个8位、10位与12位单片数/模转换器系列。测得的总通过-延迟加稳定时间,8位器件的为5毫微秒,10位器件的为12毫微秒,而仍处于实验阶段的12位器件,则预计为35毫微秒。所有器件都借助标准高速数字双极工艺生产,无需后部工序修整。参4

020044 转换器工艺及其综述 [会,英]/Sanchez, A. A. // Electro/80 Conference Record, 1980. 5. 13~15; Boston, MA, USA. - El Segundo, CA, USA; Electron. Conventions, 1980. - 20-1/1~4

廉价计算能力的出现极大地增加了对模/数与数/模转换器的需要。转换器产品厂家通过提供把锁存与三态输出这样的数字功能引入转换器封装的产品,满足了这一需要。微处理机厂家则是通过将转换器引入其结构内来满足这一需要。数字接口增强的确很有用,但用户可以相信模拟电路象数字逻辑一样易于使用,并且一样通用。从经济与尺寸考虑,单片工艺具

有的优点确实有利,混合封装技术在尺寸上的确比几个模块优越得多。但是,一般说来,选择转换器时最重要的因素不是尺寸或制造工艺,而要根据系统性能目标对这二个变量进行综合考虑。本文叙述了模/数与数/模转换器最常用的结构及其固有的优、缺点。参3

020045 单片转换器 [会,英]/Grant, D. // Electro/80 Conference Record, 1980. 5. 13~15; Boston, MA, USA. - El Segundo, CA, USA; Electron. Conventions, 1980. - 20-2/1~6

随着新工艺与生产工序的采用,在过去几年内单片数据转换器得到了迅速发展。虽然以前处于“积木构件”的状况,但现在已能制造更高精度、更高速度与更完整的集成电路转换器。现在已把许多数据采集设计问题从系统设计变成了元件的简单选择。作者研究了能反映出现有“完整性”的若干集成电路转换器。被研究的元件包括一个完整的单电源8位数/模转换器、数字部分使用PLD的10位模/数转换器以及12位数/模与模/数转换器。

020046 模/数与数/模分立元件模块 [会,英]/Powers, R. I. // Electro/80 Conference Record, 1980. 5. 13~15; Boston, MA, USA. - El Segundo, CA, USA; Electron. Conventions, 1980. - 20-4/1~5

模/数与数/模转换产品有许多应用,都需要更高的精确度与高稳定性,而这些特性只有用分立元件工艺才能获得。遗憾的是,一些系统设计工程技术人员错误地把一个转换器的分辨力与其精确度和稳定性等同。用分立元件工艺制作的转换产品,设计得当时,其精确度和稳定性与其分辨力一致,但是,用其它工艺制作的产品,其稳定性常常不与其分辨力一致。分立元件工艺制作的转换产品比用其它工艺的产品更稳定的原因有许多,文中说明了这些原因。参2

020047 模拟-数字转换器(analog-to-digital converters)精密接口技术 [会,英]/Travers, D. J. // Wescon/80 Conference Record, 1980. 9. 16~18; Anaheim, CA, USA. - El Segundo, CA, USA; Electron. Conventions, 1980. - 27-1/1~8

因为虽然模/数与数/模转换器有定义明确的参数,但用来支持这些转换器的功能的线性电路系统特性却不明确,所以精密接口技术是必要的。作者讨论了这些技术。文中研究了模拟电路与数字系统组合时的接地效应。这些问题通常用试错法加以解决。当设想一个完整的12位($\pm 0.012\%$)转换器要求16倍于8位转换器所必需的精确度时,得更苛刻地选择元件来补足那些补充新高分辨力/高精度度集成电路的

元件的新的分辨率。为了改进或设计更高分辨力的系统,设计者必须确保充分利用新得到的精度。参2
020048 转换器-微处理机接口技术[会,英]/Morrisson, R.L.//Wescon/80 Conference Record, 1980. 9. 16~18; Anaheim, CA, USA.-El Segundo, CA, USA: Electron. Conventions, 1980.-27-2/

1~6

作者评论了模拟转换器与数据采集系统所发生的一系列变化,给出了若干应用实例,其中包括并行数/模转换器接口,自动测程(autoranging)数据采集系统,存储器直接存取控制器和IEEE总线接口。

(以上译 文译 黎 明校)

逻辑设计与数字技术

020049 第十六次 Asilomar 电路、系统和计算机会议: 1982.11.8~10; Pacific Grove, CA, USA[会,英].-New York, USA: IEEE, 1983.-X+550页

逻辑设计方法

(含逻辑测试)

020050 测试自动机的一种方法[英]/Brovarnik, V. V.//Autom. & Remote Control.-1982, 43(11).-1468~1475

提出了一种测试自动机的诊断方法,该自动机由大规模标准电路形式综合设计而成。此法可对单固定故障(Single stuck-at faults)能进行完整的测试,并给出了测试记录长度(test length)的上限。参8

020051 微处理机电路的故障诊断(逻辑分析器)[德]/Elektron. Appl.-1983, 15(5).-58~59

描述了IMAS型 Rohole和Schwarz逻辑分析器带有8085微处理机的反汇编头(disassembly head)。讨论了各种可能的错误并列举了程序执行(包括程序循环)中故障的实例。还介绍了8085的适配器探头的使用。

020052 具有方波输出的高速、低噪声同步器电路[英]/Hansen, K. A.//Motorola Tech. Dev.-1983, 3.-36~38

逻辑设计一般都是异步进行的。因为这可简化设计并使门数和漏电流均达到最小值。然而,在同步设计中,经常要求关于某一参考时基达到同步。过去在实现同步方面已采用了一系列办法。最简单的一种方法就是把D型双稳态触发器作为同步器。但是所有的方法至少都有下列一种不足之处:(1)速度低,(2)噪声大,(3)无方波输出。文中描述了一种利用采样和固相(hold phase)检测器的高性能同步器,具有方波基准分离器信号。

020053 利用逻辑分析器快速诊断软件故障[德]/Green, J. ...//Elektron. Prax.-1983, 18(5).-8~

15

本文描述了Hewlett Packard 1630D型逻辑分析器。该器件能分析和显示特定软件指令调用的次数和出现的频率。说明了跟踪图(trace specification chart),讨论了状态图(state overview diagram)的表示方法。分析器能表示各种软件参数的直方图并包括反汇编程序。

020054 大型可编程逻辑阵列的功能无关自测试[英]/Grassl, G. ...//Integration VLSI J.-1983, 1(1).-71~80

020055 通过环形振荡器确定逻辑门的特性[英]/Wassink, H. J. ...//Integration VLSI J.-1983, 1(1).-81~85

020056 系统组合[英]/Tebbett, G.//Instrum. & Control Syst.-1983, 56(5).-55~59

配置一个工业和过程控制,总线板系统(bus board system),不仅要考虑目前的需要,还要考虑到将来的扩展。如果没有考虑到将来的应用,就会发现无法增加急需的外设,更多的存储器 and 新的实时操作系统,因为一开始就没准备这样做。本文讨论了在选择I/O, CPU和系统必需的外设时应考虑的各个事项。参5

020057 随机测试模式有效区的扩大与LSSD逻辑自测试的诊断[英]/Eichelberger, E. B. ...//IBM J. Res. & Dev.-1983, 27(3).-265~272

020058 多级逻辑测试[英]/Hayward, M.//IBM Tech. Disclosure Bull.-1983, 25(11B).-5903~5904

文中描述的一种宏等效方案(macro equivalence scheme)它能使一个单测试过程用于双态逻辑阵列和多级逻辑输入部件。

020059 模拟器的直接连接[英]/Denneau, M.//IBM Tech Disclosure Bull.-1983, 25(11B).-5946~5947

本文介绍了一种在逻辑处理器和一个或多个外设(例如存储器存取模拟器)之间提供高带宽接口的硬

件。

020060 三态器件和电路测试[英]/Flaherty, R. J. .../IBM Tech. Disclosure Bull., 1983, 25(11B).-6286~6290

介绍了一种提供逻辑器件和电路(内含三态或缓冲元件)的完全可测试性而不造成性能或功率耗费的方法。

020061 截留到最小测试长度的 LSSD(电平相关扫描设计)扫描路径[英]/Moser, J. J., Jr./IBM Tech. Disclosure Bull., 1983, 25(12).-6547~6549

020062 产品自测试标记图(Signature)[英]/Muhr, J. T./IBM Tech. Disclosure Bull., 1983, 25(12).-6582~6583

本文说明,对逻辑电路模块或较大的部件中有关的总线进行监控是可能实现自测试功能的,继而产生一测试标记图。

020063 多机图象中数字系统的设计过程[朝鲜]/Hyeon Jae Kim/J. Korea Inst. Electron. Eng.-1983, 19(6).-9~16

020064 逻辑阵列的测试[英]/Walker, R. .../Microelectron. J., 1983, 14(3).-31~39

可测试性的设计是每一家半定制器件制造厂的目标。随着这些器件因引脚非常高而带来的复杂性的增加,制造厂必须能对它们进行测试而又保持一定的质量和效率。作者考虑了电平相关扫描设计、扫描测试,扼要介绍了 LDSI 开发系统,此系统简化了 LSI 半定制电路的测试。参1

020065 并行全局寻径器[日]/Asano, T./情报处理.-1982, 23(4).-443~450

020066 第十三届国际多值逻辑讨论会文集, 1983. 5.23~25; 日本京都[会, 英].-New York, USA, IEEE, 1983.-xii+431页

会议讨论了下列问题: 逻辑设计; 原理; 电路和工艺; 阈逻辑; 代数; 电荷偶器件和应用; 开关理论; 系统设计和应用; 模糊逻辑; 可靠性设计; 以及检测和诊断。

020067 具有内部测试能力的多值LSI/VLSI的结构化设计[会, 英]/Lee, S. L. .../Proceedings of the Thirteenth International Symposium on Multiple-Valued Logic, 1983.5.23~25, Kyoto, Japan.-New York, USA, IEEE, 1983.-27~34

本文介绍了具有内部测试功能的MV LSI/VLSI 芯片子系统的结构化设计。这种采用多工器和 DFF 的结构化设计是通过树形结构 ASM 表进行的。因为这些电路是高度结构化, 而且从 ASM 表获取设计数据过程又是相当的直接和有系统, 所以, 这一设计过

程可能会适应自动化的要求。文中提出了多值内装块观察电路(MVBIBC)。这种电路代替了子系统的 DFF, 并为子系统提供了三种操作方式所必需的硬件: (1)基本系统操作方式; (2)电平相关扫描设计; (3)标记图分析。利用这三种方式, 引出了两个测试发生/检验过程。分别检测子系统和整个电路。这里介绍的测试和设计方法对任何 MV·LSI/VSI 芯片的设计与测试都是完全通用的。参15

020068 用超平面进行多值逻辑电路的综合[会, 英]/Watanabe, T. .../Proceedings of the Thirteenth International Symposium on Multiple-Valued Logic, 1983.5.23~25, Kyoto, Japan.-New York, USA, IEEE, 1983.-72~77

介绍了可由多值多阈函数表示的超平面组成的多值逻辑函数的综合方法。利用代数运算符+、-和·以及逻辑极大和极小能组合成多值逻辑函数。文中介绍了用于这些运算的法则。使用超平面表示法就能简便地表达这些函数。必要时还要用到代数和几何中的各种标准方法。另外作为电路的实现手段还介绍了“一个函数一个运算放大器”的方法。参15

020069 p值输入、q值输出阈逻辑及其在p值逻辑网络综合中的应用[会, 英]/Haga, T./Proceedings of the Thirteenth International Symposium on Multiple-Valued Logic, 1983.5.23~25, Kyoto, Japan.-New York, USA, IEEE, 1983.-78~83

介绍了p值输入、q值输出阈元件($2 \leq q \leq p$, $3 \leq p$), 即(p, q)-逻辑元件在p值逻辑网络综合上的应用。(p, q)-逻辑的设想是基于这样的考虑, 对阈逻辑来说, 输入值扩展成多值是相当容易的, 而同样的扩展对输出值是很困难的。在有某种约束的情况下, 利用(p, 1)-阈元件就能确定q的最佳值q*, 以构成最低成本的p值网络。参3

020070 四个变量以下三态多数函数的产生[会, 英]/Mine, H. .../Proceedings of the thirteenth International Symposium on Multiple-Valued Logic, 1983.5.23~25, Kyoto, Japan.-New York, USA, IEEE, 1983.-84~91

提出了三态多数函数(此函数在以前的文章中已作定义, 见1981年9月出版的Trans. IEC Japan, E. 64卷, 9期, 604~605页)的产生方法。这种方法来源于这个事实: 即三态多数函数的形式和两个具有公共权的三态阈函数是紧密相关的。文中列出了所有典型的四个变量以下的三态多数函数。最后, 文章指出总共有40819个四变量三态多数函数。参11

020071 用按内容访问存储器实现多值函数时所需的存储单元数[会, 英]/Bulter, J. T./Proceedings

of the thirteenth International Symposium on Multiple-Valued Logic, 1983.5.23~25; Kyoto, Japan.-New York, USA; IEEE, 1983.-94~102

用一个二进制按内容访问存储器(CAM)和两个译码器(一个把多值输入转换成二进制地址,另一个把二进制CAM输入转换成多值输出)能实现多值函数。特别感兴趣的是所需的CAM存储单元数。本文导出了 m 值 n 输入函数所需的存储单元的上限值,并和特殊函数例如MIN和MAX函数的存储单元数进行了比较。另外还对 M 值 n 输入函数计算了平均数,结果表明平均数略大于上限值的一半。参7

020072 VLSI环境中多值逻辑的实现和使用[会,英]/Fleisher, H.//Proceedings of the Thirteenth International Symposium on Multiple-Valued Logic, 1983.5.23~25; Kyoto, Japan.-New York, USA; IEEE, 1983.-138~143

讨论了用可编程逻辑阵列(PLA)实现多值逻辑的问题。介绍了PLA的历史并讨论了多值逻辑同PLA的开发和逻辑极小化的关系。VLSI实现的一个重要方面就是作为二进制逻辑电路与多值逻辑电路进行比较的一个参数。通过各种应用说明了 n 值Post逻辑的函数功用。参10

020073 MVL-CCD器件的容差分析和相关测量[会,英]/Kerckhoff, H. G.//Proceedings of the thirteenth International Symposium on Multiple-Valued Logic, 1983.5.23~25; Kyoto, Japan.-New York, USA; IEEE, 1983.-152~161

在单块硅片上设计MVL系统之前,首先必须对系统的临界可靠性进行可行性研究。文中先用蒙特卡罗(Monte Carlo)分析法作为统计方法研究基本CCD门结构的期望容差。把期望容差和测得的实际数据作了比较。因为借助这些结构能合成任何MVL函数,所以根据基于蒙特卡罗容差分析的通用分析法就能研究函数的容差特性。文中用已有的电路说明后面的过程。参18

020074 CCD多值电路设计的列表法[会,英]/Lee, Joo-Kang//Proceedings of the Thirteenth International Symposium on Multiple-Valued Logic, 1983.5.23~25; Kyoto, Japan.-New York, USA; IEEE, 1983.-162~170

介绍了多值CCD电路的列表设计法。另外,还介绍了一种通用的成本表格方法。采用这种方法花费不大但表格相当长。最后还给出了一种灵活的CCD电路,只要简单调节一下电压电平就能产生任何一元函数。参9

020075 根据“与非”型Polypheck的三态逻辑函数

的综合方法[会,英]/Yanagita, M.//Proceedings of the Thirteenth International Symposium on Multiple-Valued Logic, 1983.5.23~25; Kyoto, Japan.-New York, USA; IEEE, 1983.-172~176
020076 根据模块设计方法综合多值逻辑函数[会,英]/Fang Kwang-Ya//Proceedings of the Thirteenth International Symposium on Multiple-Valued Logic, 1983.5.23~25; Kyoto, Japan.-New York, USA; IEEE, 1983.-397~407

随着多值逻辑方法的迅速发展,采用具有成本效益的设计方法(即使用模块设计方法)是必要的。作者在1982年提出了多值逻辑函数模块设计的分解方法。根据这种方法,用简化方法推导出了系统化过程,以此减少了设计所需的模块数。第一步涉及把函数分成几类的过程。然后,用T门作为基本元件实现每一函数类的有代表性的结构单元。文中编排了设计过程,这样就可利用有代表性的结构单元直接实现每一类中的全部函数。参8

020077 微处理机开发中的逻辑分析[会,英]/Freund, R.//Mini/Micro Northeast Electronics Show & Convention 1983. 4. 19~21; New York, USA.-El Segundo, CA, USA; Electron. Conventions, 1983.-3/4/1~7

讲述了逻辑分析系统辅助设计师与技术人员降低成本的方法和在开发及测试以微处理机为基础的产品方面作出的努力。通过微处理机的使用简化了这种系统的人-机接口,一些让用户使用这一计算机能力的仪器,使得历来用手检测的系统有可能实现完全的自动测试。

020078 跟踪理论和分层部件的确定[会,英]/Rem, M.//Third Caltech Conference on Very Large Scale Integration, 1983.3. 21~23; Pasadena, CA, USA.-Rockville, MD, USA; Computer, Science Press, 1983.-225~239

020079 IBM公司在门阵列方面的经验[会,英]/Jen, T. S.//Electro/80 Conference Record, 1980.5. 13~15; Boston, MA, USA.-El Segundo, CA, USA; Electron. Conventions, 1980.-22-3/1~8

从元件开发的观点回顾了IBM公司的门阵列即母片设计的经验。讨论了电路性能、密度、测试和设计的自动化支持等方面的折衷。侧重于物理设计方面,并提出了一些新的经验。参12

020080 用于VLSI设计和测试的新一代工具[会,英]/House, C. H.//Wescon/80 Conference Record, 1980.9.16~18; Anaheim, CA, USA.-El Segundo, CA, USA; Electron. Conventions, 1980

.-12-4/1~10

近五年来, 由于微处理机和其他LSI元件的发展, 电子系统的功能发生了极其迅速的变化。如果没有同时引入和接收新的设计和分析工具(如微机开发系统和逻辑分析器), 这些变化就不会产生如此重大的影响。本文简要介绍了某些处理VLSI设计与分析要求的准则并就仪器的有效利用提出了一种潜在的策略。

020081 大规模集成电路的逻辑错误检查: 它是如何使用户得益的[会, 英]/Harrison, R. A. .../Wesccon/80 Conference. Record, 1980.9.16~18: Anaheim, CA, USA.-EL Segundo, CA, USA: Electron. Conventions, 1980.-34-1/1~4

大规模集成电路测试图的逻辑错误检查使设计者明显使其测试程序升级而并不过分延长总的测试时间。根据检错结果, Delco电子公司和Motorola公司已经明显地改善了测试序列, 提高了MC6800系列LSI电路的质量。GM公司生产的以微机为基础的发动机自动控制模块中使用了这种电路。利用过去的经验——Delco公司用于航空数字电路设备、Motorola公司用于门阵列和多元系统——进行测试分级(继之以Motorola公司的大量试验)来收集大型电路样本的数据。结果表明: 使用计算机辅助门级逻辑故障验证可将用给定的测试序列所不能测出的故障基本减少至零。参1

020082 逻辑设计中的可测试性考虑[会, 英]/Mathur, F. P. //1981 Western Educational Computing Conference and Trade Show, 1981.11.19~20; San Francisco, CA, USC.-CA, USA: California Educ. Comput. Consortium, 1981.-179~184

设计的简化和现代设计的复杂性都强调了可测试性问题。日益明确的是, 设计者不仅要接收设计方法的教育, 为了使最终的测试和证实简单易行, 还应接受设计技巧的教育。本文介绍了这个问题并给出了一系列可测试性准则。参10

(以上叶安麒译 顾良、黎明校)

020083 用多级电流开关的组合器件逻辑设计的概况[俄]/Ivanov, Yu. P. .../Автом. и Вычисл. Тех.-1982, 16(3).-51~54

提出了使用有不同级数的电流开关(CS)来设计组合器件的方法, 它把以析取范式确定的初始布尔函数分解为一些子函数, 每个子函数用一个CS来实现。器件被设计为从输入端到输出端的多个级联, 以最大级编号CS为起点。与现有的综合方法相比, 这种设计过程能减少实现布尔函数所需的级联数目, 并能用较少级数的CS代替多级CS。参11

020084 功能块级大型数字电路测试生成的G-F二值算法[中]/Sheng Yuanhuan.../计算机学报.-1983, 6, (1).-32~41

此论文给出的算法是用于数字电路的一种测试码生成方法, 在该方法中功能块被当作原始的逻辑元素。线路变量的“G-F”二值描述和“G-F”二值基本运算公式是根据故障的可检测性导出的。在通路敏化的过程中, 故障块的测试和敏化功能块的敏化函数值是由“G-F”二值公式产生的。为加快回推(解方程), 采用了故障路标、隐含、值区和布尔代数运算这样一些有显著作用的措施。由于在时序电路中引入了时间参数和脉冲变量, 统一了组合电路和时序电路的处理。该算法已在每秒50万次的计算机上编制了程序, 实现了超过4000个门的时序电路的测试码生成。故障复盖率平均达98%, 90%的故障被定位到右边的一块组件上。论文最后列出了在几种印刷电路板上的一些实测结果。参4

020085 逻辑分析仪: 小而功效强[英]/Anderson, R. //Can. Electron. Eng.-1983, 27(5).-42~43, 45~46, 48

新型的“超便携式”逻辑分析仪, 例如Sony/Tektronix318和338, 将高效的采集和分析功能集中在一个十分紧凑、轻巧的仪器箱内。318提供16个通道, 采集速率为50MHz; 338有32个通道, 采集速率为20MHz。它们提供三级触发、串行采集能力、远程操作和非易失性存储器等, 能以一个小的便携式装置满足大部分应用。在软件调试、硬件调试和远程串行网络诊断方面的应用已被提出, 用这类新型分析仪可很容易地处理这些问题。

020086 逻辑电路类群(N, X)的结构[德]/Simon, H. U. //Elektron. Informationsverarb. Kybern.-1983, 19(6).-279~296

逻辑电路被X-类F(A, P)描述。正如所知的, 网同型集(morphism set)N与运算X一起产生类群。这一类群的结构通过生成程序和关系来确定。特别是(N, X)是消除的, 即消除定律对运算X是成立的。参5

020087 服务期间的和野外的处理机系统的错误搜寻[德]/Hanni, A. //Elektroniker.-1983, (13/14).-71~75

描述了Fluke公司的仪器9010A, 它包括一个处理机接口插座和一个同步逻辑测试头。该装置可在任意地点与测试处理机联系, 并具有“学习”和“自动测试”功能。操作的选择、自动错误搜寻以及显示, 使得对该装置的控制很容易做到。

020088 逻辑分析仪的应用[德]/Klug, W. //Ele-

ktron, Ind.,-1983, 14(6).-53~54

这是Kontron公司发表的逻辑分析仪用于计算机测试和程序开发的详述系列文章之一。介绍了数据清单的采集和分析,讲述了向ASCII码和EBCDIC码的自动转换。主张应提供在采集的数据和希望存入软磁盘的数据之间的自动比较装置。提到了Kontron的KLA型逻辑分析仪。

020089 用逻辑分析仪评价数据处理机的性能[法]/Jensen, N.//Electron. Ind.,-1983, (55).-51~57

Hewlett-Packard公司的逻辑分析仪1630A/D具有一种可直观处理机性能的工作方式。由于把直方图形象化,该方式可确切地表明程序和子程序在彼此的关系或对整个系统的关系方面运行得如何。因此该设备允许检测“过载”和改善处理机效率。

020090 可编程逻辑阵列不易检测的交叉点故障的可测试性设计[英]/Ramanatha, K. S. ...//IEEE Trans. Comput.,-1983, C-32(6).-551~557

根据可编程序逻辑阵列(PLA)中的交叉点故障,对在诊断测试集合推导中的单个故障假设的有效性作了验证。可以用已开发的控制输入方法把带有不易检测的交叉点故障的PLA变为交叉点无冗余的PLA。所有交叉点在交叉点无冗余PLA中都将是可测的。控制输入被当作测试期间的附加变量。正常的工作期间它们保持为逻辑1。为得到近于最小数目的控制输入而提出了一种有用的探试法。文中还给出了计算控制输入数目的限制的表达式。参12

020091 一种简单的检测组合电路中单个间发故障的随机测试方法[英]/Virupaksia, A. R. ...//IEEE Trans. Comput.,-1983, C-32(6).-594~597

为随机测试组合电路中的间发故障而提出了一种输入矢量概率的近最佳选择方法。通过简单的方式平衡所有的测试矢量的质量因数,得到了输入矢量概率的测定。并指出这种故障检测率可与J. Savir的(见同刊1980, C-29卷410~416页)相比。参9

020092 单通三态驱动器的测试[英]/Cha, C. W. ...//IBM Tech. Disclosure Bull.,-1983, 25(12).-6617~6620

提出了一种用常规的测试器硬件进行有效的单通测试,以完成对三态驱动器做全测试的方法。

020093 对非完好的类型(partial good categories)做最少测试或分类的装置[英]/Aichelmann, F. J. ...//IBM Tech. Disclosure Butt.,-1983, 25((12).-6630~6631

片上附加的个性化(personalization)逻辑,使得非完好的芯片似乎在相同的逻辑地址上有一些坏位(bad bit),而不管其实际的物理位置。

020094 VLSI的正则集识别方法[日]/Yasuura, H. //情报处理,-1983, 24(4).-567~571

020095 三维的VLSI:情况研究[英]/Rosenberg, A. L. //J. Assoc. Comput. Mach.,-1983, 30(3).-397~416

把某些公用类的电路(即置换网络、FFT电路和完全二叉树)的三维构造样品与这类电路的最佳二维构造方案相比,借此研究了三维电路的优点。然后,把这些电路作为积木块,以获得任意电路的有效的三维构造。获得的结果(大致上)表明,二维情况下的大约为 n^2 级的面积(上、下)界限,在三维情况下变成了约为 $n^{\frac{3}{2}}$ 数量级的体积界限。而且,采用(理想化的)实现方法可达到一些上界,这些实现方法仅在一个平面上有着有源器件,只是为了走线才使用第三维;这种实现方法对制造技术提出了较少的要求。然而文章又指出,第三维的不受限制的使用可以得出比任何“单个有源的平面”的实现方法有着体积上更保守(乘以系数 $\log^{1/2}n$)的结果。最后给出了几个例子,其中二维构造方法要求器件到器件的连线长度大到 $n/\log n$,而等效的三维结构方法用不超过 $n^{\frac{1}{2}}$ 的线长度就可以了。因此,至少在最坏情况下,三维电路实现方法在材料(面积与体积相比)和时间(传导线长度)方面都有实质性的节约。参27

020096 高度安全设备中的高度集成和编程系统的介绍[英]/Saucier, G. //Rev. Gen. Chemins de Fer.,-1983, 102.-327~332

高度安全设备的设计者在引入以微处理机为基础的电路时必须克服的问题,首先是来自设备的复杂性和高集成化,其次是由于没有提出不太复杂的程序。这些特点使得构件特别难以测试和求得保证。本文评述了几种应遵循的不同设计方法以及(设计高度专用电路时)可采用的富于创新的解决办法。参9

020097 数字设计技术之五[西班牙]/Posiello, J. //Rev. Esp. Electron.,-1983, 30(343).-32~34

020098 一种高速信号交换环形判优器的设计[日]/Sowa, M. //电子通信学会论文誌(D),-1983, J66D.(5).-621~622

提出了高速信号交换异步环形判优器的设计。从提高速度的角度讨论了判优器的时序。参3

020099 CMOS门阵列的用户/卖方接口[会,英]/Hardage, C. //Wescon/82 Conference Record, 1982.9.14~16; Anaheim, CA, USA.-El Segundo, CA, USA; Electron. Conventions, 1982.-10-5/1~13

在回顾了CMOS门阵列的基本原理后,讨论了工程设计、发展状况及用户—卖方接口等问题。经过适

当的训练并具备了初期开发的经验之后,就可达成最佳的接口。由用户负责向CMOS门阵列开发输入:逻辑图(取小规模集成CMOS形式);器件规格;改变逻辑的鉴定(或逻辑模拟鉴定);测试码模式(或逻辑模拟鉴定);和原型鉴定。

020100 IFL的设计原理[会,英]/Smith, B. W. // Southcon/82 Conference Record, 1982.3.23~25: Orlando, FL, USA.-El Segundo, CA, USA: Electron. Conventions, 1982.-12-13/1~15

描述了一种设计技术,它将继续逻辑系统的化简,最终将允许设计者使用经典的逻辑设计。这一技术——Signetics公司的集成熔断逻辑(IFL)是为了直接实现逻辑式而设计的,它使得设计者不再为把坚硬的逻辑器件压装到系统中而被迫变换、折衷逻辑设计。IFL的核心为逻辑式的“乘积之和”形式。这种等式是大多数逻辑设计方法的当然结果,它可直接被编程到集成电路中去。

020101 对可编程逻辑的支持[会,英]/Miller, W. K. // Southcon/82 Conference Record, 1982.3.23~25: Orlando, FL, USA.-El Segundo, CA, USA: Electron. Conventions, 1982.-15-0/1~4

讨论了对可编程逻辑器件设计的各种支持语言条件。它们包括测试、编程和高级描述。可编程逻辑器件的支持硬件和支持软件的发展非常类似于对微处理器的支持的开发。

020102 对可编程器件的逻辑验证[会,英]/Kitson, B. // Southcon/82 Conference Record:1982.3.23~25:Orlando, FL, USA.-El Segundo, CA, USA: Electron. Conventions, 1982.-15-2/1~6

讨论了这些强功效器件的逻辑验证。提出了逻辑验证的定义,接着讨论了在可编程逻辑上实行它的特别益处和要求。此外还讨论了便于逻辑验证的专门的片载测试特性。

020103 PART:依据划分算法的可编程阵列测试[会,英]/Somenzi, F. ... // 1983 IEEE International Symposium on Circuits and Systems-Vol.3:1983.5.2~4:Newport Beach, CA, USA.-New York, USA:IEEE, 1983.-1298~1301

PART是一个对PLA测试和验证的系统。它被用来与其它的扩展设备接口,以产生综合性的设计环境。为此目的,它提供了几个便利条件,其中有根据布局信息产生故障布居(population)的能力。PART的目的在于,用数量有限的时间和存贮,为所有可检测的交叉点缺陷产生非常紧凑的测试码集合。这是借助于有效的划分算法和强有力的测试法实现的。测试的最小性是靠一种简单的过程保证的。参13

020104 采用PLA的电路的测试策略[会,英]/Somenzi, F. ... // 1983 IEEE International Symposium on Circuits and Systems. vol.3:1983.5.2~4: Newport Beach, CA, USA.-New York, USA: IEEE, 1983.-1302~1305

VLSI系统日益增加的复杂性推动了人们对为减少设计时间和测试码生成工作量的结构化方法的探索。PLA和扫描已被广泛地报道,可以成为着手工作的有效途径。作者提出了一个简易测试结构和有关的测试策略。假定电路以组合的宏逻辑(主要由PLA实现)的互连为基础;测试码局部地产生,然后用原始输入和输出表示出来,表达时使用了拓扑方法作为一般策略,并使用了代数技巧,以使信号通过宏逻辑传送。参8

020105 PI可测的迭代阵列的内部测试[会,英]/Cerny, E. ... // FTCS 13th Annual International Symposium, Fault-Tolerant Computing, Digest of Papers: 1983.6.28~30: Milan, Italy.-New York, USA:IEEE, 1983.-33~36

作者指出,所有C可测阵列也是PI可测的,这个特性可在许多情况下为测试码发生器和响应验证器提供较简单的内部测试结构。当C可测阵列的标识序列集合太大时,响应检验器观察各单元状态的能力就对测试码发生器产生重大的简化。参7

020106 容易测试的阵列乘法器[会,英]/Shen, J. P. ... // FTCS 13th Annual International Symposium, Fault-Tolerant Computing, Digest of Papers: 1983.6.28~30:Milan, Italy.-New York, USA:IEEE, 1983.-37~40

如果一个阵列乘法器的所有加法器单元能被无遗漏地测试,同时要求恒定数目的测试码模式,它就被称为C可测的。常规设计的传送进位和保留进位阵列乘法器不是C可测的。然而,可做简单的改进以产生C可测设计。文中表明,改进的传送进位阵列乘法器是C可测的,它需要20个测试码模式。改进的保留进位阵列乘法器也被证明是C可测的,它仅需要16个测试码模式。已设计出一个 16×16 C可测阵列乘法器。该乘法器的电路布置已产生,可在NMOS芯片上实现。参7

020107 随机模式的测试能力(逻辑测试)[会,英]/Savir, J. ... // FTCS 13th Annual International Symposium, Fault-Tolerant Computing, Digest of Papers:1983.6.28~30:Milan, Italy.-New York, USA:IEEE, 1983.-80~89

用随机输入做自测试时的主要问题是对测试质量的检验,即故障复盖率的计算。由于碰到逻辑结构容

量和CPU时间等问题,用全故障模拟的强力方法似乎并不具有吸引力。所以需要新的方法。此文描述了一种与模拟进行快速比较的新的计算故障复盖率的分析方法。如果故障复盖率下降到某个阈值之下,就可能辨认“抗随机模式”的故障,修改逻辑使之容易检测,就能因此增加随机测试的故障复盖率。参21

020108 *—算法:对功能和CHDL构造的临界跟踪(critical trace)[会,英]/Levendel, Y. ... // FTCS 13th Annual International Symposium, Fault-Tolerant Computing, Digest of Papers:1983. 6. 28~30:Milan Italy.-New York, USA:IEEE, 1983.-90~97

此文使临界跟踪方法形式化,该方法原来是为了对门一级的电路生成测试码而研制的,在此文中将其扩展到功能一级。提供了可导出门的判定立方体的不同方法,和以布尔方程或计算机硬件描述语言描述的函数。虽然临界跟踪比D-算法简单些,但它不能生成在后者能得到的一些测试码。与D-立方体的集合相比,在判定立方体表示中有固有的信息损失。文中表明,导出各判定立方体的不同方法会引起不同数量的信息损失。作为传送算法的意外收获求得了一种价值不大的模拟方法。参13

020109 关于测试码生成算法的加速[会,英]/Fujiwara, H. ... // FTCS 13th Annual International Symposium, Fault-Tolerant Computing, Digest of Papers:1983. 6. 28~30:Milan, Italy.-New York, USA:IEEE, 1983.-98~105

为了加速测试码生成的算法,需要减少算法中回溯的次数,缩短回溯之间的处理时间。作者考察了几个加速测试码生成的技术,提出了称为FAN(适于扇出的测试码生成算法)的测试码生成新算法。文中表明,FAN算法比Goel在1980年提出的PODEM算法更快、更有效。作者还提出了一个自动测试码生成系统,它由FAN算法和并行故障模拟组成。在多达3000个门的大型组合电路上的实验结果表明,该系统能快速有效地完成测试码生成。参11

020110 标识组合电路中多重故障的故障影响函数[会,英]/Rajski, J. ... // FTCS 13th Annual International Symposium, Fault-Tolerant Computing, Digest of Papers:1983. 6. 28~30:Milan, Italy.-New York, USA:IEEE, 1983.-106~109

该文提出的方法以一种称为故障影响函数的布尔函数为基础。它为电路的每一条导线指示是哪些故障(单次的或是多重的)引出了不同于无故障电路的线值。该函数充分描述了故障掩蔽的效应。它被表示为一个图形。故障标识问题被认为是给指明故障存在的

图形结点赋以逻辑值。该操作是在实验结果的基础上运行的。由于结点数是门数目的线性函数,该方法甚至能分析较大的电路。参5

020111 对组合电路中多重故障的测试码生成和故障诊断[会,英]/Xu Xingning ... // FTCS 13th Annual International Symposium, Fault-Tolerant Computing, Digest of Papers:1983. 6. 28~30:Milan Italy.-New York, USA:IEEE, 1983.-110~113

提出了给组合电路中多重固定型故障定位的测试码生成新方法。它利用了测试码生成矩阵(TGM)和自适应测试,所以称之为自适应TGM方法。自适应测试和有关门的技术可使测试码集合的长度有效地减少。它总是生成多重故障定位测试码集合(如果这个集合存在)。无故障电路输出很容易被预测。错误模式中各错误的位置直接指明了多重故障。无需作试验和错误的故障模拟。该方法适用于大型组合电路。文中估计了测试码集合长度的上界和计算的复杂性。参7

020112 自测试的成组奇偶性预测校验器及其在内部测试时的使用[会,英]/Fujiware, E. ... // FTCS 13th Annual International Symposium, Fault-Tolerant Computing, Digest of Papers:1983. 6. 28~30:Milan, Italy.-New York, USA:IEEE, 1983.-146~153

此文说明了一种新型的用于多输出组合电路的错误检验方案及其在内部测试方法中的使用。在所用的错误检验逻辑中,受检验电路的输出端被分为几个组。根据输入计算出的成组奇偶性预报内容,与各组输出所产生的内容进行比较。这种成组奇偶性预测(GPP)校验能检测大部分错误,它可以用系统化方法实现,在校验条件与方程的推导方面采用里德-马勒(Reed-Muller)规范形式。为确保GPP校验器是自测试的,阐明了几个条件。自测试的GPP校验器还为一些多输出组合电路的实例提供了检测手段。就这几个例子而言,自测试GPP校验器表明,有着与简单复制法几乎同样的错误检测能力和故障检测能力,但只需要更少的硬件门数量。参20

020113 n 中取 m 码的全自检校验器的模块化构造[会,英]/Efsthathiou, C. ... // FTCS 13th Annual International Symposium, Fault-Tolerant Computing, Digest of Papers:1983. 6. 28~30:Milan, Italy.-New York, USA:IEEE, 1983.-154~161

提出了 n 中取 $m(m/n)$ 码的全自检(TSC)校验器的新的模块化设计,它利用了规模较小的 m_i/n_i 校TSC校验器和用于二轨码($k=2$)的基本TSC校验器的模块。

m/n TSC 校验器被递归地分为较小的TSC校验器。在递归的第一级, m/n 校验器在功能上是由 m/n 到 $1/z$ 译码器(code translator)组成的, 其中 $z=2(m+1)$ 。 m/n 到 $1/z$ 译码器是由 m_i/n_i TSC校验器($m_i=1, 2, \dots, m$; $n_i=[n/2]$, $[n/2]$)适当地结合基本的二轨码校验器($k=2$)构成的。 m_i/n_i TSC校验器是递归地设计的。上述实现TSC校验器的方法在硬件成本、测试码集合大小方面是有效的, 但是增加了逻辑级。设计的模块性是该方法的显著优点。参10

020114 n 中取 m 码的全自检校验器的设计方法[会, 英]/Piestrak, S. // FTCS 13th Annual International Symposium, Fault-Tolerant Computing, Digest of Papers:1983. 6. 28~30:Milan, Italy. -New York, USA:IEEE, 1983. -162~168

介绍了 n 中取 m 码全自检校验器的设计新方法。这些校验器需要很少的逻辑电路, 比过去已知的构造更容易测试。它们利用阈值(多数检测)电路构成, 这种电路的新设计方法也在文中给出。新的阈值电路要求较少的门, 其门级数显著地少于用Reddy和Wilson(1974)的方法设计的电路。参12

020115 有任意多个输入的全自检比较器的设计[会, 英]/Hughes, J. L. A. ... // FTCS 13th Annual International Symposium, Fault-Tolerant Computing, Digest of Papers:1983. 6. 28~30:Milan, Italy. -New York, USA: IEEE, 1983. -169~172

证明了有任意数目的输入向量的全自检(TSC)比较器(即等同校验器)在设计上的理论限度。介绍了一种新的、通用的TSC比较器设计。被证明是全自检的这种设计使用了一个新的、称作置换器的TSC部件, 该部件过去被描述为TSC二输入比较器和TSC二轨码校验器。除了这个通用的设计, 给出了几个说明非时钟(non-clocked)电路和单元输入向量等特殊情况的例子。文中还介绍了新比较器的应用。参9

020116 n 中取 m 码的全自检校验器的三级实现方法[会, 英]/Nanya, T. ... // FTCS 13th Annual International Symposium, Fault-Tolerant Computing, Digest of Papers:1983. 6. 28~30:Milan, Italy. -New York, USA:IEEE, 1983. -173~176

介绍了得到任何 $n \geq 4$ 的 n 中取 m 码全自检校验器的三级构造的系统化过程。 $n < 2m$ 时, 该过程分别给出“与-与-或”和“或-或-与”三级构造; 而 $n = 2m$ 时, 则导致“与-或”(或是二元的“或-与”)二级构造, 这相当于以前由Anderson和Metze(1973年)提出的设计。参7

020117 作为故障检测手段的巡回仿真[会, 英]/

Breuer, M. A. ... // FTCS 13th Annual International Symposium, Fault-Tolerant Computing, Digest of Papers:1983. 6. 28~30:Milan, Italy. -New York, USA:IEEE, 1983. -206~215

作者介绍了一种新的、检测和定位数字系统中故障的内部测试概念。该技术称作巡回仿真, 它由系统中操作部件的脱机抽点打印类型仿真构成。作者创立了概率的和排队的模型, 以分析用巡回仿真所测试的系统中预期的错误等待时间。研究了各种可控与不可控系统参数对系统性能的影响。最后该技术被用于组合逻辑模块组成的系统, 并提供了数字结果。参15

020118 使用线性码的逻辑测试码模式的生成[会, 英]/Tang, D. T. ... // FTCS 13th Annual International Symposium, Fault-Tolerant Computing, Digest of Papers:1983. 6. 28~30:Milan, Italy. -New York, USA:IEEE, 1983. -222~226

提出了集成电路逻辑测试的新方法。表明, 可把线性码空间的零空间中的向量用作测试码向量; 通过选择适当的码, 这个测试码向量集可对(相应于一个输出端的)每个输入子集提供完备的测试码模式, 直到确定的规模 K 。此方案采用LSSD(或扫描通路)环境下的LFSR序列很容易实现。结果高达实际输入子集规模 K 的完备复盖(exhaustive coverage)可算作静态模式或是伪随机模式测试技术的一部分。如果为初始模式提供一定的ROM空间, 就可使自测试在芯片上实现。参7

020119 利用输出数据修改提高内部测试效率[会, 英]/Agarwal, V. K. // ETCS 13th Annual International Symposium, Fault-Tolerant Computing, Digest of Papers:1983. 6. 28~30:Milan, Italy. -New York, USA:IEEE, 1983. -227~234

具有完备测试码生成和输出数据压缩成很小的符号差等特点的内部测试概念, 正在成为对测试LSI/VLSI芯片这一复杂问题的日益吸引人们的解决方法。各种概率统计的分析表明, 在假定各输出数据模式有着相同的出现概率的前提下, 因压缩处理而遗漏故障的机会是很小的。然而, 这种过于简单化的假定得到的证实太少。因此人们面临着进退两难的困境:一方面, 我们必须压缩输出数据, 以使内部测试能成为现实; 另一方面, 压缩必须不丢失很多有用的故障复盖信息。文中引入了一个新的、在压缩之前修改输出数据的概念。修改步骤花费不多, 但它可大大减少输出数据模式的数目, 该模式有着与无故障模式相同的压缩形式。作为例子, 展示了一个8位乘8位乘法器的输出位数1, 仅以 $O(\log n)$ 个硬件就得到了 $O(2^{-60359})$ 的简化, 其中 $n=2^{16}$ 是加到乘法器上的测试码向量的总

数。参14

020120 关于 VLSI 的 SOP (stuck-open) 故障的测试 [会, 英]/Chandramouli, R. // FTCS 13th Annual International Symposium, Fault-Tolerant Computing, Digest of Paper: 1983. 6. 28~30: Milan, Italy. -New York, USA: IEEE, 1983. -258~265

已发现, 固定型故障模型不能完满地解释某些物理故障。这些故障中有一些与特殊的工艺 (例如 NMOS、CMOS 等) 有关。最近发现了 CMOS 器件中的一种故障, 它将 CMOS 逻辑门的组合特性变为了时序特性。这种故障被称为 stuck-open (SOP) 故障。由于 CMOS 是 LSI/VLSI 电路中正在形成的工艺, 所以测试这些器件的 SOP 故障就成为非常紧迫的了。此论文分析了组合电路中单 SOP 故障的影响, 开发了检测它们的过程。这个测试过程是在“通路敏化”的概念上形成的。它指出, 对于内部的无扇出电路, 施加于一个特殊序列的为固定故障而生成的测试过程, 将检测出所有 SOP 故障。参20

020121 基于数据补偿策略的容错除法器的逻辑设计 [会, 英]/Furuya, K. ... // FTCS 13th Annual International Symposium, Fault-Tolerant Computing, Digest of Papers: 1983. 6. 28~30: Milan, Italy. -New York, USA: IEEE, 1983. -306~313

作者给出了几个二进制除法器的设计, 该除法器通过用补偿数据重试电路运行, 可容许任何门上的固定型故障。所用的实验性电路是带有和不带有先行进位或保留进位逻辑的、不恢复的以及恢复的二进制除法器, 它们以细胞阵列的形式构成。作者改进了这些除法器, 以满足检测误差及用补偿数据掩蔽故障的条件。文章指出, 不恢复型的除法器校验位发生器比恢复型的简单。参13

020122 使用多重并行标记图分析仪测试 PLA [会, 英]/Hasan, S. Z. ... // FTCS 13th Annual International Symposium, Fault-Tolerant Computing, Digest of Papers: 1983. 6. 28~30: Milan, Italy. -New York, USA: IEEE, 1983. -422~425

设计了用标记图分析仪测试可编程逻辑阵列 (PLA) 的完备测试方案。用固定型故障的假定分析了所提方案的故障检测能力。与其他提出的 PLA 测试方案相比, 它在硬件面积成本方面的节省是显著的。一例情况估计表明, 追加的硬件成本仅是原来 PLA 面积成本的 23%。参17

020123 低开销高故障复盖率的可测试 PLA 的设计 [会, 英]/Khakbaz, J. // FTCS 13th Annual International Symposium, Fault-Tolerant Computing, Digest of Papers: 1983. 6. 28~30: Milan, Italy

. -New York, USA: IEEE, 1983. -426~429

介绍了可测试的 PLA 的一种新设计。这一设计有下列特性: 它几乎不需要额外的硬件; 它对正常工作下的 PLA 速度的影响, 即使有也很小; 它有很高的故障复盖率 (所有单次的、重复的固定型故障, 交叉点故障及它们的所有组合都可被检测); 它可用于设计可测试的折叠式 (folded) PLA。然而, 这一设计对于内部测试是不适宜的。

020124 PART: 依据划分算法的可编程阵列测试 [会, 英]/Somenzi, F. ... // FTCS 13th Annual International Symposium, Fault-Tolerant Computing, Digest of Papers: 1983. 6. 28~30: Milan, Italy. -New York, USA: IEEE, 1983. -430~433

PART 是为可编程逻辑阵列 (PLA) 中所有可检测的交叉点缺陷产生非常紧凑的测试码集合的一种程序, 它只需要有限的运行时间和存贮容量。这是通过有效的划分算法并同时采用强有力的试探法实现的。可用一种简单的过程保证测试的最小性。讨论了这些问题, 给出了实验结果, 对有竞争能力的各种对策进行了比较。参9

020125 容易诊断的和自测试的可编微程序的数字系统 [会, 英]/Altan, O. D. ... // 24th Midwest Symposium on Circuits and Systems: 1981. 6. 29~30: Albuquerque, NM, USA. -North Hollywood, CA, USA: Western Periodicals, 1981. -173~177

描述了设计方法和把诊断装置引入单处理器的可编微程序的计算机中的方法。研究了确定这种系统的核心诊断硬件的技术, 这些核心硬件用于自诊断的引导策略中, 该系统被划分为几个硬件资源, 每个资源受各自的系统微操作的控制。测试在微操作一级上执行, 硬件故障通过对误动作微操作的辨认而被检测与确定。系统的每个微操作都用一个叫做诊断图的图形的结点来表示, 微操作之间的测试关系用该图形的定向分支来表示。这个图形模型用来确定最小的核心硬件和诊断系统时的测试策略。参15

(以上唐 芒译 黎 明校)

计算机辅助逻辑设计

020126 逻辑分析器的新的可能性 [西班牙] // Regul. & Mando Autom.: 1983, 17 (127). -47~48

020127 选择最合乎要求的逻辑分析器 [英] / Steyer, R. // EDN. -1983, 28 (11). -156~165

最新型的逻辑分析器具有比其前辈更多的性能。然而, 如果应用中并不需要这么多性能, 那么就白白多花钱。本文参考许多现有的分析器类型提出了一些选择准则, 并简要讨论了购置或租用问题。