

计算机硬件文摘

JISUANJI YINGJIAN WENZHAI

第十四辑



5.8723
54

科学技术文献出版社重庆分社

计算机文摘征订启事

本文摘所属《计算机数学与软件文摘》、《计算机硬件文摘》与《计算机应用文摘》三个分册1987年仍为月刊，每期分别为16万、16万与15万字。为方便读者订阅，明年改为邮局发行，代号分别为78-85、78-86与78-87，请读者与单位于今年11月份去当地邮局预订

计算机文摘编辑部

计算机硬件文摘 第十四辑

中国科学技术情报研究所重庆分所	编 辑
科学技术文献出版社重庆分社	出 版
重庆市市中区胜利路132号	
新华书店重庆发行所	发 行
科学技术文献出版社重庆分社印刷厂	印 刷

开本：787×1092毫米1/16	印张：4 字数：14万
1986年10月第一版	1986年10月第一次印刷
科技新书目：129—259	印数：1690

书号：15176·692

定价：1.55元

目 录

0100	电路与器件.....	(4)
0110	逻辑元件.....	(4)
0110C	半导体逻辑元件.....	(4)
0110E	其它逻辑元件.....	(4)
0120	逻辑与开关电路.....	(4)
0130	微处理机芯片.....	(7)
0140	固 件.....	(8)
0150	微字计算机的其它电路.....	(8)
0160	模拟电路.....	(9)
0180	辑/微与数/辑转换器.....	(9)
0200	逻辑设计与数字技术.....	(10)
0210	逻辑设计方法.....	(10)
0210B	计算机辅助逻辑设计.....	(13)
0220	计算机体系结构.....	(14)
0230	数字运算方法.....	(15)
0240	数字滤波器.....	(16)
0250	微计算机技术.....	(18)
0260	数字信号处理.....	(20)
0280	其它数字技术.....	(21)
0300	计算机存储设备与技术.....	(22)
0310	存储系统设计.....	(22)
0320	数字存储器.....	(22)
0320C	动磁介质存储器.....	(23)
0320E	静磁介质存储器.....	(24)
0320G	半导体存储器.....	(24)
0320Z	其它数字存储器.....	(26)
0330	模拟存储器.....	(—)
0380	其它.....	(—)
0400	模拟与数字计算机及系统.....	(26)
0420	大型计算机与小型计算机.....	(26)
0430	微型计算机.....	(27)

0440	多处理机系统与统术.....	(29)
0450	模拟与混合计算机及系统.....	(32)
0460	模拟与混合计算技术.....	(—)
0470	性能评价与测试.....	(32)
0490	其它	(33)
0500	计算机外围设备.....	(33)
0520	数据采集设备与技术.....	(34)
0530	模式识别设备.....	(36)
0540	终端与图形显示器.....	(37)
0550	打印机与终能机.....	(38)
0560	统据准备设备.....	(—)
0580	计算机繙数胶片输出设备.....	(38)
0585	语音识别与合成.....	(38)
0590	其它	(39)
0600	数据通信设备与技术.....	(39)
0610	计算机接口.....	(39)
0610N	网络接口	(39)
0610P	外设备口.....	(40)
0610S	系统总线.....	(42)
0620	计算机网络与数术.....	(47)
0620L	局部网备.....	(50)
0620W	其它网络	(—)
0630	能网设备	(58)
0690	其它	(59)

主 题 指 南

本主题指南是将本刊分类时涉及到的主题词按汉语拼音字母的顺序编排的一个索引, 其中的数字为分类号。由分类号便可自目录中找出与该主题有关文献所在的页码。

A		多数逻辑	0120
按内容访问存储器	参见“相联存储器”	多值逻辑	0120
B		F	
半导体存储设备	0320G	分时系统	0400
半导体逻辑元件	0110C	G	
便携式计算机	0430	个人计算机	0430
并行处理	0440	光笔	0540
并行存取存储器	0320	光存储设备	0320Z
C		光符识别	0530
超导器件	01, 0320Z	光计算	0280
除法电路	0120	广域网络	0620W
触发器	0120	规程	参见“协议”
穿孔带设备	0560	H	
穿孔卡设备	0560	绘图机	0540, 0550
磁存储系统	0320	混合计算机	0450
磁带存储器	0320C	混合计算机程序编制	参见“混合计算机程序设计”
磁逻辑	0120	混合计算机程序设计	0460
磁膜存储器	0320E	混合模拟	0460
磁扭线	0320E	“或非”电路	0120
磁盘存储器	0320C	J	
磁泡存储器	0320	集成电路	0110C, 0120
磁心存储器	0320E	积分电路	0160
存储器设计	0310	计数电路	0120
存储设备	0300	计算机测试	0470
D		计算机电路	0100
打印机	0550	计算机电源	0150
代码转换器	0120	计算机辅助逻辑设计	0210B
低温电存储器	0320Z	计算机接口	0610
电流开关逻辑电路	参见“电流型逻辑电路”	计算机结构	0220
电流型逻辑电路	0110, 0120	计算机评价	0470
电源	0150	计算机缩微胶片输出设备	0580
电子逻辑	0110, 0120	计算机体系结构	0220
定标电路	0160	计算机调试	0470
镀线存储器	0320E	计算机图形设备	0540
多重处理系统	0440	计算机外围设备	0500
多处访问系统	0400	计算机网络	0620
多道处理系统	参见“多重处理系统”	计算机选择	0470
多孔磁心	0320E	加法电路	0120, 0160
多路复用器	参见“多路转换器”	加法器	0120
多路开关选择器	0630	家用计算机	0430
多路转换器	0630	键盘	0500

交互终端	0540	数字计算机	0420
晶体管晶体管逻辑电路	0110C, 0120	数字滤波器	0240
进位逻辑	0230	数字通信系统	0600
局部网络	0620L	数字系统	0400, 0420, 0600
K		数字信号	0260
开关电路	0120	数字信号处理	0260
快速响应计算机系统	0400	数字运算	0230
L		数组处理机	0440
连网设备	0630	隧道二极管存储设备	0320G
逻辑电路	0120	随机存取存储器	0320G
逻辑门	0120	T	
逻辑器件	0100	条形码扫描器	0590
逻辑设计	0210	调制解调器	0630
逻辑元件	0110	通信	0600
M		图形设备	0540
模拟	0460	W	
模拟存储器	0330	外围设备接口	0610P
模拟计算机	0450	网络分析器	0630
模拟计算机程序编制	参见“模拟计算机程序设计”	网络接口	0610N
模拟计算机程序设计	0460	微程序设计	0220
模拟计算机电路	0160	微处理机芯片	0130
模式识别	0530	微处理机组件	0130
模/数转换	0180	微分电路	0160
P		微分分析机	0160
判定表	0210	微计算机芯片	0130
频谱分析	0450	微计算机组件	0130
Q		微型计算机	0250
全息照相术	0300	温彻斯特磁盘	0320C
R		X	
冗余	0210, 0400	细胞阵列	0120
S		系统总线	0610S
三态逻辑电路	0110, 0120	显示系统	0540
乘法电路	0120	相联存储器	0320
识别设备	0530	向量处理机	0440
实时计算机系统	0420	相似模拟	0460
时序电路	0120	小型计算机	0420, 0430
数据采集	0520	协议	0620
数据传输	0600	性能评价	0470
数据通信	0600	Y	
数据准备设备	0560	移位寄存器	0120
数论	0230	硬磁盘	0320C
数/模转换	0180	“与非”电路	0120
数字存储器	0320	语音合成	0585
数字电路	0100	语音识别	0585
数字集成电路	0100	阈值逻辑电路	0110, 0120
数字技术	0200	远程通信	0600

Z

真值表

0200

阵列处理机

0440

直接模拟

0450

只读存储器

0320G

主计算机

0420

字符识别

0530

自组织存储器

0320

组合电路

0120

14001 计算科学中的向量与并行处理机第二届国际会议会议录: 1984.8.28~31; Oxford, England [会, 英]/AERE.-Netherlands; Comput. Phys. Commun., 1985.7.-vol.37, no. 1~3

内容涉及以下专题: 向量处理机; 硬件与语言; 数值方法与算法; 并行计算机的应用; 大型机; 巨型机; 通用机; 计算机体系结构; 子程序。各篇论文的摘要可在本期或其他各期的有关分类号下找到。

电 路 与 器 件

逻辑元件

半导体逻辑元件

14002 用于砷化镓Schottky二极管FET逻辑(SDFL)电路具有有源负载推挽输出的小功率逻辑门[会, 英]/Vu, T. ... // Proceedings of the IEEE 1985 Custom Integrated Circuits Conference (Cat. No. 85CH2157-6); 1985. 5.20~23; Portland, OR, USA.-New York, USA: IEEE, 1985.-429~433

介绍了用于扇出肖特基二极管FET逻辑(SDFL)电路的一种具有有源负载推挽输出的小功率逻辑门。2K单元SDFL门阵列的测试结果显示使用耗尽型自调整MESFET时门功率为167 μ w, 扇出为8路。

其它逻辑元件

14003 分子计算机的设计原理[英]/Conrad, M. // Commun. ACM.-1985, 28(5).-464~480

如果蛋白酶所具有的独特的信息处理能力能适用于计算机, 那么可以推断, 对于模式识别与过程控制等应用更有效的计算机系统的实现原则上是可能的。所作的设想是碳化学可以有助于构造更小且更快的器件。注意力主要集中在有机开关器件与导电聚合物的可能性研究上, 其次放在控制与可靠性问题上。与数字计算机作了比较。参48

14004 可用作光计算机逻辑门的非换性光路元件: 首次实现的速字光路[英]/Smith, S. D. ... // Opt. Eng.-1985, 24(4).-569~574

基于本征双稳态器件的全光学数字线路已首次实现。介绍并讨论了关于InSb标准具与含有ZnSe的非线性干涉滤波器的实验结果。实验结果表明一种采用这类器件的数字光处理器似乎是可行的。参42

逻辑与开关电路

(含触设备与移位寄存器)

14005 可编程逻辑器件进入了新的发现范围[英]/Collett, R. // Digital Des.-1985, 15(4).-42~54

到80年代末特定应用集成电路(ASIC)将成为印

刷电路板设计的主要构件。现成的预构芯片将不再能适应明天的计算机系统在性能、功能和紧凑的空间布局方面的要求。到目前为止, 门阵列在ASIC界受到人们极大的重视, 而可编程逻辑器件(PLD)则居于次要的位置。但是新的技术和结构正在为PLD设置与门阵列竞争的舞台, 情况正在迅速改观。

14006 可路程逻辑器件的门等效性[英]/Vithayathil, J. // Digital Des.-1985, 15(4).-86~92

系统设计师常常提起的一个问题是可编程逻辑器件(PLD)的门密度或门等效性的定义问题。这个问题之所以重要是因为一些其他的半定制器件(尤其是门阵列)的密度是根据等效的基本门(basic gate)来测定的。所采用的基本门在各个门阵列之间并不一样, 最通用的是2输入“与非”门。门阵列的门密度测定较简单, 因为该硅元件由实际的逻辑门组成, 它们可被以任意方式互连执行逻辑功能。PLD的熔丝连接阵列硅元件的情况与此不同, 它不包含有基本门, 这给门密度的测量带来了困难。

14007 带功率逻辑级的13位串/并行转换器[德]/EEE.-1985, (16).-43~47

描述了Valvo TEA1017型集成电路, 它具有串行输入和13个输出, 其中每个都可提供高达80mA。最大钟频为50kHz。文中给出了框图, 输入/输出信号定时图, 最大/最小电压与电流表, 最后介绍了一个作为步进电机激励的应用实例。

14008 用高速CMOS代替LSTTL[英]/Nadolski, J. // Electron. Eng.-1985, 57(705).-43~50

讨论了以CMOS引脚对引脚地代替LSTTL的一些优点, 特别注意到了端接问题。至今的高速逻辑设计都局限于使用功耗较大的双极工艺。HC/HCT CMOS系列具有LSTTL速度与其他许多性能上的优点, 文中对它们作了重点讨论。HCT CMOS IC具有TTL兼容输入电压电平, 并打算用作同一类型的双极LS-TTL逻辑IC的CMOS代用品。HC CMOS IC具有CMOS电压电平输入兼容性并可在所有CMOS系统设计中提供抗噪声能力。

14009 通用逻辑门传输门阵列[英]/Zhang, C. // Electron. Eng.-1985, 57(706).-61~67

描述了一种采用CMOS工艺的新式门阵列。其基

本单元是一种全功能单元,可由它出发实现所有的组合与时序网络。参12

14010 半定制器件的进程可移植性[英]/Hunter J. // Electron. Prod. Des.-1985, 6(7).-49~50

“Chipsmith”这种网格逻辑系统(Lattice Logic system)采用了结构化设计的概念,并将它应用于半定制实现方法。简单地讲,给Chipsmith的输入是通过网格逻辑硬件描述语言Model实现的。Model可使逻辑设计的设计结构得到全面的表达。做完这一步工作该设计的描述就被编译并同时送往该系统的开关级模拟器Exert及其自动物理设计子系统。这为进程文件所支持(此处是进程可移植性的关键),进程文件由物理设计子系统和模拟器读取。

14011 静态感应晶体管逻辑非电路(SITL inverter)的动态特性[英]/Lewandowski, D. ... // Electron Technol.-1981, 14(3/4).-19~26

对SITL电路和一种新的I²L结构(T²LBL)作了分析。给出了设计细节和制造结构上的测量数据。该结构的实际参数与所提出的物理模型吻合得很好。介绍了I²L结构的一种简单制造方法。参5

14012 采用门阵列的设备之成本分析[德]/Sabo, D. // Feinwerktech. & Messtech.-1985, 93(4).-199~201

每个用户或制造厂家都必须作门阵列的成本分析。作者提出,由于门阵列对整个系统的成本与研制的影响,在对该组件作直接成本分析以外还必须作深入地考虑。除了该组件的成本,用户必须详细分析设计与制造成本以得到正确的比较。

14013 栅地-阴地电压开关逻辑[英]/IBM Tech. Disclosure Bull.-1985, 27(10B).-6007

描述了一种N沟道栅地-阴地树形网络。它能提供以n个输入1个输出(原/补)实现的任何可以想见的逻辑功能。

14014 单端开启式CMOS逻辑[英]/IBM Tech. Disclosure Bull.-1985, 27(10B).-6012~6013

描述了开启式CMOS逻辑的一种设计。它需要将输出节点的充电速度相对该电路的功耗进行折衷。

14015 确定栅地-阴地电压开关逻辑[英]/IBM Tech. Disclosure Bull.-1985, 27(10B).-6015

描述了一种N沟道栅地-阴地树形网络,它能提供以n个输入与1个输出实现的任何可以想见的逻辑功能。

14016 开启式栅地-阴地电压开关逻辑电路[英]/IBM Tech. Disclosure Bull.-1985, 27(10B).-6017

该电路通过用P沟道器件取代泄漏晶体管避免了

直流电源的缺点,这些P沟道器件是串连的并由一对(原码与补码)输入逻辑信号控制。

14017 三端口锁存器[英]/IBM Tech. Disclosure Bull.-1985, 27(10B).-6019~6021

三端口锁存器是为用作集成在定时逻辑中的快速三端口存储器内的存储单元而特别设计的。

14018 定时或伪定时栅地-阴地电压开关逻辑电路的接收端[英]/IBM Tech. Disclosure Bull.-1985, 27(10B).-6023~6024

介绍了以CMOS工艺实现的定时或伪定时栅地-阴地电压开关(CVS)逻辑电路芯片的接收端。

14019 具有预充缓冲输出的移位寄存器式锁存电路[英]/IBM Tech. Disclosure Bull.-1985, 27(10B).-6027~6029

描述了以CMOS工艺实现的具有预充缓冲输出的移位寄存器式锁存电路,它是为定时或伪定时栅地-阴地电压开关(CVS)逻辑而设计的。

14020 定制的双极差动极地-阴地移位器[英]/IBM Tech. Disclosure Bull.-1985, 27(10B).-6137~6139

介绍了一种单端栅地-阴地移位器,其接线方案作了改进以节省硅片面积。

14021 适用于启/停ASCII与同步SDLC的多路转换器[英]/IBM Tech. Disclosure Bull.-1985, 27(10B).-6182~6183

为有效地在以同步方式运行的同一串行调制解调器数据链路上多路转接两种不同类型的通信(即SD-LC(同步数据链路控制)或HDLC(高级数据链路控制)和启-停ASCII)提供了一种方法及设备。

14022 信号等效门[英]/IBM Tech. Disclosure Bull.-1985, 27(10B).-6314~6315

描述了一种根据等效电路卡诺图来分析“与”/“或”门等效电路的方法,对采用NMOS增强技术的概念电路作了讨论,以规定相对于“与”/“或”门电路中的输入个数的晶体管最少个数。

14023 串行与并行数据的串行(in-line serial)奇偶校验器[英]/IBM Tech. Disclosure Bull.-1985, 27(10B).-6316~6317

在测试前对触发器进行的置位或复位分别考虑了奇数奇偶校验或偶数奇偶校验。

14024 预编程LSSD锁存电路[英]/IBM Tech. Disclosure Bull.-1985, 28(1).-234~236

用一潜象(Latent image)存储单元构成了一个移位寄存器式锁存电路,其二进制存储状态可在给电路最初接上电源时置于预定状态。

14025 MTL阵列中位线的快速路原[英]/IBM

Tech. Disclosure Bull., 1985, 28(1), 269~270

文中提出了Klein等人(见同刊1983年26卷第7A期3271~3273页)描述过的快速还原电路通路,这种类型的通路能在用于实现的电路部件数减少的条件下承受较快的还原操作。参1

14026 用PLA组件实现时序电路[英]/Acha, J. I. ... // IEEE Proc. E., 1985, 132(5), 246~250

开发了一种基于Liu方法的算法,这种算法适用于以PLA组件与D型触发器实现同步时序机,还适用于以PLA实现异步时序机和速度无关电路。该算法简单且系统化,很容易用计算机程序实现。参12

14027 对逻辑电路信号可靠性的评价[英]/Koh Kyung-Shik // IEEE Trans. Reliab., 1985, R-34(3), 233~235

介绍了进行数字逻辑电路信号可靠性评价的一种不同方法。该方法来自对电路的每个输出的功能描述。为使该电路实现的功能中包含故障效果,以三个二进制变量确定了电路中每条线路的状态。该方法使人们从另一角度获得了对数字系统可靠性的深入了解。该方法的困难在于大型电路概率表达的复杂性。参4

14028 采用CMOS晶体管的再生逻辑电路[英]/Dokic, B. L. ... // Int. J. Electron., 1985, 58(6), 907~920

作者提出的具有滞后作用形式的传输特性的逻辑电路分为两级。其输入级为标准的CMOS逻辑电路(反相器、“与非”或“或非”);输出级为一简单触发器。触发器由两个反相器和用作电阻的一对CMOS晶体管组成。正反馈环路由这些晶体管接通。详细分析了一些最重要的静态参数与正常操作条件。参3

14029 适用于可编程逻辑电路的工艺[会,英]/Elliott, D. // Southcon/85 and Mini/Micro Southeast Conference Record, 1985, 3, 5~7; Atlanta, GA, USA, Los Angeles, CA, USA; Electron. Conventions Manage., 1985, -1/4/1~3

自从70年代中期推出2115 1K静态RAM以来, MOS工艺技术使双极型工艺的市场区域越来越窄。但是这种对双极工艺的“侵入”直至最近还只局限在静态RAM市场范围内。双极工艺仍旧统治着高速VLSI逻辑产品和如PROM、FPLA与PAL等可编程逻辑器件。1984年Cypress公司的CMOS 16K PROM的推出打破了这个高速障碍。继而1985年又推出了可编程阵列逻辑(PAL)器件,其工作速度与最高速的双极器件相当,而功耗只为其一半。继这些新器件之后将来还会有更迅速的发展,这很明显会使CMOS在所有未来的可编程逻辑产品中处于统治地位。

14030 德克萨斯仪器公司(TI)的IMPACT可编程逻辑[会,英]/Bailey, R. L. // Southcon/85 and Mini/Micro Southeast Conference Record, 1985, 3, 5~7; Atlanta, GA, USA, Los Angeles, CA, USA; Electron. Conventions Manage., 1985, -1/5/1~4

IMPACT使TI在双极PAL器件发展中处于领先地位。TI现在以TIBPAL 16R8-15, TIBPAL 16R6-15, TIBPAL 16R4-15和TIPBAL 16L8-15推出了最快速的20脚PAL器件。型号中的“-15”表示最差情况下的传播延迟为15纳秒,而标准的PAL 16R8A型为25纳秒。这一突破的重要性在于PAL器件可首次应用于高性能数字系统的对速度有严格要求的通路上。以前的PAL器件只能用在外部子系统和前沿系统(leading-edge system)的对速度要求不严格的地方。参2

14031 可编程逻辑的最新进展[会,英]/Coli, V. J. ... // Southcon/85 and Mini/Micro Southeast Conference Record, 1985, 3, 5~7; Atlanta, GA, USA, Los Angeles, CA, USA; Electron. Conventions Manage., 1985, -4/1/1~15

可编程逻辑器件已从简单的组合阵列到发展成具有能与门阵列相匹敌的特性与密度的器件。本文先对第二代PAL产品作了描述,其中包括Mega PAL与Registered-Asynchronous PAL。然后介绍了称为PLE的可编程逻辑中的一种新概念。接着对可编程逻辑的设计方法作了讨论。最后文章对目前和下一代的软件工具(PALASM2与PLEASM)以及采用这些软件工具的若干应用实例作了描述。参7

14032 带有现场可编程逻辑定序器的状态机之设计[会,英]/Wong, D. // Southcon/85 and Mini/Micro Southeast Conference Record, 1985, 3, 5~7; Atlanta, GA, USA, Los Angeles, CA, USA; Electron. Conventions Manage., 1985, -4/4/1~28

同步有限状态机一般地讲就是一种时序电路,它能与系统时钟同步地从一个状态转变到预定的下一个状态。系统中的状态数是有限的,因此从本质上说系统的运行是呈周斯性的。描述了Signetics FPLS的一般结构。

14033 A+PLUS——一种台式微型站(desktop foundry)的开发系统[会,英]/Neroth, C. C. // Southcon/85 and Mini/Micro Southeast Conference Record, 1985, 3, 5~7; Atlanta, GA, USA, Los Angeles, CA, USA; Electron. Conventions Manage., 1985, -4/5/1~6

描述了开发系统A+PLUS,它可使用户采用新一代的可擦可编程逻辑器件(EPLD)进行大型逻辑

设计。快速的周转和运行于个人计算机上的强大的A+PLUS软件使EPLD与开发系统组合成为逻辑设计者的一个虚拟的个人台式硅铸型站(virtual personal desktop silicon foundry)。文章还提供了新一代EPLD的背景资料。

14034 ECL门阵列——一种高速器件〔会,英〕/Allgeyer, R. // Southcon/85 and Mini/Micro Southeast Conference Record, 1985, 3, 5~7; Atlanta, GA, USA.-Los Angeles, CA, USA; Electron. Conventions Manage., 1985.-18/2/1~5

在日前和可预见的未来的一段时间内,双极型发射极耦合逻辑(ECL)器件的开关速度在市售的硅器件中是最高的。作者以数字逻辑设计者的观点评述了一些用以最充分地利用ECL半定制技术的方法。文中采用Fairchild FGE系列门阵列作为说明的示例。这些产品早已用于一些其最差时钟要求为565MHz以上的应用中。

14035 表面安装可编程逻辑可与门阵列的系统成本板竞争〔英〕/DeMonico, C. A. // Southcon/85 and Mini/Micro Southeast Conference Record, 1985, 3, 5~7; Atlanta, GA, USA.-Los Angeles, CA, USA; Electron. Conventions Manage., 1985.-21/2/1~4

随着半定制逻辑器件中新工艺的采用在系统尺寸与成本方面都有了显著下降。半定制工艺的主要优点是将分立逻辑器件综合了起来,通过减小每个系统的板件、每个板件的层数、框架尺寸和所需的连接器与电缆数,系统成本降低了75%左右。作者考虑到这一因素,指出采用表面安装插件可使系统尺寸大为缩小。参1

14036 残数运算的收缩阵列实现与二进制范例〔会,英〕/Yun, D. Y. Y. ... // Proceedings of 7th Symposium on Computer Arithmetic (Cat. No. 85CH2146-9); 1985, 6, 4~6; Urbana, IL, USA.-Silver Spring, MD, USA; IEEE Comput. Soc. Press, 1985.-189~193

残数或模数运算问题对于符号与代数计算、编码理论与应用以及无错算术计算是很基本的。作者描述了一些新颖的算法,由它们可引出适用于残数域的算术运算的有效硬件。主要成就之一是提供了改换模数的灵活性。为实现最有代表性的运算之一——模数乘法,采用了收缩阵列技术。证明了一个线性收缩阵列可用常数个单元以时间 $O(N)$ 计算 N 个模数积。参8

13037 速用阵列的研究〔会,英〕/Yetung Paul Chiang // Conference Record Eighteenth Asilomar Conference on Circuits, Systems and Computers

(Cat. No. 85CH2200-4); 1984, 11, 5~7; Pacific Grove, CA, USA.-Washington, DC, USA; IEEE Comput. Soc. Press, 1985.-272~276

VLSI收缩阵列的设计中对阵列的数据通路、形状和尺寸往往都作了修改以适应特定应用的要求。人们建议设计一种可按不同的任务重新配置的通用阵列,而不再在一个通用系统中包罗许许多多的专用阵列。主要元件是两个相同的两孔连接的方形阵列。讨论了通用阵列设计中所碰到的问题和设计策略与折衷。给出了一个在通用阵列上执行一个三角阵列算法的例子。参7

微处理机芯片 (含微计算机芯片)

14038 5B180单板计算机的制造 I. 硬件〔英〕/Ciarcia, S. // BYTE.-1985, 10(9).-86~101

日立公司最近研制了一种Z80码兼容的CMOS处理机HD64180,可直接寻址512K字节。Echelon Systems为该处理机开发了一个混合了CP/M、MS-DOS与UNIX的操作系统Z-System。作者用HD64180与Z-System推出了一种在16位领域又坚持采用8位计算的计算机,其性能超出IBM PC 20~100%。

14039 集成微处理机与外部系统的核心——LSI标准单元〔英〕/Smith, D. // EDN.-1985, 30(19).-75~84

基于2901的位片处理机的设计,基于6502的控制器的设计和用于采用8086的系统的外部电路的设计都可以集成在一个芯片上,办法就是采用具有LSI复杂性的标准单元。采用这些单元可以减少元件数与功耗,改善可靠性,或许还能改善这些设计的性能。对CAE设计工具和几种亚3 μ m CMOS技术的信心的增强使LSI标准单元有了活力。标准单元销售厂商现正在提供一些通用的微处理机及其外设芯片和高性能的位片处理系统。参2

14040 具有最大处理微力的单芯片浮点处理机〔德〕/Quong, D. ... // EEE.-1985, (9).-29~35

作者描述了Am29325单芯片浮点处理机的设计与操作,该产品由AMD公司采用IMOX-S双极工艺制造。由于该机采用的体系结构,该机可用于所期望的任何规模的系统,其中包括多用途计算机、阵列处理机、图形系统和一些需要快速浮点计算的其他系统。该处理机的三种可编程I/O操作方式可与大量的32位与16位总线结构相匹配。由于采用了缠回(wrap-back)数据通路,浮点格式中的乘法/累加过程被简化成一个非复杂过程。用一方框图说明了作为一个小

型高性能浮点系统的核心的Am29325的使用情况。该芯片包含有数据通路寄存器,所以只需要不多的附加元件。

14041 适合高性能应用的16位微型控制器[英]/Gomes, M. // Electron. Eng.-1985, 57(705).-37~39

描述了传统的与新颖的技术如何结合起来为MCS-96微型控制器系列提供了先进的性能。文章着重讨论了可使其在实时控制器应用中的性能得以最大发挥的一些技术。

14042 微处理器发展的十年[英]/Donnelly, B. // Electron. Ind.-1985, 11(9).-51~55

微处理器给予工程设计的影响比工业史中任何其他的发展都大,这是毋庸置疑的。对各种类型的微处理器的需求似乎是永无止境的,它们的应用范围越来越广泛。与此同时,微处理器本身也得到了发展,其处理能力已相当于以前大规模主机的水平。

14043 微型控制器在能力与灵活性方面的发展[英]/Nicholson, B. // Electron. Ind.-1985, 11(9).-57~59

评述了单芯片微型计算机的发展。十年前,象4位TMS1000这样的设备才开始问世,而现在,人们已可以作众多的选择,其中包括各种类型的16位CPU,各种级别的ROM, CMOS工艺和具有扩充的I/O量的更好的组件。除了这些以外,在现场编程能力和开发系统方面也取得了巨大的进步,使过去较为困难的开发过程变得容易了。

14044 信号处理:向数字化的巨大转折[英]/Cole, B. C. // Electronics.-1985, 58(34).-42~46

数字信号处理正在成为芯片设计中最热门的领域之一。在CMOS超大规模集成方面的一些重要进展的带动下,一些单片可编程DSP电路的制造厂正在抛弃传统的“中央处理机”体系结构而采用具有流水线和高度并行性的更深奥的非冯·诺依曼设计。为数字信号处理设计的一些功能强大的多芯片电路系列正在市场上出现,这些产品选用了各种定制和半定制电路,它们促进了系统级上的数字信号处理的实现。这些可供选择的新电路还导致了功能强大的其处理能力可与前几代大型计算机相匹敌的单板DSP子系统的出现。

14045 硅软件,用于单片微计算机的FORTH[德]/Streicher, C. ... // Elektron. Ind.-1985, 16(3).-61~62

Rockwell公司推出了基于6502的芯片R65FR1。它与2K字节的RAM与8K字节的ROM芯片相连就构成了一个最小的系统,其目标编译程序存在ROM内。输入-输出通过七个8位端口和一个RS232串行端口进

行。参5

14046 16位微型控制器使完全的系统综合成为可能[德]/Passi, M. S. // Elektron. Ind.-1985, 16(3).-78, 82, 84

Intel公司推出了基于8096单芯片微型机的MCS-96系列16位微型控制器。它包括一个A/D转换器、五个I/O端口、脉冲与PWM输出、232字节RAM与8K字节ROM。其存储器可扩充到64K,采用的钟频为12MHz。参2

固 件

14047 可调整实时任务的硅软件[英]/Bernhard, R. // Syst. & Software.-1985, 4(8).-63~68

硅软件(存入只读存储器(ROM)的操作系统程序)特别适合于实时嵌入系统,70%的16位微处理器应用采用了这些系统并往往需要多任务软件。硅软件可不加修改地运行于所有的板件和采用同一CPU系列的配置。作者讨论了硅软件并分析了市场上的一些产品。

数字计算机的其它电路

(含电源装置)

14048 Suwa Seikosha的石英晶体振荡器用母片程序改变输出[英]/AEU.-1985, (6月).-111~114

1979年开始推出其可编程SPG系列石英晶体振荡器的Suwa Seikosha公司现在又向市场提供了四个系列的11种产品。SG-31F与SMG-31系列产品的生产与销售正受着强有力的促进。虽然SG-31F是一种采用CMOS电路的石英晶体振荡器,但是它具有一个扇出为10的输出和一个其冲击与压降电阻特性显著改善的封装结构。SMG-31是一种多输出石英晶体振荡器,可提供五个并行输出。

14049 可简化真空荧光(VF)显示系统的电源芯片[英]/Artusi, D. ... // EDN.-1985, 30(20).-153~158, 160, 162

将单片微处理器与一基于廉价电源芯片MC34063的DC/DC转换器结合起来就可建立一个真空荧光(VF)显示系统并避免因复杂电源与专用显示控制器带来的开销。虽然VF显示可在白昼也可在黑夜观看,但许多设计者却因其需要显示驱动器与灯丝电压而避免使用这种显示方式。DC/DC转换器可简单而经济地提高逻辑电平并提供必要的电压。给出了用于这一设计的MC68705P3微处理器的控制程序清单。

14050 采用经修改的标准单元方法设计高性能CMOS

DRAM控制器 [会, 英]/Poen, T. C. // Proceedings of the IEEE 1985 Custom Integrated Circuits Conference (Cat. No. 85CH2157-66); 1985, 5.20~23; Portland, OR, USA.-New York, USA; IEEE, 1985.-26~29

为与WE32100 32位微系统系列的同步协议相一致研制了一种DRAM控制器, 它利用一些1兆位芯片处理16兆字节的存储量。描述了这种高性能设计的实现方法。完全由随机逻辑组成的需用12500个晶体管的电路不到四个月就完成了设计, 从第一个掩模组就得到了无错误的硅片。该芯片工作于标定的内部时钟频率(36MHz)。文中描述了芯片板面布置与时钟信号分配, 超块(superblock)设计和芯片集成与测试结果。参12

14051 一种改良的20MHz CMOS标准单元视频属性芯片 [会, 英]/Guilford, D. K. // Proceedings of the IEEE 1985 Custom Integrated Circuits Conference (Cat. No. 85CH2157-6); 1985.5.20~23; Portland, OR, USA.-New York, USA; IEEE, 1985.-403~406

描述了一种以改良的标准单元方法设计的高速CMOS视频属性芯片。该芯片的假信号(glitch-free)输入时钟脉冲转换、最佳时钟脉冲分配和高性能移位寄存器都是定制的, 而属性逻辑却采用标准单元实现。该芯片按终端方式不同分别以22或28MHz TTL振荡器(60-40或40-60忙闲度)计时, 并给视频系统的其余部分提供同步时钟信号。通过仔细确定门尺寸和使用伪NMOS器件达到了这些电路与10位并-串行数据移位寄存器的高速性能。通过充分使用“缓冲”选通(用较小的门驱动较大功率的门)来使芯片尺寸与AC功率达到最小。参10

14052 预测高性能计算机中的电源电流——方法与应用 [会, 英]/Li, R. V. // Conference Record Eighteenth Asilomar Conference on Circuits, Systems and Computers (Cat. No. 85CH2200-4); 1984. 11.5~7; Pacific Grove, CA, USA.-Washington, DC, USA; IEEE Comput. Soc. Press, 1985.-363~366

描述了对高性能计算机中的电源电流值进行预测的方法。此类机器中的电流消耗可能相当大。因此精确地对所期望的电流值及其容差进行预测对选择与设计电源与组件是重要的, 对增强电气系统设计规则(如接线规则和瞬时开关规则)也是必要的。参3

模拟电路

14053 可提供多种数学运算功能的多功能IC器件 [英]/Kitchin, C. // EDN.-1985, 30(19).-175~180

多功能IC器件AD538是一种单芯片的模拟计算系统。该器件可作加、减、乘、除和对数运算, 还可对输入信号或两输入信号之比计算幂和根。借助这一器件可进行外部输入偏置调整以达到10000:1 (1mV对10V)的有效动态范围。

14054 采用精密开关电容器的广义积分器的设计及其在非线性和网络综合中的应用 [英]/Cichocki, A. // IEE Proc. G.-1985, 132(5).-225~236

作者介绍了一种采用开关电容器技术的广义积分器的新颖设计方法。这些可对某一应变变量积分的广义积分器不难以MOS工艺在IC芯片上实现, 且具有价格低、精度高等吸引人的特色。还分析了广义积分器在非线性和电路的综合方面的一些可能的应用。文章说明这种开关电容器广义积分器可执行许多有用的基本非线性运算, 如乘法、除法、三角和对数运算等。最后给出了与理论分析非常一致的实验结果。参16

模/数与数/模转换模

14055 数能采集方面的一般问题与解答 [英]/Sherman, L. // Aust. Electron. Eng.-1985, 18(2).-18, 20~24

在任何涉及新学科的设计中, 最大的困难不在于对某些问题找不到答案, 而是在于提不出一个决定性的问题。当一个器件被以部件形式(block form)应用时整个有关区域(area of concern)可能被忽略。本文的目的不仅是解答一些普通的数据采集问题, 而且要让读者知道一些值得引起注意的比较不明显的有关区域。主要的问题是在对不同的模/数转换器进行比较时, 转换器类型是否认为是重要的。

14056 挑选合适的数模转换器 [德]/Stief, D. // EEE.-1985 (12).-51~52

现在出现了几种主要基于逐次逼近或积分的模/数转换新技术。为了挑选对于某种应用最为适合的转换器, 从速度、精度与价格等选择标准上考虑是有益的。作者以转换器的工作原理为基础分析与评价了这些特定的选择标准。尽管积分式转换器可以合适的价格提供较高的精度, 而采用逐次逼近的转换器速度更快。因此选择时必须在对技术要求的细致分析的基础

上进行折衷。作者给出了进行敏感单元选择 (sensitive unit selection) 的一些须知事项。

14057 混合型转换器的进展[德]/Stief, D. // Elektron. J.-1985, 20(10).-30, 32

作者将普通的单片转换器与采用薄膜工艺制造的混合型转换器作了比较分析。结果在温度系数以及电阻网络漂移方面取得了显著改进。另外为使转换器的响应有所改善, 确保了更短的互连和快速的稳定周期。

14058 数据转换入门[德]/Baston, J. ... // Elektron. J.-1985, 20(11).-18, 20, 22

文章首先对模拟数据必须转换成数字形式的道理作了简要说明, 然后描述了三种A/D转换器的原理: 用RC电路对输入信号积分, 用两个以上的边缘方法消除电阻与电容的误差; 用采样与保持电路进行逐次逼近; 采用并联比较器。对转换误差作了讨论。

14059 A/D转换器系统[德]/Kaufman, S. // Elektron. J.-1985, 20(11).-24, 26, 28, 30

作者论述了快速A/D转换器同采样与保持放大器的混合, 特别讨论了其中采用的可决定实际转换效率的测试方法。以框图说明了信/噪比测量装置。示出了12位与14位转换的可归因于量化噪声的信/噪比的分析图。给出了在各种工作条件下12位转换器的测量结果。

14060 高分辨率开关电容器算法数/模转换器[英]/Nagaraj, K. // IEE Proc. G.-1985, 132(5).-200~204

描述了一种新式的高分辨率开关电容器算法数/模转换器。它采用了新颖的分压技术以减少因电容器失配引起的误差。这将因电容器失配而加上的线性限

度增加到16位以上。该电路具有一般的算法D/A转换器的全部引人注目的特点。参19

14061 单片12位A/D转换器[日]/Sone, K. ... // NEC技报.-1985, 38(2).-57~60

μ PC650D是一种12位、35 μ S、逐次逼近单片模/数转换器, 它可用于语音识别、数据采集、数字控制等方面。由于该转换器采用以标准双极工艺制造的扩散电阻而不使用以激光晶片微调工艺制造的薄膜电阻, 具有长期稳定性和经济性。该转换器在-20 $^{\circ}$ C至+80 $^{\circ}$ C的范围内可以 ± 2 LSB的非线性无漏码地工作。参3

14062 6位CMOS数/模转换器[日]/Kananori, K. ... // NEC技报.-1985, 38(2).-61~63

用于电视机与VCR的遥控系统中的 μ PD6325/6326/6335/6336C已研制成功。它们用来对音量、亮度、对比度、色平衡与色调等进行控制。 μ PD6325C与 μ PC6335C为4通道D/A转换器, 它们分别采用射极跟随器缓冲输出与直接输出。 μ PD6326C与 μ PD6336C为8通道型。 μ PD63XX系列产品具有工作电压范围宽(5~15V)与模拟输出通道多(最多8个)等优良特点。它们采用CMOS工艺和16引脚双列直插式塑料封装。

14063 把采样与保持技术应用于数据转换[英]/Jung, W. // New Electron.-1985, 18(9).-67~69

所用硬件的多方面应用适应性非常有助于采用新式A-D与S/H器件的转换系统的实现。12位独立A-D与S/H转换系统是“联合装置”(“hookup”)的一个例子, 它比较容易实现, 为适应其他换算制进行修改也不难。

(以上黎明译 泽文校)

逻辑设计与数字技术

逻辑设计方法

(含逻辑测试)

14064 求解代数路径问题(最短路径、矩阵求逆)用的收缩阵列算法[英]/Rote, G. // Computing.-1985, 34(3).-191~219

本文说明了如何在由简单处理机构成的六边形收缩阵列上以线性的时间实现求解代数路径问题的高斯-约当消去算法。这个阵列包含二次方数量的简单处理机。这个通用算法的特例包括Warshall-Floyd算法的并行化以及高斯-约当消去算法的并行化。前者用

图形或关系的传递闭包计算最短距离, 后者用于计算实矩阵的逆矩阵。参20

14065 用模拟向量产生测试向量[英]/Franz, M. // EDN.-1985, 30(15).-233~238

第一部分见同刊1985年第30卷第13期153~161页。对于用逻辑模拟程序开发出来, 并用自动测试设备进行测试的逻辑阵列设计来说, 模拟向量可以用作为测试向量的基础。但是, 必须把模拟向最修改成满足于你的测试设备的限制条件, 并增加测量性能和时序灵敏度的向量。本连载包括两部分, 第一部分涉及到产生精确的供模拟用的输入向量, 第二部分介绍如何根据第一部分产生的模拟向量产生测试向量。

14066 扩展计数器范围用的简单技术[英]/Dattorro, J. // EDN. -1985, 30(17).-307

传播延时问题限制了1比n计数器中所用的波纹计数器的数目。本文介绍的技术能使这类计数器在高达48MHz的频率下工作,此时 $F_{\text{out}} = 48\text{MHz}/n$, n的取值范围为1~4098。

14067 用逻辑分析仪测试超大超模集成电路[德]/Niermann, U. // Elektronik. -1985, 34(12).-51~54

讨论了支配常规的器件测试方法的基本因素。这些因素涉及逻辑测试和动态性能测试,只有生产大量器件(即标准集成电路)时经济上才合算。研究“全定制器件”的发展过程发现,这种器件能满足具体的设计要求,但是成本也很高。这个问题已通过采用半定制集成电路来解决。制造半定制电路有两种方法:门阵列设计和标准单元设计。这里起决定作用的一个优点是可以省掉动态测试,因此可以使用相对来说比较便宜的器件测试仪——逻辑分析仪。本文介绍了Tetronix公司在这领域建立的新概念——用逻辑分析仪测试超大规模集成电路。其系统配置包括Tetronix数字分析系统(DAS9100),该系统提供96个同时激励通道和96个记录通道,由DEC公司的VAX计算机控制(也可以使用IBM PC/AT机)。由程序实现了许多功能,其中包括准备供计算机处理的测试向量,使测试图形适应于DAS位组合图形发生器所用的格式,控制测试运行和根据软件设定的基准位组合图形评价测试结果。

14068 门阵列控制逻辑编辑和测试模块[德]/Schobeck, O. // Elektronik. -1985, 34(14).-112~116

扼要介绍了Kontron公司供EPROM编程用的MOS器件模块的性能特点。这种通用编程模块还能对双极型PROM和可编程逻辑阵列器件进行编程。由于采用了多种现代化的混合技术,使得这种编程模块的尺寸能达到预定的要求。还研制了一种门阵列,提供CPU/编程电路之间的接口功能。简单介绍了混合工艺、读出寄存器和门阵列技术的细节。扼要介绍了编程模块为保证存储器连接正确而进行的测试,硅片特征码功能以及可编程逻辑阵列器件的编程。

14069 逻辑路径时序的分析[英]/IBM Tech. Disclosure Bull. -1985, 27(10A).-5499~5500

通过识别出前面和后面的相交锥形中的逻辑模块,实现了一种分析逻辑路径时序用的技术,其目的是将它们连在一起使得能用面向模块的算法进行处理。参1

14070 千兆赫的多路转换器/多路分配模数制移:存储器阵列的测试[英]/IBM Tech. Disclosure Bull. -1985, 27(10A).-5526~5529

高性能的存储器阵列测试系统需要产生非常高速的时序控制信号,供数据多路转换器和多路分配器电路使用。这些电路是维持存储器测试图形发生器与高速的引脚电子电路之间的数据流所必要的。

14071 原/补码数性反馈移位寄存器测试码模式发生器[英]/IBM Tech. Disclosure Bull. -1985, 27(10A).-5729~5731

如果以原码/补码两种方式使用产生最长测试序列的线性反馈移位寄存器,就有可能遗漏测试码模式。

14072 具有有限个输入/输出的嵌入式阵列输入电路中逻辑部分的测试[英]/IBM Tech. Disclosure Bull. -1985, 27(10A).-5856~5859

介绍了一种测试嵌入式阵列输入电路中逻辑部分用的技术。这一部分是无法用正常的隔离阵列测试过程进行测试的。

14073 廉价的剩余代码及其在超大超模集成电路自输系统中的应用[英]/Sayers, I. L. ... // IEE Proc. E. -1985, 132(4).-197~202

要想有效地把检错代码用于超大规模集成电路设计,除了要了解它们的理论特性外,还需要研究它们的成本和有效性。本文讨论将廉价的剩余代码应用于普通型超大规模集成电路硬件时的折衷问题。对各种剩余代码及其在超大规模集成电路上的适用性进行了比较。然后将剩余代码应用于典型的超大规模集成电路系统,以便与其它测试方法进行比较。参17

14074 用微分群可编程逻辑阵列产生精确的二进制对数[英]/Lo, H. ... // IEEE Trans. Comput. -1985, C-34(8).-681~691

提出了一种用微分群可编程逻辑阵列(DGPLA)产生精确的二进制对数函数的设计算法。该算法可以达到最佳条件,使可编程逻辑阵列中的位数最少,同时仍保持误差尽可能小。因此节省了可编程逻辑阵列的空间,据估计尺寸将减少到只有ROM尺寸的15.9%。开发了一种实现DGPLA的合成法。这种方法可以极精确地确定DGPLA设计中的断点,还能规定寻找最适宜断点的范围,从而获得最佳简化形式。这种算法也可以用于产生反对数函数。参8

14075 高维数字电路的平方微算法[英]/Majerski, S. // IEEE Trans. Comput. -1985, C-34(8).-724~733

提出了两种二进制算法,用于求一个数或两个数之和的平方根。这两种算法是以经典的不恢复方法为基础设计的。主要的差别在于将三个和数(可正可负)并行归约为两个和数,代替了减法和加法,从而消除了进位传递。三个和数中的两个构成了逐次的部分余

数。其最高三位(有时与前一个部分和数的符号位一起)用于确定冗余平方根表示法的数字-1、0、+1。在求平方根的过程中,这些数字转换成常规的平方根表示法中的各位,供下一个求平方根的步骤使用,从而形成第三个缩短了的和数。参12

14076 全自检差错指示器[英]/Gaitanis, N. // IEEE Trans. Comput., 1985, C-34(8), 758~761

作者提出了一种全自检(TSC)差错指示器,用于解决全自检检测器监控中的实际问题。这是供一类全自检检测器使用的,这类检测器用于检查允许出现小于时间常数T的瞬态失效的编码信息(数据或地址)或周期信号。时间常数T取决于所用逻辑元件的传输延时。这种电路提供正常指示输出(01或10)和出错指示输出(11或00)。永久性故障和时间大于T的瞬态故障将产生永久性出错指示,并一直保留到复位为止。假定在检测器内出现了假想的故障,至少要在输入从(01)到(10)或从(10)到(01)变化四次以后才会出现永久性出错指示输出。参7

14077 基准测试仪:公平的参数测试[法]/Laing, D. // Mesures, 1985, 50(9), 65, 67, 73, 75~76

讨论了数字电路基准测试设备所受的限制,说明了如何才能测试动态参数(包括传播时间和保持时间)。用框图形式介绍了一台测试仪。该仪器具有时间间隔测量电路、有源负载、两个高速引脚控制以及一个可编程组接矩阵。从测量传播延时,上升和衰减时间、脉宽等方面介绍了该测试仪的工作情况。测试建立和保持时间需要两个可编程器件。讨论了校准问题。

14078 组合电路的穷举测试[法]/Cohen, G. // ... Trait. Signal., 1984, 1(2-2), 223~226, -spec. issue

提出了一种构成主观数组的方法,可用于对组合器件中任意一组s个输入进行穷举测试。这种方法以线性代码为基础,实现起来很简单。对于实践中有用的参数n(输入总数)和s值,获得的数组的规模(测试次数)接近于最小值 $f(n, s)$ 。参5

14079 大规模可错差逻辑阵列可进行并发测试(syndrome-testable)的设计和并发值的计算方法[日]/Yamada, T. // 电子通信学会论文誌(D), 1985, J68 D(5), 1057~1062

为了降低逻辑电路测试成本,研究了容易实现的测试和具有压缩了的输出数据的简单测试方法。并发测试是最简单的测试方法之一。其原理是在输入端施加所有的组合测试图形,并统计输出端逻辑“1”的数目(并发值)。所以,具有大量输入端的电路就需要相当长的测试时间,并需要相当长的计算时间来计算预期的并发值。如果将电路分割开来,分别对每一部

分进行并发测试,就能克服这些问题。作者提出了一种分割大规模可编程逻辑阵列的设计技术和一种有效的并发值计算方法。参11

14080 对大规模集成电路自测试用的特征电路检错概率的分析和新特征电路的建议[日]/Iwasaki, K. ... // 电子通信学会论文誌(D), 1985, J68 D(5), 1063~1070

讨论了大规模集成电路自检用的多输入特征寄存器(MISR)。作者用编码理论分析了多输入特征寄存器的检错概率。即计算了多输入特征寄存器的单、双、三和四个错误的检测概率。指出了使多输入特征寄存器不能检出多个错误(特别是漏失双位错误)的不足之处。所以提出了一种能检测双位错误的逆对偶多输入特征寄存器,计算了这种寄存器的三错误检测概率。参9

14081 根据递归方程合成数字电路[著,英]/Johnson, S. D., Cambridge, MA, USA; MIT Press, 1984, -xiii + 207页

创立了一种新的数字电路设计方法,采用的是应用程序设计风格。作者定义了电路描述语言,用系统方程来说明连接情况。还给出了一个解释程序。讨论了通过变换实现程序综合的过程。这些技术已被用于数字电路合成过程。定义了一个数字电路特性的形式模型,在功能说明符和数字电路说明之间建立了联系。讨论了这种方法的几个应用实例。参91

14082 路大规模集成电路失效分析用的激光探针技术[会,英]/Henley, F. J. // Proceedings ISTFA 1984 International Symposium for Testing and Failure Analysis, 1984, 10, 22~24, Los Angeles, CA, USA, -Torrance, CA, USA; AFTA, 1984, -70~78

提出了对供超大规模集成电路故障分析员用的激光探针技术的总的看法。介绍了一种分析内部节点逻辑用的新的自动激光探针系统。描述了这个商用系统的性能,重点介绍了其很强的自动化性能和软件特性。还举例说明了这种检测技术在逻辑分析上的应用。参18

14083 对设计系统产生的超大规模集成电路逻辑器件进行筛选,以路高性能[会,英]/Burbank, H. ... // Proceedings ISTFA 1984 International Symposium for Testing and Failure Analysis, 1984, 10, 22~24, Los Angeles, CA, USA, -Torrance, CA, USA; AFTA, 1984, -157~162

对于满足设计者控制的功耗/性能要求和制造厂在测试仪上判断产品是否合格来说,对设计系统产生的超大规模集成电路器件进行性能筛选是至关重要。

的。本文介绍了一种能集成在NMOS器件设计系统中的环形振荡器性能筛选方法,说明了可以通过在大圆片测试时测量环形振荡器的速度来精确地预言超大规模集成逻辑电路的延时,而且只需花很少的费用就能提高功耗/性能。本文介绍的技术同样适用于CMOS工艺。参5

计算机辅助逻辑设计

14084 输入向量驱动的逻辑阵列设计仿真技术(I) [英]/Franz, M. // EDN, -1985, 30(13), -153~161

为了正确地评价逻辑阵列设计,逻辑仿真程序需要精确的输入向量。必须产生适用的向量来验证逻辑的功能和确定动态操作、性能裕度和主要的时序限制(例如建立和保持时间)。这个连载讲座包括两部分,其对象是正在开始使用逻辑仿真程序和自动测试设备(ATE)设计和测试逻辑阵列的设计人员。本文是其中的第一部分,讨论逻辑阵列对逻辑仿真程序输入向量的要求。这种要求类似于对印制板级设计的要求。

14085 门阵列设计:一个分层次的开发方向[英]/Stansberry, M. C. // Electron. & Power, -1985, 31(7), -519~522

随着半定制集成电路的推广应用,正在发展能满足更苛刻的规范要求的设计工具,特别是工作站和计算机辅助工程。作者介绍了半定制设计的基本积木块本身的复杂性不断增加的情况。

14086 Mentor Graphics系统的计算机辅助工程理念:将样机测试并入工作站[法]/Sabatier, A. // Electron. Ind., -1985, (88), -75~77

Mentor Graphics硬件验证系统(HVS)在工作站上完成电子器件的设计过程,使得设计工程师能从电路设计一直进行到样机测试。该系统基本上是一台逻辑分析仪,借助于交互式软件与图形发生器和时序分析器连接。本文介绍了这四种主要部件的工作。通过样机部件及其模拟形式的测试结果有效地比较了二者的性能。在某些情况下可以研究在20MHz频率下的工作情况,因此(举例来说)能使平常很难实现的CMOS器件的测量工作变得容易。

14087 特设预应的单元的自动布局和布线:集成量纲设计[法]/Gouit, J. // Electron. Ind., -1985, (89), -72~75

介绍了Silvar Lisco公司的CAL-MP软件。据称若设计员使用该软件,能在两天内对电路实现性能和集成密度最佳化。介绍了单元的分级体系,说明了根据单元库和工艺规则生成布局和布线数据库的过程。电路先被分成若干模块行,它们根据外围输入/输出单元数进行定位。然后进行模块内各单元的布局,具

有两层或三层互连线的电路将使用通道布线路序布线。可以用多窗口显示器观察整个布好线的电路,使用者可以随意用放大系数决定检查的层次。每条连线的总容量或每段引入的延时总和以属性的形式送回数据库,以供模拟程序使用。根据输出文件产生掩模。

14088 以PC为基础的逻辑模拟程序的出现把用户搞糊涂了[英]/Schreier, P. G. // Electron. Test., -1985, 8(6), -73~78

在选择以PC为基础的逻辑模拟程序时,工程师们发现由于没有统一的定义和规范而使问题变复杂了。尽管规范单上数字的范围很宽,仍然很容易引起误解。可靠地评价逻辑模拟程序的唯一办法是使它在自己的系统上运行。

14089 门阵列设计示例[德]/Ammon, P. // Elektron. Ind., -1985, 16(4), -74, 77~78, 81, 83

与应用有关的集成电路(ASIC)的设计是ASIC领域的主要问题,而门阵列则正在ASIC市场上获得较大的份额。为了弄清可能产生的问题,举了一个简单的CMOS工艺门阵列电路设计的例子。参7

14090 与应用有关的电路[德]/von Bismarck, K. -J. // Elektron. Ind., -1985, 16(4), -88, 90

虽然常常介绍使用门阵列和标准单元的好处,但是这种技术进入德国市场的速度仍然很慢。柏林的VDI工艺中心通过与半导体制造厂和用户的密切合作,已能把设计计划的信息、意见和实施结合在一起了。作者突出介绍了集成技术的这一分支,讨论的重点是希望进入这一技术领域的小规模用户。

14091 电路计划胜利在望:具有单层金属化现面的CMOS门阵列的计算机辅助设计[德]/Ammon, P. // Elektron. J., -1984, 19(24), -28, 30

门阵列在整个集成电路市场上所占的比例正在日益增长,单铝层工艺在芯片制造成本上提供了明显的优点。但是,这对采用计算机辅助设计技术造成了某些问题。作者介绍了一种通用的方法,首先进行逻辑设计和模拟,然后进行结构设计。模拟包括快速逻辑测试用的“零延迟方式”,然后是精确地测试时序和逻辑用的“时序方式”。在结构设计阶段,值得指出的是由于铝表面导电性很强,所以有可能实现2ns以下的门延迟时间。单层工艺有五种规模的阵列可供选择,具有不同的复杂性(相当于336个门~2166个门)。此外也有双层阵列(相当于1000个门到4000个门)。

14092 完全的“传输线检测器”:瑞士产的小型而灵活的双通道声音传输线分析器[德]/Giller, H. // Elektronikschau, -1985, 61(6), -56, 58

Schmid电信公司的SZ340声音程序电路分析仪能在47秒钟内完成全部的自动测量周期和质量评价。它