

PCI Express System Architecture

PCI Express

系统体系结构 标准教材



MINDSHARE, INC.

Ravi Budruk

[美] Don Anderson 著

Tom Shanley

田玉敏 王崧 张波 译



Addison
Wesley



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

PCI Express System Architecture

**PCI Express系统
体系结构标准教材**

[美] Ravi Budruk Don Anderson Tom Shanley 著

田玉敏 王 崧 张 波 译

電子工業出版社

Publishing House of Electronics Industry

北京 · BEIJING

内 容 提 要

本书首先概述第三代 PCI Express 总线和第二代总线及其之间的关系和区别,然后全面论述目前市场上最为流行的第三代总线——PCI Express。主要内容包括:PCI Express 总线的发展过程及其特点;PCI Express 总线的事务路由方法;数据包传送的主要协议和实现服务质量的方法;事务顺序、中断和错误处理;PCI Express 总线物理层详述;复位以及链路的定向和初始化;附加卡的外观结构;PCI Express 的电源管理;PCI Express 的配置方式。附录提供的内容包括 PCI Express 的测试、调试和验证等。

本书详细描述 PCI Express 系统的体系结构,以及列举的大量示例,对于理解 PCI Express 内容并构思其用途有很大帮助,是软硬件设计人员和技术人员不可多得的参考书籍。



Authorized translation from the English language edition, entitled PCI Express System Architecture, ISBN: 0321156307 by MIND SHARE, INC., Ravi Budruk, Don Anderson, Tom Shanley, published by Pearson Education, Inc., Publishing as Addison Wesley Professional, Copyright ©2004 by Mind Share, Inc.

All rights reserved. No part of this book may be reproduced or transmitted in any form or by any means, electronic or mechanical, including photocopying, recording or by any information storage retrieval system, without permission from Pearson Education, Inc.

本书英文版由 Addison Wesley 公司出版。Addison Wesley 公司已将本书简体中文版独家版权授予中国电子工业出版社及北京美迪亚电子信息有限公司。未经许可,不得以任何形式和手段复制或抄袭本书。

版权贸易合同登记号 图字:01-2005-0353

图书在版编目(CIP)数据

PCI Express 系统体系结构标准教材/(美)布达科(Budruk, R.)等著;田玉敏等译. —北京:电子工业出版社, 2005. 11

书名原文:PCI Express System Architecture

ISBN 7-121-01794-6

I. P... II. ①布...②田... III. 总线—教材 IV. TP336

中国版本图书馆 CIP 数据核字(2005)第 112065 号

责任编辑:李 莹

印 刷:北京天竺颖华印刷厂

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编:100036

北京市海淀区翠微东里甲 2 号 邮编:100036

经 销:各地新华书店

开 本:787×1092 - 1/16 印张:39.125 字数:1000 千字

印 次:2005 年 11 月第 1 次印刷

定 价:62.00 元

凡购买电子工业出版社的图书,如有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系。联系电话:(010)68279077。质量投诉请发邮件至 zlts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

致 谢

感谢对本书做出卓越贡献的人们：

感谢 Joe Winkles 所做的技术编辑工作。

感谢 Jay Trodden 在事务路由和基于数据包的事务章节所做的工作。

感谢 Mike Jackson 对插卡电气机械章节所做的准备工作。

感谢 Dave Dzatko 的研究和编辑。

特别感谢 Catalyst Enterprises 公司提供：

附录 A: 测试、调试和验证

特别感谢 PLX Technology 提供下面两个附录的内容：

附录 B: PCI Express 体系结构的市场及应用

附录 C: 利用 PCI Express 技术实现智能适配器和多主机系统

还要感谢 PCI SIG 特许我们使用规范中的一些机械图。

关于本书

Mindshare 的体系结构图书系列

目前, Mindshare 的体系结构图书系列包括表 1 列出的所有图书。全部图书均由 Addison-Wesley 出版。

表 1 PC 体系结构图书系列

分类	书名	版本	ISBN
处理器体系结构	80486 System Architecture	第 3 版	0-201-40994-1
	Pentium Processor System Architecture	第 2 版	0-201-40992-5
	Pentium Pro and Pentium II System Architecture	第 2 版	0-201-30973-4
	PowerPC System Architecture	第 1 版	0-201-40990-9
总线体系结构	PCI System Architecture	第 4 版	0-201-30974-2
	PCI-X System Architecture	第 3 版	0-201-72682-3
	EISA System Architecture	不再印刷	0-201-40995-X
	FireWire System Architecture; IEEE1394a	第 2 版	0-201-48535-4
	ISA System Architecture	第 3 版	0-201-40996-8
	Universal Serial Bus System Architecture 2.0	第 2 版	0-201-46137-4
	HyperTransport System Architecture	第 1 版	0-321-16845-3
	PCI Express System Architecture (即本书)	第 1 版	0-321-15630-7
网络体系结构	Infiniband Network Architecture	第 1 版	0-321-11765-4
其他体系结构	PCMCIA System Architecture; 16-Bit PC Cards	第 2 版	0-201-40991-7
	CardBus System Architecture	第 1 版	0-201-40997-6
	Plug and Play System Architecture	第 1 版	0-201-41013-3
	Protected Mode Software Architecture	第 1 版	0-201-55447-X
	AGP System Architecture	第 1 版	0-201-37964-3

注意事项

读者应该记住, Mindshare 的图书系列通常详细描述迅速发展的各种技术, 当然 PCI Express 也属于这种情况。即便是这样, 读者也应该认识到本书是对该书完成时的技术状况的描述。我们会尽一切努力及时修订本书, 但在未推出规范的下一个修订版本前无需进行修改。本书遵循 PCI Express 基本规范的 1.0a 修订版, 该规范由 PCI Special Interest Group 发布并注册。几种 PCI Express 的扩展卡外形规格规范正在制定中, 但在本书完成之时, 只有电气机械规范修订版 1.0 已发布。但是, 本书中有关卡电气机械的章节仍论述了在撰写本书时正在开发的几种卡的外形规格。

本书的读者

本书可供硬件和软件设计人员以及技术支持人员使用。由于本书采用指南式的方法进行论述,因此对于并不直接涉及功能的设计、验证和其他支持的人员也很有用。

背景知识

在阅读本书之前,建议读者首先熟悉 PC 体系结构的背景知识,包括 I/O 总线以及相关协议的知识 and 经验。由于 PCI Express 要与最初的 PCI 设计在几个层次上保持兼容,所以本书也融入了有关 PCI 的关键背景知识。但读者可能会发现阅读 Mindshare 的“*PCI System Architecture*”一书将获益非浅,这本书重点介绍了 PCI 体系结构。

本书的主题和组织

本书论述的主题以及本书的组织流程如下:

第一部分:总览。通过 PCI Express 与 PCI 和 PCI-X 总线的比较和对比,论述对 PCI Express 技术的展望。同时介绍 PCI Express 体系结构的主要特点。

第二部分:事务协议。包括数据包的格式、各字段的定义和用途,以及处理层和链路层的功能。

第三部分:物理层。论述物理层的功能、链路定向和初始化、复位和电气信令。

第四部分:与电源有关的主题。讨论功率预算和电源管理。

第五部分:可选功能。讨论可选的 PCI Express 主要特性,包括热插拔和扩展卡的实现细节。

第六部分:PCI Express 配置。讨论 PCI Express 的配置过程、配置空间的访问,以及所有配置寄存器的详细内容和用途。

附录:

- 测试、调试和验证
- PCI Express 体系结构的市场及应用
- 用 PCI Express 技术实现智能适配器和多主机系统
- 类代码
- 锁定事务系列

文档约定

本节定义本书使用的印刷惯例。

PCI Express™

PCI Express™是 PCI SIG 的商标。本书主要在空间有限的图中将 PCI Express 缩写为“PCI-XP”。

十六进制表示法

所有的十六进制数以小写字母“h”结尾。例如：

89F2BD02h

0111h

二进制表示法

所有的二进制数以小写字母“b”结尾。例如：

1000 1001 1111 0010b

01b

十进制表示法

十进制数没有任何后缀。为清晰起见，在必要时，十进制数以小写字母“d”结尾。例如：

9

15

512d

比特和字节表示法

本书用小写字母“b”表示比特，用大写字母“B”表示字节。例如：

兆位/秒= Mb/s

兆字节/秒= MB/s

比特字段

比特组的表示格式为首先是高端比特，然后是低端比特，并用方括号括起来。例如：

[7:0]= 比特 0 到 7

有效信号状态

低电平有效的信号以“#”结尾，如 PFIRST# 和 WAKE#。高电平有效的信号没有后缀，例如 POWERGOOD。

请访问我们的网站

我们的网站列出了所有课程和每门课程可用的所有信息：

- 有关 MindShare 课程的信息
 - 自学 DVD 和 CD
 - 实时网络传送式的课程
 - 实时现场课程
- 所选主题的免费短文

- 技术论文
- 我们许多图书的勘误表

网站上列出了我们的所有图书,读者可以在线订购图书或图书的电子版。

网址: www.mindshare.com

我们期待你的反馈

MindShare 非常注重你的评论和建议,请联系我们:

电话: (719)487-1417, 或在美国使用(800)633-1440

传真: (719)487-1434

技术研究: E-mail nancy@mindshare.com

技术问题: E-mail don@mindshare.com 或 tom@mindshare.com

一般信息: E-mail info@mindshare.com

邮寄地址:

MindShare, Inc.

4285 Slash Pine Drive

Colorado Springs, CO80908, USA

目 录

第一部分 总 览

第 1 章 体系结构展望	2
1.1 PCI Express 简介	2
1.1.1 初始 PCI 解决方案的作用	2
1.2 与原有总线的比较	3
1.2.1 作者的声明	4
1.2.2 总线性能及其插槽数的比较	4
1.2.3 PCI Express 的总吞吐量	4
1.2.4 比较每引脚的性能	5
1.3 I/O 总线体系结构展望	5
1.3.1 基于 33MHz PCI 总线的系统	5
1.3.2 基于 66MHz PCI 总线的系统	16
1.3.3 基于 66MHz 和 133MHz PCI-X 1.0 总线的平台	18
1.3.4 基于 DDR 和 QDR PCI-X 2.0 总线的平台	21
1.4 PCI Express 的线路	21
1.4.1 PCI Express 的拓扑结构	26
1.4.2 PCI Express 系统模块图	28
1.5 PCI Express 规范	30
第 2 章 体系结构概述	31
2.1 PCI Express 事务简介	31
2.1.1 PCI Express 事务协议	32
2.1.2 一些事务示例	35
2.2 PCI Express 的设备层	38
2.2.1 概述	38
2.2.2 设备层及相关的数据包	39
2.2.3 各 PCI Express 设备层的功能	42
2.3 非报告存储器读事务示例	54
2.4 热插拔	57
2.5 PCI Express 的性能与数据传送效率	57

第二部分 事务协议

第 3 章 地址空间与事务路由	60
3.1 简介	60

3.1.1	接收器检查 3 种类型的链路流量	61
3.1.2	多端口设备承担路由负荷	61
3.1.3	端点的路由能力有限	61
3.1.4	系统路由策略是可编程的	62
3.2	两种类型的本地链路流量	62
3.2.1	有序集	62
3.2.2	数据链路层数据包(DLLP)	62
3.3	处理层数据包路由基础	65
3.3.1	用于访问 4 种地址空间的 TLP	65
3.3.2	使用分离事务协议了吗	65
3.3.3	TLP 路由的 3 种方法	67
3.3.4	PCI Express 的路由方法与 PCI 兼容吗	67
3.3.5	定义数据包格式和路由的头字段	68
3.3.6	使用 TLP 的头信息:概述	68
3.4	应用路由机制	69
3.4.1	地址路由	70
3.4.2	ID 路由	72
3.4.3	隐式路由	75
3.5	路由选项的即插即用设置	79
3.5.1	路由配置是 PCI 兼容的吗	79
3.5.2	基址寄存器(BAR):类型 0、类型 1 的头	81
3.5.3	基址/限界寄存器,只限类型 1 头	84
3.5.4	总线号寄存器,只限类型 1 头	88
第 4 章	基于数据包的事务	90
4.1	基于数据包的协议简介	90
4.1.1	为什么要使用基于数据包的事务协议	90
4.2	处理层数据包	92
4.2.1	组装和拆解 TLP	92
4.2.2	设备核心请求访问 4 种空间	93
4.2.3	所定义的 TLP 事务变体	94
4.2.4	TLP 的结构	94
4.2.5	建立事务:TLP 请求和完成	100
4.3	数据链路层数据包	115
4.3.1	DLLP 的类型	116
4.3.2	DLLP 是本地流量	116
4.3.3	接收器对 DLLP 的处理	116
4.3.4	发送一个数据链路层数据包	117
4.3.5	DLLP 数据包的类型	118
第 5 章	ACK/NAK 协议	122
5.1	通过各链路可靠地传输 TLP	122

5.2	ACK/NAK 协议的基本组成	124
5.2.1	ACK/NAK 协议中发送器的基本组成	124
5.2.2	ACK/NAK 协议的接收器基本组成	127
5.3	ACK/NAK DLLP 的格式	128
5.4	ACK/NAK 协议详解	129
5.4.1	发送器协议详解	129
5.4.2	接收器协议详解	135
5.5	利用 ACK/NAK 协议可靠地处理错误情况	142
5.6	ACK/NAK 协议小结	142
5.6.1	发送器部分	143
5.6.2	接收器部分	144
5.7	安排数据包时推荐的优先级	144
5.8	更多的示例	145
5.8.1	丢失 TLP	145
5.8.2	丢失 ACK DLLP 或 ACK DLLP 并有 CRC 错误	146
5.8.3	丢失跟随 NAK DLLP 的 ACK DLLP	146
5.9	交换器直通转发模式	147
5.9.1	没有直通转发模式	147
5.9.2	交换器直通转发模式	148
第 6 章	QoS/TC/VC 和仲裁	150
6.1	服务质量	150
6.1.1	同步事务支持	151
6.1.2	差异性服务	152
6.2	对 QoS/TC/VC 和仲裁的看法	153
6.3	流量类别和虚拟通道	153
6.3.1	VC 分配和 TC 映射	154
6.4	仲裁	157
6.4.1	虚拟信道仲裁	157
6.4.2	端口仲裁	163
6.4.3	交换器仲裁示例	167
第 7 章	流控制	170
7.1	流控制的概念	170
7.2	流控制缓冲区	172
7.2.1	VC 流控制缓冲区的组织	172
7.2.2	流控制信用	173
7.2.3	流控制缓冲区的最大容量	173
7.3	流控制机制简介	173
7.3.1	流控制的基本组成	173
7.4	流控制数据包	175
7.5	流控制模型的操作——示例	176

7.5.1	第一阶段——初始化之后的流控制	176
7.5.2	第二阶段——流控制缓冲区填满	178
7.5.3	第三阶段——信用限额计数器翻转	179
7.5.4	第四阶段——FC缓冲区溢出错误检查	180
7.6	通告无限流控制	180
7.6.1	谁能通告无限流控制信用	181
7.6.2	无限信用通告的特殊用途	181
7.6.3	头和数据通告可能冲突	181
7.7	最小流控制通告	181
7.8	流控制初始化	182
7.8.1	FC初始化序列	182
7.9	FC_INIT 之后的流控制更新	185
7.9.1	FC_Update DLLP 的格式和内容	186
7.9.2	流控制更新频率	186
7.9.3	错误检测定时器——一种伪需求	187
第8章	事务顺序	189
8.1	简介	189
8.2	生产者/使用者模型	190
8.3	真正的 PCI Express 顺序规则	190
8.3.1	真正 PCI Express 设备的生产者/使用者模型	191
8.4	灵活的顺序	191
8.4.1	RO 对存储器写和消息的影响	191
8.4.2	RO 对存储器读事务的影响	192
8.4.3	强顺序规则总结	192
8.5	改变顺序规则,提高性能	193
8.5.1	强顺序可能导致事务阻塞	193
8.5.2	用 VC 缓冲区完成的顺序管理	194
8.5.3	改进的顺序规则小结	195
8.6	支持 PCI 总线和避免死锁	195
第9章	中断	198
9.1	发送中断的两种方法	198
9.2	消息信号中断	199
9.2.1	MSI 功能寄存器组	199
9.2.2	MSI 配置基础	202
9.2.3	生成 MSI 中断请求的基础	202
9.2.4	中断处理程序处理时的存储器同步	204
9.2.5	中断延迟	204
9.2.6	一些规则、建议等等	205
9.3	传统的 PCI 中断发送机制	205
9.3.1	背景知识——PCI 中断信令	205

9.3.2	虚拟 INTx 信号	208
9.4	设备可以同时支持 MSI 和传统的中断	211
9.5	基本系统外围设备必须考虑的特殊情况	211
9.5.1	示例系统	212
第 10 章	错误检测和处理	214
10.1	背景	214
10.2	PCI Express 错误管理简介	215
10.2.1	PCI Express 的错误校验机制	215
10.2.2	错误报告机制	216
10.2.3	错误处理机制	217
10.3	PCI Express 错误的来源	217
10.3.1	ECRC 的产生与校验	218
10.3.2	数据中毒(可选)	218
10.3.3	TC 到 VC 映射错误	219
10.3.4	链路流控制相关的错误	219
10.3.5	畸形处理层数据包(TLP)	220
10.3.6	分离事务的错误	220
10.4	错误分类	222
10.4.1	可修正的错误	222
10.4.2	不可修正的非致命错误	223
10.4.3	不可修正的致命错误	223
10.5	报告错误的方法	223
10.5.1	错误消息	223
10.5.2	完成状况	224
10.6	基本的错误检测和处理	224
10.6.1	PCI 兼容的错误报告机制	224
10.6.2	PCI Express 的基本错误处理	226
10.7	高级错误报告机制	230
10.7.1	ECRC 的生成和校验	231
10.7.2	粘滞比特的处理	231
10.7.3	高级可修正错误的处理	232
10.7.4	高级不可修正错误的处理	233
10.7.5	错误记录	235
10.7.6	根联合体错误跟踪和报告	235
10.8	错误记录与报告小结	237

第三部分 物理层

第 11 章	物理层逻辑	240
11.1	物理层概述	240
11.1.1	声明	242

11.1.2	发送逻辑概述	242
11.1.3	接收逻辑概述	242
11.1.4	物理层链路活动状态电源管理	244
11.1.5	链路定向和初始化	244
11.2	发送逻辑细节	244
11.2.1	发送(Tx)缓冲区	244
11.2.2	多路复用器(Mux)和多路复用器控制逻辑	244
11.2.3	字节拆分(可选)	247
11.2.4	扰频器	251
11.2.5	8b/10b 编码	253
11.2.6	并行到串行转换器(串行器)	261
11.2.7	差动发送驱动器	262
11.2.8	发送器(Tx)时钟	262
11.2.9	发送逻辑的其他主题	262
11.3	接收逻辑的细节	263
11.3.1	差动接收器	263
11.3.2	接收时钟的恢复	265
11.3.3	串行到并行转换器(反串行器)	265
11.3.4	符号边界测定(符号锁定)	265
11.3.5	接收器时钟补偿逻辑	266
11.3.6	通道到通道的相位补偿	267
11.3.7	8b/10b 解码器	268
11.3.8	去扰频器	270
11.3.9	字节反拆分	271
11.3.10	过滤器和数据包校正检查	271
11.3.11	接收缓冲区(Rx 缓冲区)	271
11.4	物理层错误处理	271
第 12 章	电气物理层	273
12.1	电气物理层概述	273
12.2	高速电气信令	274
12.2.1	时钟要求	275
12.2.2	阻抗和终结	275
12.2.3	DC 共模电压	276
12.2.4	ESD 和短路要求	276
12.2.5	接收器检测	277
12.2.6	差动驱动器和接收器	278
12.2.7	电气空闲	280
12.2.8	链路上发送线路的损耗	280
12.2.9	AC 耦合	281
12.2.10	去矫(或预矫)	281

12.2.11	信标信令	283
12.3	LVDS 眼图	283
12.3.1	抖动、噪音和信号衰减	283
12.3.2	眼测试(Eye Test)	284
12.3.3	最优眼	285
12.3.4	抖动可使眼边加宽或变窄	285
12.3.5	噪音和信号衰减使眼变高	285
12.4	发送器驱动器特性	287
12.4.1	概述	287
12.4.2	发送驱动器一致性测试和测量负载	288
12.5	输入接收器的特性	288
12.6	在各种电源状态中的电气物理层状态	289
第 13 章	系统复位	292
13.1	两类系统复位	292
13.1.1	基本复位	292
13.1.2	带内复位或 Hot 复位	294
13.2	退出复位	297
13.3	从 L2 低功率状态中的链路唤醒	297
第 14 章	链路初始化和定向	299
14.1	链路初始化和定向概述	299
14.1.1	概述	299
14.2	链路定向和初始化期间所用的有序集	302
14.2.1	TS1 和 TS2 有序集	303
14.2.2	电气空闲有序集	304
14.2.3	FTS 有序集	304
14.2.4	SKIP 有序集	304
14.3	链路定向和状况状态机(LTSSM)	305
14.3.1	概述	305
14.3.2	LTSSM 各状态概述	306
14.4	LTSSM 各状态详述	307
14.4.1	检测状态	308
14.4.2	轮询状态	309
14.4.3	配置状态	312
14.4.4	恢复状态	320
14.4.5	L0 状态	324
14.4.6	L0s 状态	324
14.4.7	L1 状态	327
14.4.8	L2 状态	328
14.4.9	Hot 复位状态	329
14.4.10	禁用状态	330

14.4.11	回环状态	330
14.5	与 LTSSM 相关的配置寄存器	332
14.5.1	链路功能寄存器	332
14.5.2	链路状况寄存器	333
14.5.3	链路控制寄存器	334
第四部分 与电源有关的主题		
第 15 章	功率预算	336
15.1	功率预算简介	336
15.2	功率预算的各个要素	337
15.3	插槽功率极限控制	339
15.3.1	扩充端口的插槽功率极限	339
15.3.2	扩充设备限制功率消耗	339
15.4	功率预算功能寄存器组	340
第 16 章	电源管理	342
16.1	简介	342
16.2	配置软件的人门知识	343
16.2.1	PCI PM 基础	343
16.2.2	OnNow Design Initiative 计划定义了全部 PM	344
16.2.3	PCI Express 电源管理与 ACPI	347
16.3	设备功能的电源管理	352
16.3.1	PM 功能寄存器组	352
16.3.2	设备的 PM 状态	353
16.3.3	PCI-PM 寄存器详述	358
16.4	链路电源管理简介	363
16.5	链路活动状态电源管理	364
16.5.1	L0s 状态	366
16.5.2	L1 ASPM 状态	367
16.5.3	ASPM 退出延迟	373
16.6	软件发起的链路电源管理	376
16.6.1	D1/D2/D3 _{hot} 和 L1 状态	376
16.6.2	L2/L3 准备就绪——切断链路的电源	379
16.7	链路唤醒协议和 PME 的生成	381
16.7.1	PME 消息	382
16.7.2	PME 序列	383
16.7.3	避免 PME 消息产生背压 (Back Pressure) 死锁	383
16.7.4	PME 环境	384
16.7.5	唤醒无法通信的链路	384
16.7.6	辅助电源	386

第五部分 可选功能

第 17 章 热插拔	388
17.1 背景	388
17.2 PCI Express 环境下的热插拔	389
17.2.1 突然移除通知	389
17.2.2 PCI 热插拔和 PCI Express 热插拔的区别	389
17.3 支持热插拔所需的基本要素	390
17.3.1 软件基本要素	390
17.3.2 硬件基本要素	392
17.4 卡移除与插入过程	392
17.4.1 开与关状态	392
17.4.2 卡移除过程	393
17.4.3 卡插入过程	395
17.5 标准使用模型	396
17.5.1 背景	396
17.5.2 标准用户接口	396
17.6 标准热插拔控制器信令接口	399
17.7 热插拔控制器编程接口	400
17.7.1 插槽功能	400
17.7.2 插槽控制	402
17.7.3 插槽状况和事件管理	403
17.7.4 卡插槽与服务器 IO 模块实现	404
17.8 插槽编号	407
17.8.1 物理插槽 ID	407
17.9 终止卡与驱动程序的活动	407
17.9.1 概述	407
17.9.2 驱动程序暂停(可选)	407
17.10 原语	408
第 18 章 附加卡与连接器	409
18.1 简介	409
18.1.1 附加卡连接器	409
18.1.2 辅助信号	413
18.1.3 电气要求	417
18.1.4 附加卡的互操作性	418
18.2 正在开发的外形规格	419
18.2.1 概述	419
18.2.2 服务器 IO 模块(SIOM)	419
18.2.3 提升卡	419
18.2.4 微型 PCI Express 卡	420