硬件电路工程师从入门到提高丛书

Verilog HDL 与数字电路设计

王冠　黄熙　王鹰　编著

机械工业出版社
CHINA MACHINE PRESS

硬件电路工程师从入门到提高丛书

Verilog HDL 与数字电路设计

王冠　黄熙　王鹰　编著

机 械 工 业 出 版 社

Verilog HDL 是一种国际化的硬件描述语言，目前在 EDA 中已经十分流行，并且成为当今硬件工程师使用的主要硬件描述语言之一。在如今的电子系统设计领域中，Verilog HDL 已经成为广大技术人员必须掌握的一种硬件描述语言。

本书将从实际应用的角度出发，全面系统地介绍 Verilog HDL 与数字电路设计的相关知识，使读者全面掌握 Verilog HDL 和具体的数字电路设计方法。本书从结构上可以分为 4 个部分：第 1 部分重点介绍 Verilog HDL 的基本语法知识；第 2 部分重点介绍常用数字电路设计的 Verilog HDL 描述；第 3 部分主要通过具体的实例来介绍小型和大型复杂数字电路的设计，使读者掌握采用 Verilog HDL 设计实际数字电路的方法和技巧；第 4 部分对 Verilog HDL 流行的 EDA 开发工具进行了简单的介绍。

本书全面系统，实用性强，既可以作为高等院校通信与电子类高年级本科生、研究生的教材或教学参考书，同时也可以作为从事各类电子系统设计的科研人员和硬件工程师的应用参考书。

图书在版编目（CIP）数据

Verilog HDL 与数字电路设计/王冠等编著．—北京：机械工业出版社，2005.9

（硬件电路工程师从入门到提高丛书）

ISBN 7-111-17391-0

Ⅰ.V… Ⅱ.王… Ⅲ.①硬件描述语言－程序设计 ②数字电路－电路设计 Ⅳ.①TP312 ②TN79

中国版本图书馆 CIP 数据核字（2005）第 105528 号

机械工业出版社（北京市百万庄大街 22 号 邮政编码 100037）

责任编辑：张俊红 版式设计：冉晓华

封面设计：陈 沛 责任印制：石 冉

三河市宏达印刷有限公司印刷

2006 年 1 月第 1 版第 1 次印刷

787mm×1092mm 1/16·21.25 印张·527 千字

0001—4000 册

定价：34.00 元

凡购本书，如有缺页、倒页、脱页，由本社发行部调换

本社购书热线电话（010）68326294

硬件电路工程师从入门到提高丛书

编　委　会

丛 书 序

随着我国经济建设的发展和科学技术的不断进步，以往有些硬件电路设计的书籍内容已经比较陈旧、落后，难以适应高等院校教学和硬件电路工程师的要求。特别是在电子学和通信技术发展神速、社会发展日新月异的今天，如何适应这种情况和要求，已经成为一个必须认真考虑的问题。

如今，我国已成为全球增长潜力最大的电子产品消费大国，同时也是全球最大的移动电话市场和第3大PC市场，未来5年还将成为全球第2大半导体市场。中国市场所蕴含的商机令世界各国IT公司心动不已，竞相调整中国战略，纷纷加大投资。这种情况必将导致对硬件电路工程师的海量需求。以IC人才为例，据不完全统计，全国目前定位于IC设计的企业大约200多家，IC设计人员还不到4000人，大都是小作坊模式，每个企业只有两三人掌握某一方面芯片的专长。从总体上看，按未来几年的市场需求，每年所需IC设计人才保守估计在5万人左右，如果要保证整个IC设计产业正常运作，人才需求量则高达20～50万。可见，提高硬件电路设计的人才教育，加强硬件电路工程师的人才储备，已经成为高等院校和各大IT公司的当务之急。

硬件电路设计是一门涉及到多门学科、实用性非常强的技术，因此硬件电路设计人员的培养需要进行大量的实践，而不仅仅是纸上谈兵。对于硬件电路设计人员的培养，除了需要培养具体的设计技术和设计技巧外，更为重要的是需要培养设计人员的创新意识。为此，组织一套理论严谨、内容新颖、实用性较强的硬件电路设计丛书，将会对我国的硬件电路设计人才的培养起到很大的推动作用。机械工业出版社的领导和编辑们独具慧眼，选题准确，决策果断，通过对硬件电路设计的相关选题进行层层筛选，最终选定了8个十分具有代表性的选题；同时组织了一批多年从事硬件电路设计、具有丰富实践经验的硬件电路设计工程师来进行编写，目的是保证这套丛书的质量和实用性。这套硬件电路工程师从入门到提高丛书包括：

- 《Verilog HDL与数字电路设计》
- 《VHDL与数字电路设计》
- 《可编程逻辑器件和EDA设计技术》
- 《印制电路板设计》
- 《Protel DXP电路设计入门与应用》
- 《HyperLynx仿真与PCB设计》
- 《DSP原理与应用》
- 《嵌入式系统原理与应用》

这套丛书从实际应用的角度出发，详细介绍了目前硬件电路设计的各个主要方面。这套丛书非常重视可读性，内容深入浅出，便于读者自学；同时也非常注重实践性，列举了典型的工程实例，体现了硬件电路设计书籍的实践性，从而可以使读者快速高效地掌握相关领域的知识。这套丛书面向所有的硬件电路工程师和立志于成为硬件电路工程师的相关专业人

员，既可以作为高等院校相关专业高年级本科生、研究生的教材或者教学参考书，同时也可以作为各类从事电子系统设计的科研人员硬件电路工程师的应用参考书。

最后，预祝机械工业出版社硬件电路工程师从入门到提高丛书取得成功，为我国硬件电路工程师的人才培养和发展贡献一份力量。同时对参与这套丛书工作的各位作者、出版社的领导和编辑们表示衷心的感谢，感谢你们为我国硬件电路工程师的人才培养和储备所作的努力！

硬件电路工程师从入门到提高丛书编委会

前　言

随着数字时代的到来，通信、汽车、家用电器等工业领域对数字电路系统的复杂度要求越来越高，微电子行业的飞速发展给实现这种复杂性打下了物理基础，但传统的“搭建”数字电路的设计方法却给实现这种复杂性留下了一道不可逾越的鸿沟。为了解决这个矛盾，硬件描述语言应运而生，迅速得到普及并广泛应用。在这种情况下，设计工作将从行为级或功能级开始，然后向着设计的高层次发展，这样就出现了第3代EDA技术，其特点就是高层次设计的自动化（High Level Design Automation，HLDA）。在第3代EDA技术中，通常采用的硬件描述语言是Verilog HDL和VHDL。

Verilog HDL是在C语言的基础上发展起来的，因此它是一种应用十分广泛的硬件描述语言。1983年，GDA公司的设计师Phil Moorby开发了Verilog HDL；1984～1985年，Phil Moorby成功设计了Verilog－XL仿真器，从而使得Verilog HDL得到了迅速发展和广泛应用；1986年，Phil Moorby提出了快速门级仿真的XL算法，这使得Verilog HDL变得更加丰富和完善；1989年，Cadence公司收购了GDA公司，Verilog HDL从此成为Cadence公司的独家专利。

1990年，Cadence公司公开发表了Verilog HDL，并且成立OVI组织以促使Verilog HDL成为IEEE标准；1992年，很多公司开发的第1批仿真工具投向市场后，Verilog HDL市场迅速崛起；1994年，Verilog HDL相关工具的销售总额超过7500万美元；2002年，IEEE发布了经过修订的Verilog HDL新标准，同时将其命名为IEEE 1364－2001；但由于一些原因，IEEE又在2003年发布了再次修订的Verilog HDL标准，即IEEE 1364－2001 Revision C；2004年，IEEE 1364工作组正式解散，Verilog HDL标准被一个新的名为IEEE P1800的小组接手，同时，这个小组还肩负着制订System Verilog标准的工作。

可见，Verilog HDL是一种国际化的硬件描述语言，目前在EDA中已经十分流行，并且成为当今硬件工程师使用的主要硬件描述语言之一。在如今的电子系统设计领域中，Verilog HDL已经成为广大技术人员必须掌握的一种硬件描述语言。

随着Verilog HDL的广泛应用，无论是电子设计工程师，还是高等院校的学生，都迫切需要一本除了介绍Verilog HDL基本概念和基本语法外，还能够从实际出发、着重介绍各种不同电路结构的描述方法的参考书。可以看出，广大读者迫切需要一本这样的书：能够较详细地介绍Verilog HDL的基本概念和基本语法；能够介绍目前在硬件电路设计中常用的电路结构的Verilog HDL描述；能够举一些实例，来描述用Verilog HDL设计硬件电路的流程和在设计过程中所用到的设计技巧等。作者编写此书的目的就是从以上几方面来满足广大读者的需要，以使读者能够全面掌握Verilog HDL。

本书将从实际应用的角度出发，全面系统地介绍Verilog HDL与数字电路设计的相关知识，使读者全面掌握Verilog HDL和具体的数字电路设计方法。本书从结构上可以分为4个部分：第1部分重点介绍Verilog HDL的基本语法知识，主要包括Verilog HDL的概述、描述方法、基本语法、基本结构、基本语句，以及一些高级语法等，目的是使读者能够掌握

Verilog HDL 的基础知识；第 2 部分重点介绍常用数字电路设计的 Verilog HDL 描述方法，具体介绍了组合逻辑电路和时序逻辑电路的 Verilog HDL 描述，其中还重点介绍了有限状态机的设计和 Verilog HDL 综合的相关内容，目的是使读者掌握基本的数字电路设计方法；第 3 部分介绍了一些具体的实例，先是介绍了计数器、时序信号的检测模型、简化的交通信号灯控制模块和简单的 UART 设计等小型实例，然后又介绍了 SPI 和 SDRAM 控制器两个大型实例的设计，目的是使读者掌握采用 Verilog HDL 设计实际数字电路的方法和技巧；第 4 部分对 Verilog HDL 的流行的 EDA 开发工具进行了简单的介绍，目的是使读者掌握常见开发工具的具体操作方法。

本书全面系统，实用性很强，既可以作为高等院校通信与电子类高年级本科生、研究生的教材或教学参考书，同时也可以作为从事各类电子系统设计的科研人员和硬件工程师的应用参考书。

本书是由王冠、黄熙和王鹰等共同编写完成的，作者在编写本书的过程中参考了许多关于 Verilog HDL 的最新专著及文献，同时本书也包含着作者在使用 Verilog HDL 设计数字电路过程中的经验总结。作者在此向所有对本书提出宝贵建议的学者表示衷心的感谢，同时向促使本书顺利出版的机械工业出版社的领导和编辑及相关工作人员表示深深的谢意！同时，在本书的编写过程中，姜雪松、王垚、王立、季伟强、宋晗、冯振华、常啸鸣、杜平、孙玉林、张凯、张蓬和许灵军等人也参与了大量的工作，在这里向他们的辛勤劳动表示由衷的感谢！

限于作者的水平，书中难免存在着一些错误或不足之处，恳请广大读者和相关专家批评指正。

作　者

目　录

第1章 概 述

1.1 什么是 HDL

硬件描述语言（Hardware Description Language，HDL）是一种利用文字描述数字电路系统的方法，可以起到和传统的电路原理图描述相同的效果。完成一定功能的数字电路通常由一个或多个描述文件组成，描述文件按照某种规则（或者说是语法）进行编写，之后利用EDA工具进行综合、布局布线等工作，就可以转化为实际电路。

随着数字时代的来临，通信、汽车、家用电器等工业领域对数字电路系统的复杂度要求越来越高，微电子行业的飞速发展给实现这种复杂性打下了物理基础，但传统的“搭建”数字电路的设计方法却给实现这种复杂性留下了一道不可逾越的鸿沟。为了解决这个矛盾，硬件描述语言应运而生。使用硬件描述语言设计数字电路的过程，同使用高级语言设计软件的过程十分相像，这完全替代了原始的设计方法，使设计百万门的大规模数字电路成为可能。

硬件描述语言的出现，使得数字电路系统迅速发展；同时，数字电路系统的迅速发展也在很大程度上促进了硬件描述语言的发展。到目前为止，已经出现了上百种硬件描述语言，其中最常用的为VHDL与Verilog HDL两种；为了迎合数字电路系统的飞速发展而出现的新的语言，也正逐步成为数字电路设计新的宠儿，如System Verilog、System C等。

1.2 Verilog HDL 概述

1.2.1 什么是 Verilog HDL

Verilog HDL是当今世界上应用最广泛的硬件描述语言之一，有50000名以上的工程师正在使用Verilog HDL设计数字电路。Verilog HDL允许工程师从不同的抽象级别对数字电路进行描述，这将在下一节中给出具体的说明。

1.2.2 Verilog HDL 的历史

Verilog HDL是由Phil Moorby于1983年在Automated Integrated Design Systems（后更名为Gateway Design Automation）公司首创的，起初它的出现只是为了仿真的需要，并没有打算将其用于综合。Phil Moorby后来设计了Verilog-XL仿真器，并成为Cadence公司的第一个合作伙伴。因为Verilog-XL仿真器的成功，Gateway Design Automation公司迅速成长，并最终于1989年被Cadence公司收购，Verilog HDL也成了Cadence公司的专有技术。

在20世纪80年代末，越来越多的工程师开始放弃使用私有的硬件描述语言，当然这其中也包括Verilog HDL，而改用另一种名为VHSIC（Very High Speed Integrated Circuit）的硬件描述语言，也就是VHDL。迫于市场的压力，Cadence公司在1990年将Verilog HDL公

开，随后在1991年OVI（Open Verilog International）组织成立，负责管理Verilog HDL。OVI组织成立之后，很多小公司都投入到Verilog HDL仿真工具的开发中，并于1992年将第1批仿真工具投向市场。随后，Verilog HDL市场迅速崛起，1994年Verilog HDL相关工具的销售总额超过了7500万美元。

1993年，IEEE成立了专门的工作组制订Verilog HDL的标准。他们在1995年发布了第1个Verilog HDL的标准，即IEEE 1364—1995。在标准发布以后，Verilog HDL市场依旧高速壮大，在1998年仅仿真器一项的销售额就在1亿5000万美元以上。随后，IEEE在2002年发布了经过修订的Verilog HDL新标准，命名为IEEE 1364—2001。但由于某些原因，IEEE又在2003年发布了再次修订的Verilog HDL标准，即IEEE 1364—2001 Revision C。

2004年，IEEE 1364工作组正式解散，Verilog HDL标准被一个新的名为IEEE P1800的小组接手，同时，这个小组还肩负着制订System Verilog标准的工作。

1.3 Verilog HDL与VHDL的比较

当今世界上使用最多的有两种硬件描述语言，一种是本书要讨论的Verilog HDL，另一种则是VHDL。VHDL并不是本书要介绍的范畴，在此仅对VHDL和Verilog HDL做出一个简单的比较。

VHDL是由美国军方组织开发的，并且在1987年就已经成为IEEE标准，这比Verilog HDL早了8年。它与Verilog HDL有很多相同之处，最重要的就是它们都可以借助类似高级语言的特性来抽象描述数字电路的结构和功能，都可以对设计出来的电路进行仿真和验证，以确保电路的正确性，以及都可以实现电路描述与工艺实现的分离。简单地说，它们都可以帮助工程师完成复杂数字电路系统的设计。但是它们又各自有着不同的特点：

1）Verilog HDL的语法规则与C语言十分相像，而VHDL的语法则类似于ADA语言。由于C语言有着广泛的使用群体，作为电子工程师几乎都学习过这门语言，因而电子工程师们可以比较容易地掌握Verilog HDL。与此相反，有过ADA语言使用经历的电子工程师并不多。因此电子工程师们普遍认为Verilog HDL无论从学习或者使用上都比VHDL简单。

2）Verilog HDL不支持用户自定义数据类型，而VHDL则支持这一功能。这使得VHDL同Verilog HDL相比，可以更好地在较高的抽象级别上描述数字电路系统。因此在设计百万门的大规模数字电路时，使用VHDL往往会取得更好的效果。

3）Verilog HDL在门级和开关级的描述方面远比VHDL强大，所以即使是VHDL的设计环境，在底层实质上也是由Verilog HDL描述的器件库所支持的。

4）Verilog HDL对语法的要求比VHDL宽松得多，语法检查也并不严格，因此在使用Verilog HDL设计电路时要特别注意代码的写法，否则很容易出现综合后的电路功能与预想的功能不一致的情况，或者造成竞争冒险现象。VHDL对语法的检查十分严格，这使得VHDL设计出来的电路更可靠，一般不会出现前面阐述的那种不一致或者竞争冒险现象，但代价是VHDL的代码比Verilog HDL的代码更加繁琐。

5）Verilog HDL自身就带有用于仿真的指令，例如可以随时监测信号的变化；但VHDL自身并没有类似的指令，调试程序只能依靠仿真工具的支持。

以上仅仅是对较早期的 Verilog HDL 与 VHDL 的比较，实际上两种语言都处于不断的发展和完善的过程中，例如现在新出现的 System Verilog 就弥补了早期 Verilog HDL 在系统级描述能力差的缺陷，下一节中将简要介绍 System Verilog。

1.4 System Verilog

System Verilog 是 Verilog HDL 的后续版本，它在继承了 Verilog HDL 的语法规则的基础上，对 Verilog HDL 的一些不足之处进行了强化，另外又增加了一些新特性来适应当今数字电路设计的需要。

首先，System Verilog 增加了用户自定义数据类型的功能，这就在很大程度上弥补了 Verilog HDL 在系统级描述中同 VHDL 的差距。其次，System Verilog 的语法检查变得更加严格，尽管仍然不及 VHDL 严格，但在设计出的数字电路系统的可靠性方面已经比 Verilog HDL 有了很大改观。不过为了考虑兼容性问题，System Verilog 对以前版本的 Verilog HDL 程序仍然采用了同以前一样的语法检查。第三，System Verilog 加入了一些 C++ 的元素，例如允许创建类，允许类的继承等，这些元素丰富了硬件描述语言的内容，使工程师们能够更加灵活地设计数字电路系统。

到目前为止，System Verilog 还没有相应的标准，因而支持 System Verilog 的 EDA 工具也很少。但可以肯定的是，System Verilog 将是 Verilog HDL 语言进化的目标，在不久的将来，它必定会取代 Verilog HDL 现在的位置，现在使用 Verilog HDL 进行数字电路系统设计的工程师可以很容易地过渡到使用 System Verilog 进行设计。

1.5 小结

硬件描述语言（Hardware Description Language，HDL）是一种利用文字描述数字电路系统的方法，可以起到和传统的电路原理图描述相同的效果。

Verilog HDL 是当今世界上应用最广泛的硬件描述语言之一，有 50000 名以上的工程师正在使用 Verilog HDL 设计数字电路。Verilog HDL 允许工程师从不同的抽象级别对数字电路进行描述。本章比较详细地介绍了 Verilog HDL 的历史，希望读者对其有所了解。

Verilog HDL 和 VHDL 是当今业界广泛使用的两种硬件描述语言。本章对这两种硬件描述语言的特点进行了比较讨论，目的是使读者对它们的各自特点能够了解，这样读者在设计中就可以选择适合自己需要的硬件描述语言。

System Verilog 是 Verilog HDL 的后续版本，它在继承了 Verilog HDL 的语法规则的基础上对 Verilog HDL 的一些不足之处进行了强化，另外又增加了一些新特性来适应当今数字电路设计的需要。

第 2 章　初识 Verilog HDL

一般使用 Verilog HDL 是出于两种目的：一种是为了描述数字电路系统，也就是说某个数字电路系统已经客观存在了，使用 Verilog HDL 仅仅是为了描述这个数字电路系统的行为；另一种是为了设计一个特定功能的数字电路系统。本章将向读者介绍为什么会有这两种不同的目的，以及它们在使用 Verilog HDL 实现时的区别；同时本章还说明了 Verilog HDL 程序的基本结构和设计思想。

在说明 Verilog HDL 程序的基本结构时，文中举了一些实例，尽管这些实例都非常简单，但对于刚刚接触 Verilog HDL 的初学者而言，不能完全读懂程序是正常的。在遇到读不懂的部分时，读者也可以跳过，只要掌握 Verilog HDL 程序最基本的结构就可以了。

2.1　自顶向下的设计和自底向上的实现

随着半导体工艺的快速发展，数字电路系统的规模越来越大。使用传统方法设计出整个系统是非常困难的，甚至是不可能的。自顶向下的设计指的是将一个大规模的数字电路系统从功能上划分成若干个不相交的子模块，每个子模块又可以根据需要在功能上再划分为若干个二级子模块，依此类推，直到功能模块小到比较容易实现为止。这里不相交的意思是说同一级的子模块之间功能完全独立，不能互相依赖，但并不是说模块之间不通信，实际设计中模块间的通信规范是非常重要的。图 2-1 所示是自顶向下设计的示意图，图中表示一个数字电路系统分为了3个一级子模块，部分一级子模块又分为若干个二级子模块，其中有

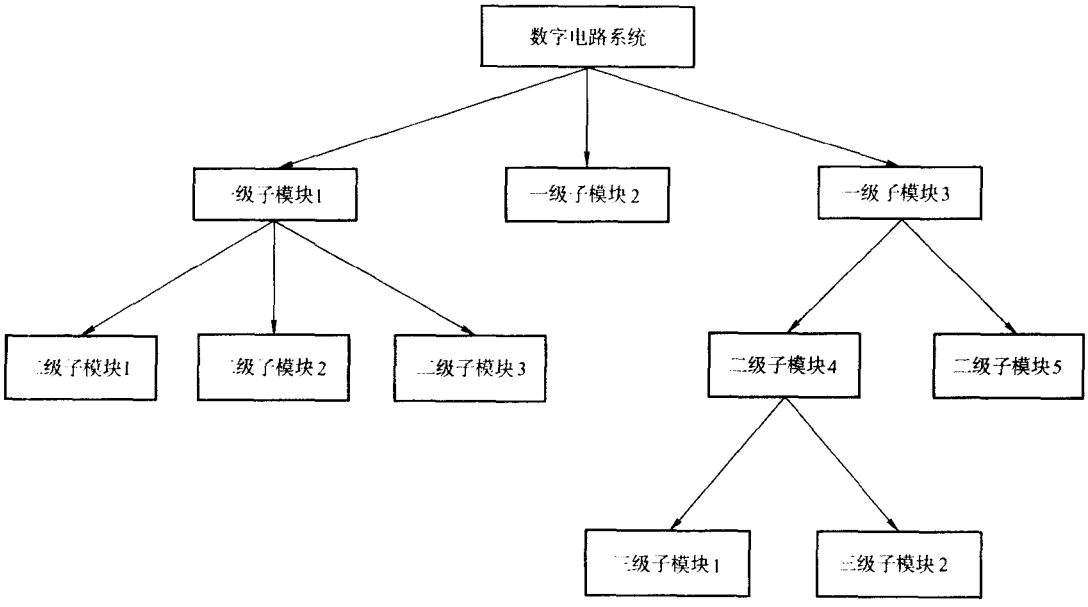

图 2-1　自顶向下的设计

一个二级子模块又划分成了两个三级子模块。自顶向下的设计思想使数百万门的数字电路系统的设计成为可能。

如果说自顶向下是一种设计思想，那么自底向上就是一种实现思想。将一个大规模的数字电路系统划分为若干个容易实现的小模块以后，就要从最底层的模块开始编程。对于图 2-1 所示的电路系统，编程工作就要从一级子模块 2、二级子模块 1、二级子模块 2、二级子模块 3、二级子模块 5、三级子模块 1 和三级子模块 2 这 7 个处于树形图最底层的模块开始，只要保证下层模块的正确性，上层模块的正确性就容易得到保证。无论是描述数字电路系统，或者是设计数字电路系统，自顶向下和自底向上都是基本的方法。

为了使读者更好地理解自顶向下的设计思想和自底向上的实现思想，在此举一个 CPU 的例子给读者参考。CPU 是 Central Processing Unit 的缩写，意为中央处理器，它在计算机系统的运行中起着最为重要的作用。CPU 的主要工作是协调并控制计算机的各个部件完成需要的操作，应具备以下 3 个方面的功能：

（1）按照指令的执行顺序取得指令　计算机要完成的操作都以指令的形式存储在存储器中，CPU 要按照当前指令的要求取得下一条指令。在大多数情况下，取指令的操作是顺序进行的，但有些情况下也会发生跳转。

（2）执行指令规定的操作　CPU 要完成指令规定的各种功能操作，包括逻辑运算、算术运算和内存以及 I/O 设备交换信息等。

（3）控制各种操作信号的时序　CPU 需要产生各种控制信号来控制计算机中的其他部件，只有在恰当的时间发出恰当的控制信号，才能使计算机有条不紊地工作。

基于上述 3 个方面的功能，可以将 CPU 分为两大组成部分：控制部分和运算部分，这是自顶向下的第 1 级划分。

对 CPU 的功能进一步细化，控制部分要完成如下功能：

（1）取指令　从程序器中正确取得要执行的指令。

（2）指令译码　存储器中的指令是以相对抽象的形式进行存储的，CPU 需要指出该指令要求完成什么操作，并产生相应的操作命令。

（3）执行指令　根据经过指令译码后得到的操作命令，产生相应的操作控制信号序列，通过运算部分、内存或者 I/O 设备执行该操作。

（4）处理中断　当计算机中的某些部件出现异常或者提出某种请求时，会产生中断信号，例如算术运算的溢出错误、数据传送的奇偶校验错误、磁盘上的数据需要送至存储器等情况都会产生中断信号，CPU 接到中断信号后要暂时中止当前的程序，转去执行中断程序，处理完毕后再继续执行中断信号到达前的程序。

根据控制部分要完成的功能，将其划分为以下 4 个部分，这是自顶向下的第 2 级划分。

（1）指令处理部分　指令处理部分要能够存放当前要执行的指令地址、当前正在执行的指令内容，以及完成指令的译码工作。

（2）时钟发生器　时钟发生器是利用外来时钟信号（一般由石英晶体振荡器产生）生成一系列的时钟信号，分别送往 CPU 的其他部分。

（3）操作控制器　当数据在寄存器之间进行传输时，数据从什么地方开始、中间要经过哪些寄存器、最后要传送到什么地方，都需要 CPU 加以控制。在各个寄存器之间建立数据通道的任务就由操作控制器来完成，它也是控制部分的核心。

(4) 中断机构　中断机构负责完成所有与中断相关的操作，主要包括中断源寄存器、中断屏蔽寄存器、中断排队线路、允许中断触发器、中断服务程序首地址产生逻辑等。

CPU 的运算部分要执行所有的算术运算和逻辑运算，基于运算部分要完成的功能，可以将其划分为如下几个部分：

(1) 数据缓冲寄存器　数据缓冲寄存器可以理解为 CPU 和内存、外部设备之间的信息传送中转站，它可以屏蔽 CPU 和内存或者外部设备之间的操作速度的差别，有时也会充当操作数寄存器。

(2) 寄存器组　寄存器组由多个寄存器组成，用于存放操作数或运算的中间结果等。

(3) 状态寄存器　状态寄存器用于保存运算结果的信息，包括进位、溢出、零、负值等，目的是供程序判断之用。

(4) 算术/逻辑运算单元　算术/逻辑运算单元是运算部分的核心，用于完成各种运算。

在进行自顶向下的划分之后，CPU 这个复杂的系统被分割成了许多功能独立且比较容易实现的小模块，只要将各个小模块连接在一起就可以实现 CPU 这个复杂的数字电路系统。虽然本例中没有说明各个模块之间的连接关系，但实际上各个模块之间如何连接非常重要，应该在进行模块划分的时候就规划好。图 2-2 所示是 CPU 经过自顶向下划分后的示意图。

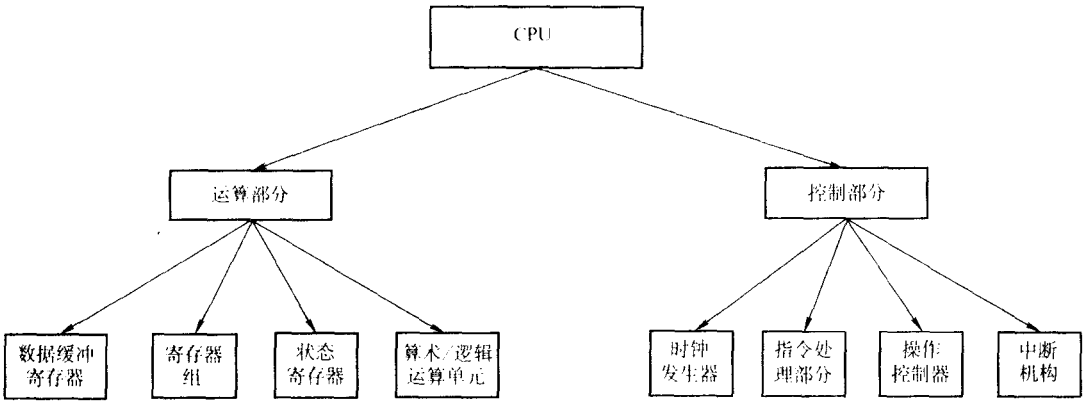

图 2-2　CPU 的组成示意图

2.2　不同抽象级别的 Verilog HDL 模型

Verilog HDL 允许在不同的抽象级别上对数字电路系统进行描述，这些抽象级别包括系统级 (System Level)、算法级 (Algorithm Level)、寄存器传送级 (Register Transfer Level, RTL)、门级 (Gate Level) 和开关级 (Switch Level)。抽象级别是指代码的抽象程度。开关级描述的抽象程度最低，逻辑人员很少用到，本书中不作讨论。门级描述的抽象程度比较低，它以与门、或门、非门等门电路为基本单元，然后通过描述门与门之间的连接来描述数字电路系统。RTL 是指通过描述寄存器之间数据的流动来描述数字电路系统，是一个数据流的概念，寄存器与寄存器之间的数据处理由组合逻辑完成。算法级和系统级同 C 等高级语言非常相似。RTL、算法级、系统级描述都被称为行为描述，是本书主要讨论的内容。